Sonderausgabe

Preis DM 14.50

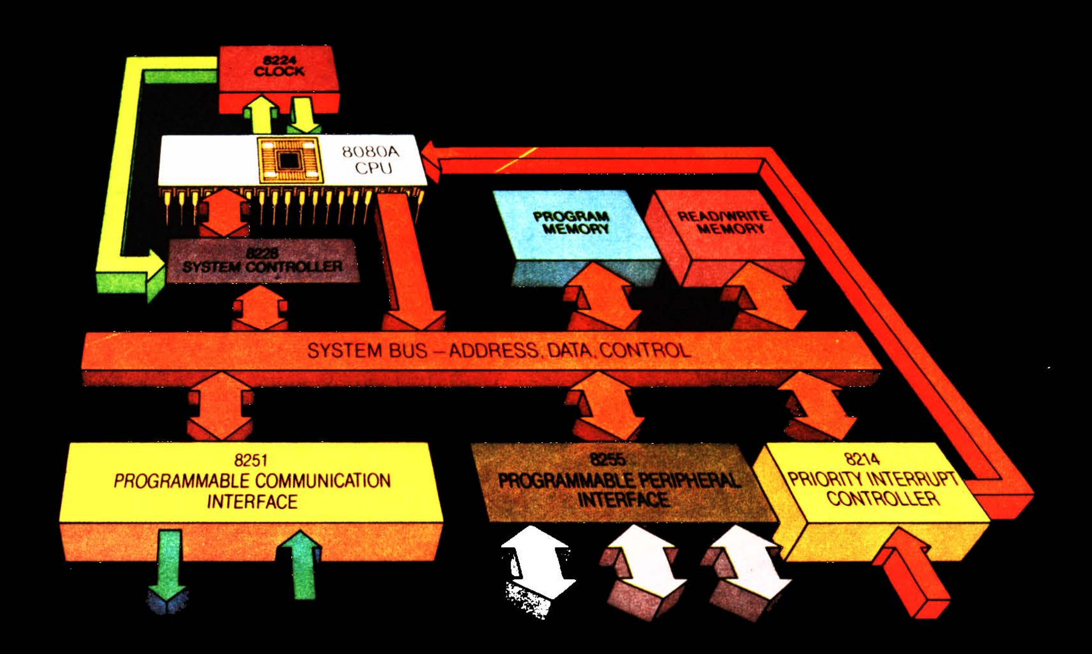
Elektronik

Mikroprozessoren

µP



Es gibt über 50 gute Gründe, warum mehr Ingenieure in der Industrie das INTEL 8080-System einsetzen, als alle anderen Mikrocomputer-Systeme zusammen.



Hier sind 31 davon . . .

	Typ	MCS-80-Systembaustein
CPU Gruppe	8080 A	8 Bit CPU, 2 μsec Zyklus
	8224	Clock-Generator
	8228	System-Controller
CPU Optionen	8080 A-1	1,3 μsec Zyklus
	8080 A-2	1,5 μsec Zyklus
	M 8080A	2,0 μsec Zyklus (−55°C bis +125°C)
Ein/Ausgabe I/0	8212	8 Bit I/0-Port
	8251	Programmierbares Communications-Interface
	8255	Programmierbares Peripherie-Interface
PROMs	8604	512x8, 100 nsec
	8702 A	256x8, löschbar, 1,3 μs
	8704	512x8, löschbar, 450 ns
	8708	1 K x8, löschbar, 450 ns

	Typ	MCS-80-Systembaustein
ROMs	8302	256x8, 1 μs
	8308	1 K x8, 450 ns
	8316 A	2 K x8, 850 ns
RAMs	5101	256x4 statisch, CMOS, 650 ns
	8101-2	256x4 statisch, 850 ns
	8102A-6	1 K x1 statisch, 650 ns
	8102A-4	1 K x1 statisch, 450 ns
	8111-2	256x4 statisch, Common I/0, 850 ns
	8107 B	4 K x1 dynamisch, 420 ns
Peripherie	8205	1 aus 8 Binär-Dekoder
	8210	Dyn. RAM-Treiber (8107 B)
	8214	Priority Interrupt-Kontrolleinheit
	8216	Bidirektionaler BUS-Treiber
	8226	Bidirektionaler BUS-Treiber
	8222	Dyn. RAM-Refresh-Controller (8107 B)
	8253	Programmierbarer Intervall-Timer
	8257	Programmierbarer DMA-Controller
	8259	Programmierbarer Interrupt-Controller





INTEL SEMICONDUCTOR GMBH
Seidlstraße 27 8000 München 2
Telefon: 089·55 81 41 Telex: 5·23 177

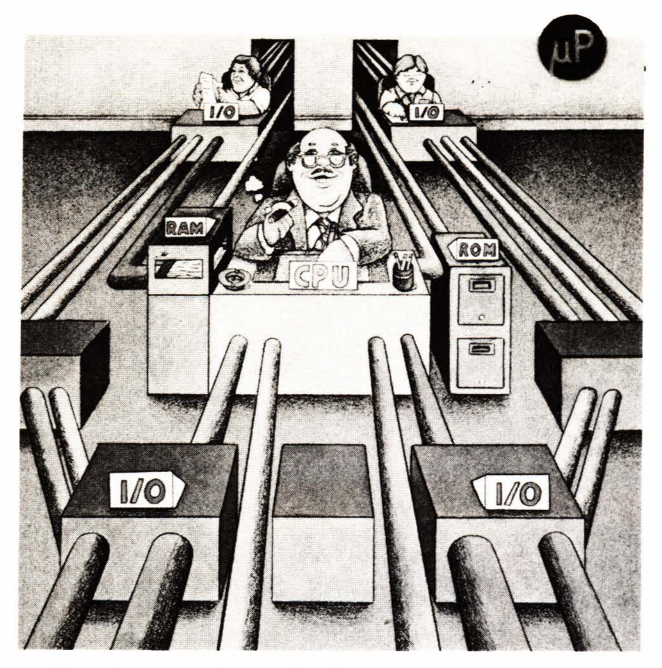
Vorwort

Dem hohen Informationsbedürfnis über die Mikroprozessor-Technik ist zwar die Zeitschrift ELEKTRONIK in den letzten Jahren durch zahlreiche Publikationen entgegengekommen, doch sind diese naturgemäß über viele Hefte verstreut. Wir haben sie, bei Heft 10/1974 beginnend, in der vorliegenden Sonderausgabe gesammelt und systematisch geordnet, damit der Interessent alle Unterlagen griffbereit zur Hand hat und bequem damit arbeiten kann – auch über Speicher und periphere Hilfsbausteine, ohne die kein System auskommt.

Da die ELEKTRONIK laufend einen starken Zustrom neuer Leser hat, die über weiter zurückliegende Hefte nicht verfügen, ist auch diesen mit der neuen Sammlung gedient.

Bei der Zusammenstellung dieser Sammlung wurden natürlich alle bisherigen Publikationen kritisch überprüft, um festzustellen, ob sie noch dem heutigen Stand der Technik und des Marktangebots entsprechen: Das ist erfreulicherweise trotz des rasanten Fortschrittes gerade dieser Technik noch weitestgehend der Fall, weshalb nur sehr wenige Beiträge eliminiert wurden. Andererseits wurden über das in der Zeitschrift schon Gedruckte hinaus einige Lücken ausgefüllt, um neueste Marktangebote und Literatur noch mit aufzunehmen. Sie betreffen die Typen TMS 1000 sowie 990/9900 von Texas Instruments, neue Peripheriebausteine von Intel, den Mikrocomputer LSI-11 von DEC, die Interruptstruktur des F-8 von Fairchild, den Mikroprozessor SC/MP von National Semiconductor und einen allgemein gehaltenen Aufsatz über den sinnvollen Einsatz von Mikroprozessoren. Anfänger und Fortgeschrittene können aus dieser Zusammenstellung gleichermaßen viel Nutzen ziehen und zeitraubendes Suchen vermeiden.

Die ELEKTRONIK-Redakion



„Big Boss“ delegiert...

Nicht anders als beim modernen Management muß die Zentraleinheit (CPU) eines Mikroprozessors oder Mikrocomputers von kompetenten „Mitarbeitern“ umgeben werden, auf die sie Routine-Arbeit abladen und Verantwortung delegieren kann. Um so schneller und wirksamer kann die CPU Entscheidungen treffen und die Operationen ausführen, auf die es ankommt. Sie wird demgemäß durch einen peripheren Ring von Hilfsbausteinen entlastet, als da sind Ein-/Ausgangsschaltungen (I/O), Schreib-/Lesespeicher (RAM) und Festwertspeicher (ROM). Diesen Bausteinen widmet die vorliegende Publikation viel Raum und Sorgfalt. – Die Titelbild-Zeichnung stammt von der Firma ROCKWELL INTERNATIONAL.

Mikrocomputer und Mikroprozessor

Der Mikrocomputer ist der „kleine Bruder“ des Minicomputers. Er sieht ihm ähnlich und löst ähnliche Aufgaben, wird auch in den gleichen Wortlängen geliefert, hat aber im allgemeinen weniger Speicherkapazität, die der Kompaktheit und der niedrigen Kosten wegen ausschließlich durch Halbleiterspeicher dargestellt wird, während der Minicomputer noch gerne Kernspeicher verwendet. Auch die Zahl der Befehle, der Register usw. ist beim Mikrocomputer geringer – also eine Sparausgabe des Minicomputers, die aber für bestimmte Aufgaben völlig genügt. Der Mikroprozessor ist das „Herz“ des Mikrocomputers. Umgekehrt: Aus dem Mikroprozessor kann ein Mikrocomputer werden, wenn man ihn mit Zusatzspeichern, Schaltern, Anzeigelämpchen, Netzteil und Gehäuse ausrüstet. Diese Übergangsmöglichkeit sowie die Übereinstimmung der Architektur und der Aufgabenbereiche führen häufig zur Verwischung der Grenzen zwischen Mikroprozessor und Mikrocomputer. Das „Herz“ des Mikroprozessors wiederum ist die CPU, die zentrale Datenverarbeitungs- und Recheneinheit. Sie wird heute stets auf einem einzigen Chip in LSI-Größe realisiert, und zwar in allen gängigen Halbleiter-Technologien, wie P-Kanal-MOS mit Silicon Gate, aber auch in N-Kanal-MOS, CMOS, SOS und sogar in Bipolartechnik. Im Extremfall werden auf den CPU-Chips auch ROMs und RAMs sowie Ein-/Ausgangslogik gepackt, um den gesamten Mikroprozessor in einem Baustein unterzubringen – gängiger aber ist es, den Mikroprozessor auf mehrere Bausteine zu verteilen und auf einer Leiterplatte aufzubauen. Im Gegensatz zu festverdrahteten Logik-Netzwerken oder Einzweck-Rechnern sind Mikroprozessoren frei programmierbar und somit der jeweiligen Aufgabe flexibel anpaßbar. Mikroprozessoren können mikroprogrammierbar sein, oder sie enthalten eine Anzahl festverdrahteter Befehle, vorzugsweise per ROM gespeichert und damit gegen Verlust durch Stromabschaltung gesichert.

Kurze Produktbesprechungen

1977

Franzis-Verlag GmbH, München, Karlstr. 37
Bearbeitet von der Redaktion der Zeitschrift ELEKTRONIK.

Druck: Franzis-Druck GmbH, München. Printed in Germany. Imprimé en Allemagne



INHALT

Dipl.-Ing. Reinhard Gößler
Dipl.-Ing. Jürgen Schwerte

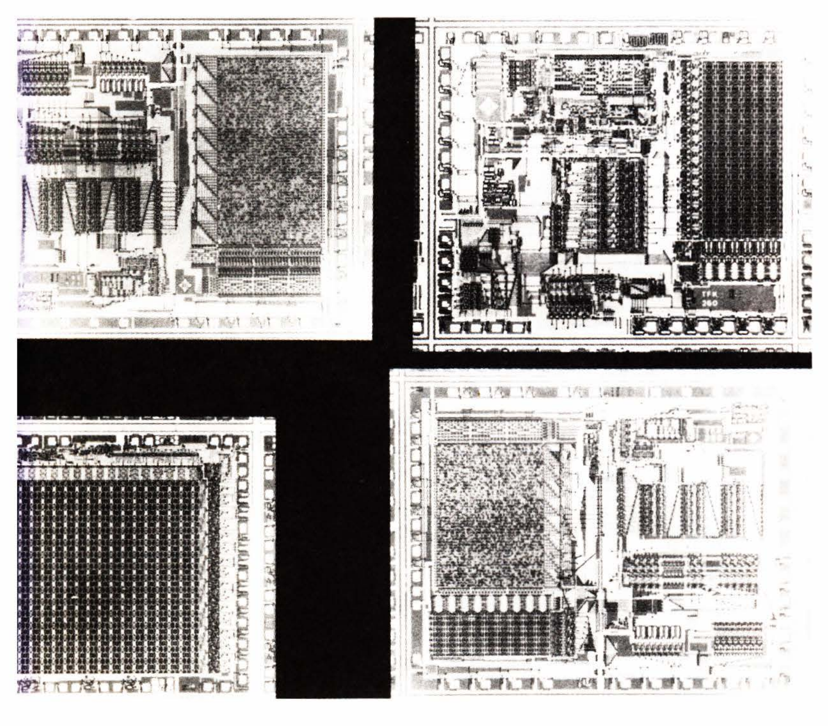
Auf dem Weg zur Mikroprozessor-Praxis

Grundlagen – Erfahrungen – Marktübersicht

Klammert man die im Vorjahr an dieser Stelle behandelten Taschenrechner als eine selbständige Sondergruppe aus, so sind die MIKROPROZESSOREN bzw. ihre ausgebaute Form, die Mikrocomputer, die kleinste bisher realisierte Version des Digitalrechners, und insbesondere des *Prozeßrechners*. Diese ,,Kleinstform" des Rechners ist somit prädestiniert, die unzähligen Aufgaben zu übernehmen, die zwar eine programmierbare Rechen- oder Steuerfunktion erfordern, für die aber selbst die frühere Kleinstform des Rechners, der Minicomputer, hinsichtlich Aufwand, Platzbedarf und Preis viel zu hoch gegriffen wäre. Im unteren Grenzfall ist der Mikroprozessor eine schon im Halbleiterwerk nach Kundenwünschen fest programmierte *Baugruppe* (sie wird in wenigen Jahren zum Bauelement werden), die irgendwo eingebaut wird (OEM). Im oberen Grenzfall steht der Mikroprozessor im Mittelpunkt eines vom Anwender per Programmsprache frei programmierbaren Systems, das dem Minicomputerbereich schon heute von unten her nahekommt.

Weil diese Spanne so groß ist und so viele potentielle Anwender erfaßt, denen diese Materie zum Teil völlig neu ist, legten wir bei diesem REPORT das Schwergewicht auf eine systematische Einführung und Erläuterung der wichtigsten Begriffe, um einerseits einen möglichst großen Leserkreis anzusprechen und andererseits eine gemeinsame Verständigungsbasis zu schaffen. Erst danach folgen – Schritt für Schritt – Erfahrungswerte, praktische Hinweise und Beurteilungskriterien mit einer umfassenden Typen-Übersichtstabelle. Nur so ist sowohl dem interessierten Techniker gedient, der ganz allgemein wissen will, wovon eigentlich die Rede ist, als auch dem Entwickler, der ,,nur" noch den richtigen µP-Typ sucht. Damit steht dem Elektroniker, der sich bisher mühsam durch englischsprachige Veröffentlichungen und zum Teil recht teure Seminare informieren mußte, zum ersten Mal eine neutrale Arbeit über Mikroprozessoren in deutscher Sprache zur Verfügung, die durch zahlreiche Literaturhinweise – auch aus der ELEKTRONIK selbst – ergänzt wird.

Der Mikroprozessor CP 3-F von AEG-Telefunken, der erste europäische in PMOS-Technologie, hat mit seinem Konzept Schule gemacht: die Typen F 8 von Fairchild und LP 8000 von General Instrument sind ihm sehr ähnlich.
Das Bild zeigt die Rechen- und Steuereinheit (rechts oben), den Programmspeicher (links oben), den Programm-Datenspeicher (rechts unten) und den Datenspeicher (links unten)



1 Begriffsbestimmungen

Die Erläuterung der zahlreichen anglo-amerikanischen Fachausdrücke erfolgt im Sinnzusammenhang des Textes. Zum großen Teil sind diese Begriffe bereits fest im technischen Sprachgebrauch verankert, und es wurde in diesen Fällen auf eine deutsche Übersetzung verzichtet. In *Tabelle 1* sind häufig auftretende Abkürzungen mit ihrem vollen Wortlaut aufgeführt.

1.1 Mikroprozessor

Unter einem Mikroprozessor (abgekürzt MIP oder auch µP) ist in der Regel eine einzelne integrierte Schaltung im Dual-in-Line-Gehäuse zu verstehen. Sie beinhaltet die Zentraleinheit für ein Prozessor-System und besteht im wesentlichen aus der Arithmetik-Einheit, verschiedenen Arbeitsregistern und der Ablaufsteuerung *(Bild 1)*. In dieser Konfiguration ist der Mikroprozessor aber noch nicht arbeitsfähig. Spezielle Typen (*slices*) lassen sich kaskadieren [39], so daß ein Prozessor beliebiger Wortlänge entsteht.

1.2 Mikrocomputer

Ergänzt man einen Mikroprozessor mit den Elementen Programm-, Arbeitsspeicher und Ein-/Ausgabeeinheit, so

Tabelle 1. Häufig auftretende Abkürzungen und ihr voller Wortlaut

ACC	accumulator
ALPS	advanced logic processing system
ALU	arithmetic logic unit
AR	address register
ASCII	American standard code for information interchange
ASTRO	asynchronous/synchronous transmitter/receiver
BORAM	block oriented RAM
CP	control panel
CPU	central processing unit
CRT	cathode-ray tube
DMA	direct memory access
DR	data register
EAROM	electrically alterable ROM
ECL	emitter coupled logic
FIFO	first-in, first-out
FPLA	field programmable logic array
I/O	input/output
IOT	input/output-transfer
IR	instruction register
K	1024mal
LIFO	last-in, first-out
LSB	least significant bit
LSI	large scale integration
µP	microprocessor
MNOS	metal nitride oxide semiconductor
MOS	metal oxide semiconductor
MPS	microprocessor-system
MPU	microprocessor-unit
MSB	most significant bit
PIE	peripheral interface element
PDP	programmed data processing
PC	program counter
PLA	programmable logic array
PL/M	programming language for microprocessors
PL/1	programming language 1
PPS	parallel processing system
RALU	register and arithmetic logic unit
RAM	random access memory
ROM	read only memory
SOS	silicon-on-sapphire
UART	universal asynchronous/synchronous receiver/transmitter
WCS	writable control storage

entsteht ein Mikrocomputer (µC). Er ist die Minimalkonfiguration eines arbeitsfähigen Systems und kann mit weiteren Bausteinen zu einer leistungsfähigen Anlage erweitert werden. Der Mikrocomputer ist kein Rechner im eigentlichen Sinn und nicht mit einem solchen zu verwechseln! Er ist zur Verarbeitung von Daten ausgelegt, die in einer festen Wortlänge vorliegen. Ein Wort kann entweder als Befehl, Adresse oder Teil von Daten aufgefaßt werden. Die Abgrenzung zum Minicomputer (Kompaktrechner) ist unscharf, weil es bereits Mikrocomputer mit der Leistungsfähigkeit eines Kompaktrechners gibt. Generell kann man sagen, daß ein Minicomputer eine Wortlänge von mindestens 16 bit besitzt und auch umfangreiche arithmetische Operationen in kurzer Zeit ausführen kann [29].

1.3 Mikrocontroller

Einen vereinfacht aufgebauten Mikrocomputer bezeichnet man auch als Mikrocontroller, wenn er für Steuerungsaufgaben konzipiert ist, bei denen z. B. nur einzelne Abläufe aufgerufen werden. Dieses System kommt ohne Arbeitsspeicher aus, da es keine Daten verarbeitet und der vorprogrammierte Befehlsablauf in einem eigenen, vom Anwender programmierten Speicher enthalten ist.

Tabelle 2. Fertigungsaufwand bei unterschiedlichen Technologien, dargestellt am Beispiel eines Gatters mit vier Eingängen

	Chipfläche pro Gatter (in µm²)	Bauelemente-Typen	Maskenanzahl	Diffusionsvorgänge
Standard-TTL	34 000	3	7	4
CMOS *)	32 000	3	6	3
PMOS	6 800	2	4	1
NMOS	3 600	2	7	3
I²L	3 100	1	4	2

*) Die Firma Intersil verwendet eine spezielle Fertigungsmethode, mit der eine etwa 6mal höhere Packungsdichte erreicht wird.

2 Technologie

Die Fertigung eines Mikroprozessors erfolgt in LSI-Technik, das bedeutet eine Packungsdichte von etwa 500...10 000 Transistorfunktionen pro Chip. Die Größe eines solchen Chips entspricht etwa einem Quadrat mit 4...6 mm Kantenlänge.

Die ersten Mikroprozessor-Bausteine (1971) waren in PMOS-Technologie ausgeführt; sie lassen sich relativ einfach herstellen (*Tabelle 2*), sind aber nur für geringe Arbeitsgeschwindigkeiten geeignet.

Heute sind andere MOS-Technologien vorherrschend, nämlich NMOS und CMOS; letztere hat eine hohe Störsicherheit bei extrem niedriger Verlustleistung, was beim mobilen

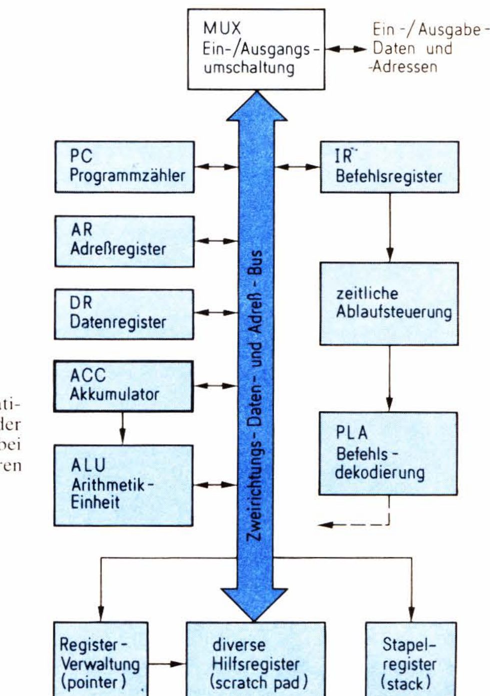


Bild 1. Schematischer Aufbau der Zentraleinheit bei Mikroprozessoren

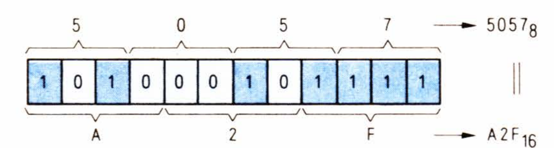


Bild 2. Darstellung eines 12-bit-Maschinenwortes in oktaler und hexadezimaler Form

Einsatz eines Mikroprozessor-Systems besonders wichtig sein kann. Erwähnt sei noch die SOS-Technologie, die von der Arbeitsgeschwindigkeit her den übrigen MOS-Technologien überlegen ist.

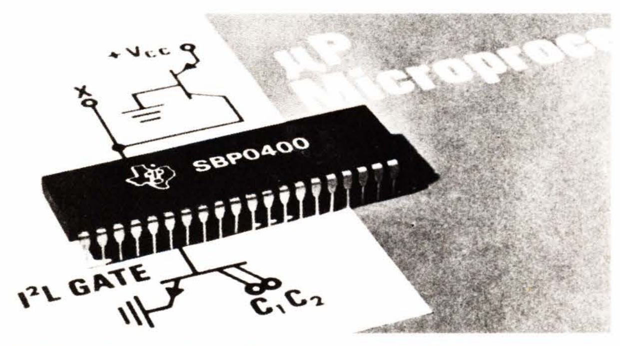
Durch die Vielfalt der Herstellungstechniken (es werden allein 8 verschiedene MOS-Technologien angewandt) entsteht ein Problem, das generell zu wenig beachtet wird: Die Produkte von Zweitlieferanten *(second source)* sind nicht immer austauschbar mit den Modellen anderer Hersteller! Wer auf volle Kompatibilität Wert legt, muß beachten, daß nur solche Bausteine problemlos austauschbar sind, deren Hersteller im Rahmen von Kooperationsverträgen Masken und Fertigungstechniken gemeinsam verwenden. Bei den kaskadierbaren Elementen ist vorwiegend die bipolare Technologie zu finden, da hier Wert auf hohe Arbeitsgeschwindigkeit gelegt wird. In naher Zukunft sind auf diesem Sektor bedeutende Fortschritte durch die ECL-Technik *(Emitter Coupled Logic)* zu erwarten.

Noch ganz in den Anfängen steckt die völlig neu entwickelte I²L-Technik. Sie erlaubt die höchste Packungsdichte (Tabelle 2) und ermöglicht hohe Arbeitsgeschwindigkeiten bei extrem niedriger Verlustleistung. Diese Technik vereint damit die wesentlichen Vorteile der anderen Technologien, und sie wird aus diesem Grunde rasch an Bedeutung gewinnen [37, 39].

3 Interne Organisation

3.1 Aufbau

Schematischer Aufbau und interne Organisation der Zentraleinheit *(CPU)* sind in Bild 1 dargestellt. Der Datenfluß erfolgt über eine gemeinsame Sammelleitung *(Bus)*, die die Verbindung zwischen den abwechselnd sendenden und empfangenden Datenstationen herstellt. Der Bus enthält ebensoviele Leitungen wie Bits in einem Wort enthalten sind. Besonders bei Systemen mit kleiner Wortlänge ist aus diesem Grunde ein eigener Adreß-Bus mit höherer Bitzahl sinnvoll, um einen größeren Speicherbereich adressieren zu können.



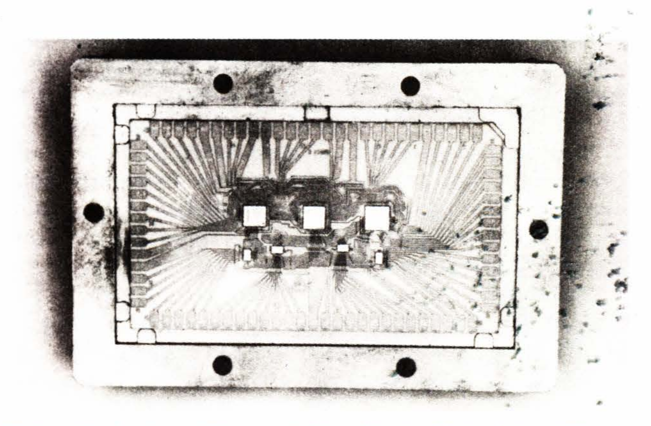
Die I²L-Technologie, in der der Mikroprozessor SBP 0400 von Texas Instruments aufgebaut ist, vereint die wesentlichen Vorteile anderer Technologien

Zur Steuerung des Datenverkehrs mit externen Bausteinen (z. B. Speicher oder Interface-Schaltungen) ist ein Multiplexer vorhanden, der normalerweise von internen Steuersignalen gestellt wird. Einige Systeme erlauben aber auch einen externen Eingriff, was wichtig ist bei der Verarbeitung äußerer Programmunterbrechungen (siehe auch Abschnitt 8.4).

Von den fünf dargestellten Arbeitsregistern ist der *Akkumulator (ACC)* das zentrale Register, über das generell alle zu verarbeitenden Daten laufen. Bei Operationen der Arithmetik-Einheit *(ALU)* steht ein Operand daher immer im Akkumulator, wohin in der Regel auch das Ergebnis abgespeichert wird. Ein Bit zur Erweiterung des Akkumulators, das z. B. bei Ergebnis-Überläufen gebraucht wird, bezeichnet man mit *Link*.

Entsprechend den drei Bedeutungen, die ein Wort besitzen kann, existieren auch drei korrespondierende Register: Das *Adreßregister*, in dem die Adresse der gerade angesprochenen Speicherstelle steht, das *Datenregister* zur Zwischenspeicherung von Daten und das *Befehlsregister*, über das die Instruktionen zur Befehlsdecodierung gelangen.

Während die interne Verarbeitung eines Befehls abläuft, wird ein weiteres Register, das man als *Programmzähler* bezeichnet, um einen Schritt hochgezählt, bevor der neue Zählerstand zur Adressierung des nächstfolgenden Befehls ins Adreßregister übertragen wird. Zusätzlich sind weitere Hilfsregister vorhanden, die zur vorübergehenden Aufnahme von Daten dienen, wenn dies der zeitliche Ablauf erfordert; das tritt beispielsweise beim Austausch von Registerinhalten oder bei der Bildung von Zwischenergebnissen auf. Einige Prozessoren sind mit weiteren Arbeitsregistern ausgestattet, mit denen eine große Flexibilität bei der Programmierung erreicht wird. Eine solche Anordnung von Hilfsspeichern *(scratch pad memory)* erfordert eine eigene Verwaltung über eine eigene Speicheradressierung *(pointer)*, wenn die Anzahl der vorhandenen Hilfsregister zu groß wird; einige Standardmodelle besitzen 64 derartige Register! Zur Speicherung *(„Rettung")* aller aktuellen Registerinhalte bei externen Programmunterbrechungen dient ein Stapelregister *(stack)*; es gibt die zuletzt empfangenen Daten zuerst wieder aus (Stapelprinzip), was bei der Abarbeitung verschachtelter Unterbrechungen erforderlich ist.



Für ihren Tischrechner 9825 A hat die Firma Hewlett-Packard einen Mikroprozessor entwickelt, der mit keinem auf dem Markt befindlichen vergleichbar ist. Der rechte Chip allein stellt schon einen μP herkömmlicher Art dar; die beiden großen Chips links davon sind für mathematische Funktionen und die Ein-/Ausgabe-Steuerung zuständig. Für den Erwerb dieses Bausteins muß man allerdings 20 000 DM ausgeben, da er nur in Verbindung mit dem genannten Tischrechner erhältlich ist

3.2 Arbeitsweise

Zur abgekürzten Darstellung von Wortinhalten bedient man sich spezieller Zahlensysteme; damit bringt man die unübersichtliche Folge des binären Wortes in eine handliche, leicht überschaubare Form. Dazu sind besonders solche Zahlensysteme geeignet, deren Basis ein Vielfaches von 2 ist, z. B. das oktale (Basis 8) und das hexadezimale (Basis 16) System. Entsprechend bezeichnet man auch die Arbeitsweise eines Prozessors. Diese verkürzte Schreibweise hat wohlgemerkt nur für die Programmierung eine Bedeutung, wenn der Benutzer und das Übersetzungsprogramm diese Form verwenden; die Maschine selbst kennt nur die binäre Darstellungsweise im Maschinenwort.

Aus *Bild 2* geht die Umsetzung eines Maschinenwortes in die entsprechende oktale und hexadezimale Form hervor: Ohne auf einen Sinnzusammenhang der Digitalinformation zu achten, wird rein formal die Umwandlung vollzogen. So könnten etwa die ersten 5 Bits eine Adresse darstellen und insofern inhaltlich zusammengehören; dieser Zusammenhang ist nach der Umsetzung nicht mehr erkennbar. Für das Programmieren ist es eine unerläßliche Voraussetzung, sich mit dieser Darstellungsweise vertraut zu machen.

Arithmetische Operationen werden grundsätzlich im Zweier-Komplement *(two's complement)* durchgeführt. Die Überführung einer Binärzahl ins Zweier-Komplement geht so vor sich, daß man Bit für Bit invertiert und Eins hinzuzählt. Das höchstwertige Bit *(MSB)* repräsentiert das Vorzeichen einer Ganzzahl *(integer)*: Ist es gesetzt, bedeutet das ein negatives Vorzeichen [31, 32]. Rein formal kann also die Addition zweier positiver Zahlen zu einem negativen Ergebnis führen, wenn ein Übertrag in die höchste Stelle erfolgt. Das Nachvollziehen von Rechenvorgängen im Zweier-Komplement ist nur schwer möglich, weil es unserer gewohnten Denkweise nicht entspricht. Der Anwender muß solche Operationen nur in Ausnahmefällen durchführen.

4 Arbeitsphasen

4.1 Ablaufsteuerung

Durch den komplexen Systemaufbau ist eine sorgfältig abgestimmte zeitliche Ablaufsteuerung *(timing)* erforderlich. Dazu besitzen die Prozessoren einen quarzstabilisierten Taktgenerator, der einen sogenannten Mehrphasentakt erzeugt; das bedeutet, daß ein Arbeitstakt *(state)* an verschiedenen Stellen des Systems zu unterschiedlichen Zeiten eintrifft und wirkt, um beispielsweise Laufzeiten von Informationen zu berücksichtigen.

Man unterscheidet zwischen synchronem und asynchronem Betrieb; bei letzterem erfolgt die Synchronisierung extern, z. B. durch einen zentralen Taktgeber in einem größeren System. Im Sonderfall kann das so weit gehen, daß man den Takt fortnimmt und die interne Verarbeitung dadurch nur unterbricht, aber nicht stört; diese statische Betriebsweise ist eine wertvolle Eigenschaft eines Systems, da die Informationen auch bei Taktausfall erhalten bleiben und anschließend weiterverarbeitet werden können. Keinesfalls ist die Taktfrequenz ein absolutes Maß für die Arbeitsgeschwindigkeit eines Prozessors; es gibt Systeme, die bei langsamerem Takt einen Befehl schneller ausführen als solche mit höherer Taktfrequenz, weil sie bei der Befehlsausführung mit weniger Schritten auskommen.

Befehl: **LOAD ACC, X**	**lade den Akkumulator mit dem Inhalt derjenigen Speicherstelle, die unter der Adresse X zu erreichen ist**
Befehlsadresse: **1871**	**Adresse der Speicherstelle, die den Befehl enthält**
Ausführung: **1871 → AR**	**Befehlsadresse ins Adreßregister**
(PC) = PC + 1	**Programmzähler hochzählen**
(1871) → DR	**Inhalt der Speicherstelle 1871 (das ist der Befehl LOAD ACC, X) ins Datenregister**
$(DR)_{INSTR}$ → IR	**Instruktionsteil des Befehls aus dem Datenregister ins Befehlsregister und zur Dekodierung (Deutung des Befehls „Lade den Akkumulator")**
$(DR)_{ADR}$ → AR	**Adreßteil des Befehls (das ist X) aus dem Datenregister ins Adreßregister**
(X) → DR	**Inhalt der Speicherstelle X ins Datenregister**
(DR) → ACC	**(X) aus dem Datenregister in den Akkumulator**

Vereinbarung: X bezeichnet die Speicherstelle selbst, (X) den Inhalt der Speicherstelle X

Bild 3. Schematische Darstellung einer vollständigen Befehlsausführung

4.2 Arbeitsgeschwindigkeit

Die allgemeine Angabe einer Zykluszeit *(cycle time)* in Datenblättern ist unzureichend; der Anwender muß zusätzlich exakt erfahren, für welchen Zyklus die Angabe gilt, weil nicht alle Befehle in der selben Zeit ausgeführt werden. Allgemein versteht man unter einem Befehlszyklus die Zeitspanne zum Holen, Decodieren und Ausführen eines Befehls; dabei kann man noch die Hol-Phase *(fetch cycle)* und Ausführungs-Phase *(execution cycle)* unterscheiden. Jede dieser Phasen setzt sich wiederum aus mehreren Arbeitstakten zusammen, die je nach System variieren.

Der Versuch, durch Angabe von typischen Additionszeiten ein Vergleichskriterium für die Arbeitsgeschwindigkeit von Mikroprozessoren zu schaffen, bleibt letztlich ohne Erfolg; zu unterschiedlich ist deren Arbeitsweise, als daß man einzelne Instruktionen miteinander vergleichen könnte. Daher lassen sich bestehende Normen auch nur bedingt und sehr allgemein auf die verschiedenen Hersteller-Angaben anwenden [33, 34].

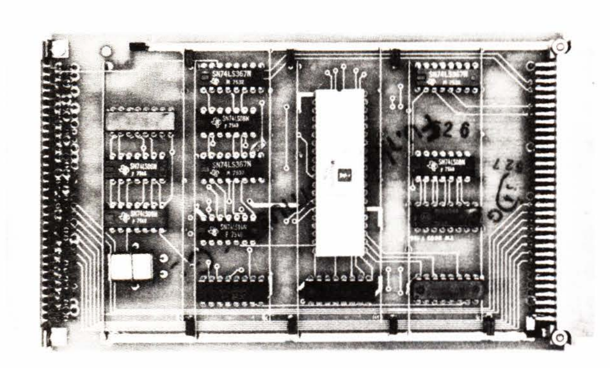
Ein fundierter Systemvergleich ist nur mit geeigneten Testprogrammen (*benchmarks*; nicht zu verwechseln mit einer ähnlich klingenden Produktbezeichnung) möglich, die ganze Befehlsfolgen beinhalten. In diese Richtung zielt auch die Angabe des Datendurchsatzes *(throughput rate)* pro Zeiteinheit.

5 Wortorganisation

Es hängt ausschließlich von der Stellung im Arbeitsspeicher und von der Programmierung ab, ob ein Wort als Befehl oder als Operand aufgefaßt wird.

5.1 Befehlsstruktur

Jeder Befehl besteht aus einem Instruktionsteil *(operation code)* und einem Adreßteil *(address code)*; er vereint also die Angabe, was zu tun ist, mit dem Hinweis, womit etwas getan werden soll. Unabhängig davon besitzt der Befehl selbst eine Speicheradresse, unter der er zu erreichen ist; dies ist aber nicht mit der Adresse des Operanden zu verwechseln. Es sind



Durch die Kompatibilität mit der PDP-8-Software besitzt der Typ IM 6100 der Firma Intersil eine ähnliche Leistungsfähigkeit wie ein Minicomputer; das System ist bereits auf Europa-Platinen lieferbar

drei Befehlsgruppen zu unterscheiden: speicherbezogene, registerbezogene und Ein-/Ausgabe-Befehle. Der Umfang des Befehlssatzes für ein bestimmtes System läßt einen Schluß auf dessen Leistungsfähigkeit zu.

5.2 Befehlsausführung

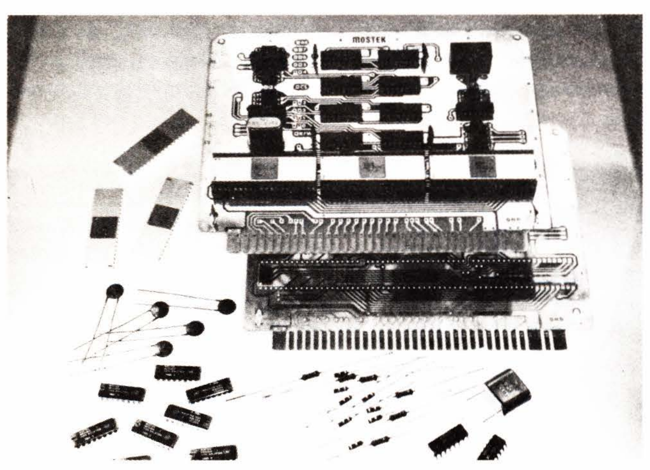
An einem vereinfachten Beispiel *(Bild 3)* sind schematisch die einzelnen Arbeitstakte zusammengestellt, die zur Ausführung eines einzigen Befehls notwendig sind. Es gibt umfangreiche Anweisungen, die über 20 interne Arbeitstakte erfordern.

6 Speicher

Erst im Zusammenspiel mit Speichern *(memory)* wird die Zentraleinheit eines Mikroprozessors zu einem arbeitsfähigen System. Es finden ausschließlich Halbleiterspeicher der unterschiedlichsten Technologien Verwendung.

6.1 Programmspeicher

Ziel einer Entwicklung ist es, ein arbeitsfähiges Programm für einen speziellen Anwendungsfall auszuarbeiten, um es dann einem Lesespeicher *(ROM)* einzugeben. Dort bleibt es ständig erhalten und wird über den Programmzähler Schritt für Schritt aufgerufen. Die Programmierung der ROMs kann entweder mit einer Maske beim Hersteller oder mit einem



In Bausatzform oder auch fertig bestückt ist das Mikroprozessor-System F 8 von Mostek lieferbar; auf der Platine sind ein 1-K-RAM und ein ROM mit komplettem Betriebsprogramm enthalten

speziellen Programmiergerät durch den Anwender selbst erfolgen. Die zweite Möglichkeit bietet sich bei kleineren Serien und in der Entwicklungsphase an, da dies rationeller ist. Der Programmiervorgang selbst ist irreversibel, lediglich die noch nicht programmierten Bits lassen sich noch nachträglich „einbrennen". Bei einigen speziellen Typen allerdings kann man den Inhalt durch UV-Bestrahlung löschen und anschließend neu eingeben. Besonders wirtschaftlich sind hierbei neu entwickelte ROMs in CMOS-Technologie, da ihre Verlustleistung um Größenordnungen niedriger liegt als bei den gängigen bipolaren Typen.

6.2 Arbeitsspeicher

Der Arbeitsspeicher ist wortorganisiert und als Schreib-/Lesespeicher *(RAM)* ausgeführt. Wichtigstes Kriterium hierbei ist die Zugriffszeit *(access time)* zu den Daten, da sie im wesentlichen die Arbeitsgeschwindigkeit eines Systems bestimmt. Es gibt statische RAMs, die ihre Information so lange halten, wie die Versorgungsspannung anliegt (interne Flipflops), und es gibt dynamische Typen, bei denen die Information in Form von Ladungsmengen gespeichert wird; hier ist für eine ständige „Auffrischung" *(refreshing)* der Daten zu sorgen (im Mikrosekundenbereich). Nach Ausfall des Taktes geht die Information verloren. Auch bei den RAMs bieten die statischen CMOS-Typen erhebliche Vorteile: Sie lassen sich durch kleine Akkumulatoren über einen langen Zeitraum puffern, d. h. sie behalten dann auch ohne die Versorgungsspannung des Systems ihre Information. Erfahrungswerte der Verfasser: Ein 4 K x 12 bit-CMOS-RAM behielt bei mehreren Versuchen über vier Wochen lang sein Programm und war während dieser Zeit nur über drei NiCd-Zellen im Mignon-Format gepuffert. Dynamische RAMs dagegen zeigten eine hohe Störanfälligkeit, sie hatten bereits nach einem Tag in einigen Zellen die Information verloren. Diese Angaben sind wichtig im Zusammenhang mit den Peripheriegeräten. In Zukunft sind RAMs in MNOS-Technologie zu erwarten, die eine Ladung auch ohne Refreshing extrem lange halten und sich damit wie nichtflüchtige *(non-volatile)* Speicher verhalten.

6.3 Befehlsdecodierung

Der Einsatz von *programmierbaren Logik-Einheiten (PLA)* bei der Befehlsdecodierung bringt gegenüber der Verwendung von ROMs erhebliche Vorteile: Während beim ROM jeder Eingangsadresse eine bestimmte Ausgangskonfiguration zugeordnet ist, kann man beim PLA die Kombination mehrerer Ausgangszustände (deren logische ODER-Verknüpfung) durch die entsprechende Adressierung erreichen [35]. Bei geeigneter Konzeption des Mikroprozessors lassen sich durch ein PLA sogar mehrere Befehle zusammenfassen und während eines einzigen Befehlszyklus' verarbeiten. Diese Möglichkeit, den Befehlsvorrat zu erweitern, geht in die Richtung der *Mikroprogrammierung*, bei der ganze Befehlsfolgen durch den Anwender festgelegt werden können.

7 Peripheriegeräte

Um mit dem Prozessor kommunizieren zu können, benötigt man ein extern anschließbares, peripheres Gerät; im Normalfall ist das eine Fernschreibmaschine *(TTY)* mit angebautem Lochstreifenleser/-stanzer *(reader/punch)*. Sie muß zur Synchronisation des Datenverkehrs vom und zum Prozessor mit

Tabelle 3. Symbolische Anweisungen an den Editor und ihre Bedeutung

B *(breakpoint):* Markierung einer Stopp-Adresse im Programmablauf, um Zwischenzustände zu untersuchen
C *(copy):* Duplizieren bestimmter Speicherbereiche
D *(dump):* Ausstanzen bestimmt. Speicherbereiche auf Lochstreifen
E *(execute):* Programmausführung von einer bestimmten Startadresse an
H *(hexadecimal operation):* Addition oder Subtraktion von hexadezimalen Zahlen für die Adreßberechnung
L *(load):* Einlesen eines Lochstreifens
M *(modify):* Ändern eines Speicherinhaltes
O *(octal operation):* Addition oder Subtraktion von oktalen Zahlen für die Adreßberechnung
T *(type):* Ausdrucken bestimmter Speicherinhalte

einem Leserelais ausgerüstet sein, was sich im Bedarfsfall auch ohne weiteres nachrüsten läßt. Die Schnittstelle zwischen Prozessor und Peripheriegeräten ist ohnehin insofern kritisch, als man in vielen Fällen spezielle Anpaßschaltungen *(interface)* zwischenschalten muß. Norm-Schnittstellen (z. B. nach ASCII oder V 24) sind nicht generell üblich, und auch bei Stromtreiber-Schnittstellen findet man die unterschiedlichsten Erfordernisse. Hier ist eine intensive Beratung durch die zuständige Vertriebsfirma unerläßlich.

Eine wesentliche Hilfe, vor allem für den Entwicklungsingenieur ohne weitreichende Software-Erfahrung, ist eine Bedienkonsole *(control-panel)*. Insbesondere während der Einarbeitung, aber auch bei späteren Tests, kann eine solche Einrichtung vorteilhaft sein; in der Regel ist sie über einen Vielfachstecker anschließbar.

Von Bedeutung sind ferner die Magnetbandkassette und die Floppy-disk-Einheit als Massenspeicher, sowie der Zeilendrucker und ein schneller Leser/Stanzer. Die beiden letztgenannten Geräte ermöglichen eine schnelle Datenausgabe, z. B. bei großen Datenmengen. Mit dem schnellen Leser kann man die Einlesezeit für einen Lochstreifen auf einige Sekunden reduzieren. Zum Vergleich: Ein Standard-Lochstreifenleser braucht für einen 4-K-Programmstreifen mehr als eine Viertelstunde. Alle schnellen Peripheriegeräte sind um ein Vielfaches teurer als die Standardausführungen. Zur Leitungsanpassung und Signalumsetzung gibt es spezielle Leitungstreiber/-empfänger-Bausteine *(UART)*, die den seriellen Datenverkehr im asynchronen Betrieb ermöglichen.

8 Programmierung

Die wichtigste Systemeigenschaft ist die Software-Ausstattung. Sie ist das einzige Medium zwischen Mensch und Maschine, und vom Komfort ihrer Organisation hängt die Bedienfreundlichkeit bei der Programmierung ab. Hier kann man zusätzliche Angebote an Leistungsfähigkeit gar nicht hoch genug einschätzen, weil mangelnde Ausstattung der mitgelieferten Betriebsprogramme ein spürbares Hindernis bei der Arbeit ist. Einige Systeme sind aufwärtskompatibel mit größeren Anlagen, d. h. sie verwenden dieselbe Symbolsprache wie z. B. ein Minicomputer. Bei bereits vorhandenen Rechnern sollte man auf solche Verträglichkeit achten, wenn man ein Mikroprozessor-System auswählt. Als herausragendste Leistung in dieser Hinsicht existiert ein Prozessor, dessen Befehlssatz und Betriebsprogramme vollständig kompatibel sind mit der PDP-8-Software. Der Minicomputer PDP-8 ist

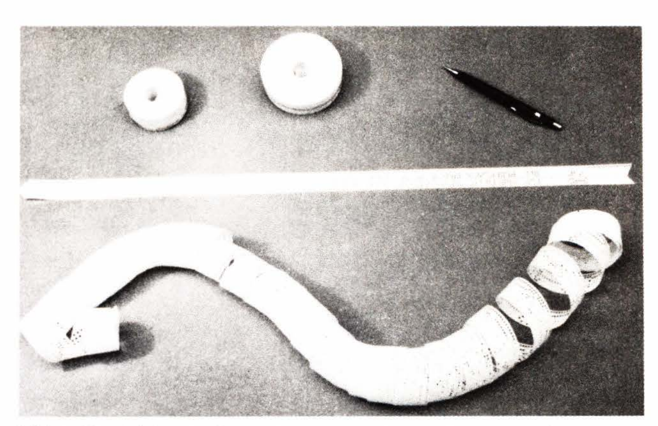


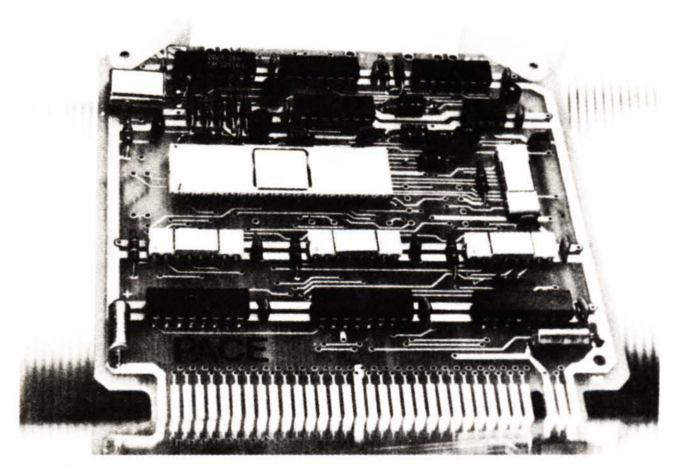
Bild 4. Vergleichende Gegenüberstellung des Umfangs verschiedener Programmstreifen: Quellenprogramm (unten), Maschinenprogramm (Mitte), Editor (oben links) und Assembler (oben Mitte)

einer der populärsten und weitverbreitetsten Kompaktrechner, und dementsprechend groß ist das Software-Angebot dafür; eine eigene Benutzer-Organisation bietet es sehr preisgünstig an. Andere Systeme verwenden jeweils eigene Programmiersprachen, sogenannte *Assembler-Sprachen;* ihr logischer Aufbau und ihre Interpunktion *(syntax)* sind systemspezifisch. Das Erlernen solcher Formalismen ist eine Sache der Gewohnheit und bereitet keine prinzipiellen Schwierigkeiten.

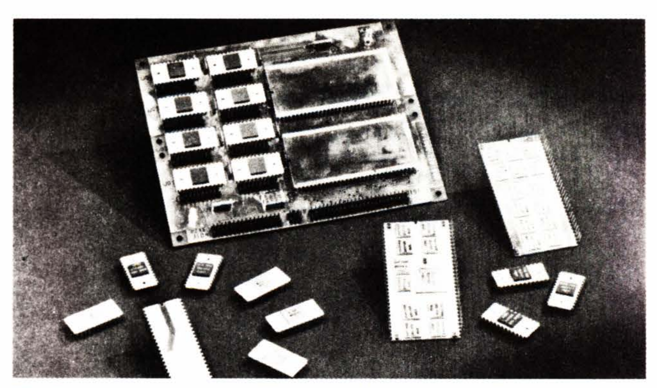
8.1 Programmerstellung

Zur Realisierung eines Programms bestehen generell zwei Möglichkeiten: Verwendung des Mikroprozessor-Systems für das das Programm gedacht ist oder Einsatz einer Großrechenanlage. Wer zu einem Großcomputer keinen Zugang hat, kann sich über eine besondere Bedienkonsole *(terminal)* an eine solche Anlage anschließen, indem er die normale Post-Fernsprechleitung benutzt. Dieses Verfahren, bei dem mehrere verteilte Teilnehmer abwechselnd auf einen zentralen Rechner zugreifen, nennt man Timesharing [24]. Ein Großcomputer bietet komfortable Programmiermöglichkeiten und spart im Timesharing-Verfahren auch größere Investitionen. Jedoch ist für die Programmerstellung ein gut ausgebautes Mikroprozessor-System vorzuziehen, weil es den wirklichkeitsgetreuen Test unter praktischen Betriebsbedingungen ermöglicht. Bevor das Programm einwandfrei arbeitet, sind bis zu fünf Zwischenzustände zu durchlaufen, zu denen jeweils fertige Hilfsprogramme seitens der Hersteller angeboten werden.

Der Prozessor akzeptiert nur dann externe Daten, wenn er programmäßig dafür vorbereitet worden ist; ein Hilfsprogramm, das einerseits diesen Datenverkehr ermöglicht und andererseits verschiedene Modifizierungen eines Anwenderprogramms erlaubt, wird mit *Editor* bezeichnet. Wenn sich dieses Programm im Arbeitsspeicher des Prozessors befindet, genügt die Eingabe eines Steuerzeichens, z. B. „L", gefolgt von einem Startzeichen, z. B. „$", um (in diesem Fall) einen Lochstreifen einzulesen; zusätzlich sind gegebenenfalls noch Startadresse oder Adreßbereiche anzugeben. *Tabelle 3* enthält die Zusammenstellung einiger symbolischer Anweisungen, wie sie in ähnlicher Form bei einem angebotenen Editor existieren. Ein besonderes Hilfsprogramm *(routine)* zur Fehlererkennung nennt man *Debugging*. Wenn der Editor nicht fest in einem ROM vorhanden ist, muß das Laden des Loch-



Der 16-bit-Mikroprozessor PACE der Firma National Semiconductor eignet sich durch die vermaschte Interrupt-Struktur besonders für die Prozeß-Steuerung



Eine Besonderheit stellen die Moduln der Firma Scientific Micro Systems dar: Auf einem Keramik-Substrat sind hier in Dickschicht-Technik Mikrocomputer-Teilsysteme zusammengefaßt

streifens, der das Editor-Programm enthält, auch ohne die Anweisung „L" möglich sein; denn solange der Editor nicht geladen ist, versteht die Maschine diese Anweisung nicht. Bei aller Nüchternheit im Umgang mit Rechnern gelangt man hier an einen Punkt, an dem man das System förmlich überlisten muß: Das gelingt entweder mit einer festverdrahteten Zusatzlogik, oder, weitaus eleganter, mit einigen Anweisungen am Anfang des Lochstreifens, die das Laden des Streifens bewirken, auf dem sie stehen. Die Amerikaner nennen das sehr treffend *Bootstrap-loader*. Diese Einrichtung ist im Lieferumfang enthalten. Solche Verwaltungsbefehle, die ohne Einfluß auf das eigentliche Programm bleiben, nennt man *Pseudo-Instruktionen*.

Mit einem weiteren Hilfsprogramm, dem *Assembler*, erfolgt dann schrittweise die Umsetzung des mnemotechnischen Programmcodes *(Quellenprogramm)* in die binäre Form der Maschinendarstellung. Wenn der Assembler auf dem Mikroprozessor-System selbst läuft, bezeichnet man ihn als *resident*; wird er dagegen auf anderen Anlagen realisiert, spricht man vom *Cross-Assembler*.

Das vom Editor ausgestanzte Quellenprogramm *(source tape)* wird in den Mikroprozessor, der mittlerweile den Assembler im Arbeitsspeicher hat, geladen. Daran schließen sich drei Programmläufe *(pass)* an, die zu unterschiedlichen Ergebnissen führen: Im ersten Lauf (pass one) werden die symbolischen Programmadressen *(label)* aufgelistet, und jeder einzelnen wird eine vom Assembler errechnete Speicherstelle zugewiesen; außerdem werden Syntax-Fehler erkannt und entsprechende Fehlermeldungen ausgedruckt. Sind noch Fehler enthalten, muß man erneut den Editor laden, das Programm korrigieren und einen berichtigten Streifen ausstanzen. Es ist leicht einzusehen, daß hierbei batteriegepufferte CMOS-Speicher besonders vorteilhaft sind: Mit einem Griff lassen sich zwei Speicher-Platinen mit dem Editor bzw. mit dem Assembler austauschen, und ein zeitraubendes Neuladen über den Lochstreifenleser entfällt. Erst nach einem fehlerfreien ersten Lauf kann im zweiten Lauf *(pass two)* die Ausgabe des Maschinen-Lochstreifens *(object tape)* erfolgen. Er enthält die Befehlsfolge des ursprünglich erstellten Quellenprogramms in einer Form, die die Maschine unmittelbar verarbeiten kann. Sind alle technischen Fehler aus dem Programm beseitigt, könnte man dieses Maschinenprogramm fest in ROMs programmieren und hätte damit das funktionsfähige Programm für den Mikroprozessor erstellt. *Bild 4* vergleicht anschaulich den Umfang eines Quellenstreifens (unten) mit dem daraus entstandenen Maschinenstreifen (Mitte); das dort ausgestanzte Programm beinhaltet etwa 90 Befehle. Zum Vergleich sind auch die Lochstreifen mit einem Editor (oben links; etwa 2 K) und einem Assembler (oben Mitte; etwa 4 K) dargestellt. Detaillierte Programmbeispiele mit ausführlichen Erläuterungen sind z. B. in [8] und [20] zu finden.

Ein dritter Lauf *(pass three)* schließlich dient zur vollständigen Dokumentation des Programms. Er führt zum Ausdruck des Quellenprogramms mit den mnemotechnischen Abkürzungen, zu denen parallel die entsprechenden Speicheradressen und Maschinenbefehle ausgegeben werden; die Befehlsdarstellung erfolgt in der systemeigenen Form, also oktal oder hexadezimal.

8.2 Adressierung

Wenn ein einziges Wort zur Speicheradressierung dienen sollte, wäre der ansprechbare Speicherumfang recht gering; ein 8-bit-Wort beispielsweise erlaubt nur die Adressierung von 256 Speicherstellen, während mit einer 12-bit-Wortlänge bereits 4 K angesprochen werden können. Deshalb sind besonders Prozessoren geringer Wortlänge so organisiert, daß Adressen aus zwei oder drei aufeinanderfolgenden Worten zusammengesetzt werden (Zwei- bzw. Drei-Wort-Befehle). Reicht der damit entstandene Rahmen noch nicht aus, erlauben einige Systeme die hardwaremäßige Erweiterung des Speichers *(memory extension)*. In diesem Fall wird eine zusätzliche Steuerlogik zur Adressierung erforderlich. Im einfachsten Fall weist eine Adresse unmittelbar auf die gewünschte Speicherstelle hin *(direkte Adressierung)*. Bei der *indirekten Adressierung* befindet sich in der angesprochenen Zelle nur die Adresse für diejenige Speicherstelle, auf die zugegriffen werden soll. Eine weitere Adressierungsart ist die *Adreßmodifikation*; hierbei wird die effektive Adresse durch verschiedene Operationen gewonnen, die vom Programm beeinflußbar sind. Eine Vielzahl von möglichen Adressierungsarten ist wünschenswert, da sie die Leistungsfähigkeit eines Systems erhöht.

8.3 Direkter Speicherzugriff

Normalerweise erfolgt das Einlesen externer Daten in den Speicher über die Zentraleinheit, das ist ein sehr langsamer Vorgang, weil für jedes Wort eine spezielle Routine ablaufen muß. Die Möglichkeit des direkten Speicherzugriffs *(DMA)* erlaubt den Datentransfer unmittelbar in den Arbeitsspeicher

unter Umgehung des Mikroprozessors. Dieser wird während des Einlesens desaktiviert, und die Steuersignale für den Speicher kommen dann von der sendenden Stelle. Bei Systemen, die hohe Arbeitsgeschwindigkeiten haben sollen, ist diese Eigenschaft unerläßlich.

8.4 Externe Unterbrechungen

Bei einer Fülle von Anwendungen muß der Prozessor auf externe Meldungen reagieren, z. B. bei der Prozeßsteuerung. Dazu gibt es die Möglichkeit externer Programmunterbrechungen *(interrupt)*: Ein von außen angelegtes Signal hält das laufende Programm an und alle augenblicklichen Zustände der Zentraleinheit werden abgespeichert. Dann springt der Prozessor automatisch in ein vorbereitetes Unterprogramm *(interrupt routine)* und führt die gewünschte Operation aus, anschließend nimmt er mit den gespeicherten Informationen wieder die Verarbeitung des ursprünglichen Programms *(background program)* auf. Es werden auch Systeme mit verschachtelten Unterbrechungsmöglichkeiten *(multilevel interrupts)* angeboten; hier erhält eine Unterbrechung höherer Priorität den Vorrang vor einer anderen. Derartige vermaschte Unterbrechungen bezeichnet man mit *Nesting*; dabei müssen jeweils alle aktuellen Zustände der Zentraleinheit zwischengespeichert werden, damit auch eine unterbrochene Interrupt-Routine fortgesetzt werden kann. Können von verschiedenen externen Anschlüssen Unterbrechungssignale eintreffen, muß die unterbrechende Stelle lokalisiert werden. Das läßt sich entweder von einem Unterprogramm bewerkstelligen, oder das Unterbrechungssignal selbst führt eine Identifikation mit sich, die auf den Ursprung hindeutet *(vectored interrupt)*. Eine vergleichsweise langsame Art, auf externe Unterbrechungen einzugehen, stellt die ständige zyklische Abfrage aller möglichen Stellen dar, ob eine Unterbrechung gewünscht wird oder nicht *(polling)*.

8.5 Zustandssignale

Die Zentraleinheit erzeugt in Abhängigkeit von bestimmten internen Zuständen entsprechende Signale *(flags)*, die dadurch entstehen, daß bei Auftreten des Zustandes ein zugehöriges Flipflop kippt. Diese Signale können vom Programm abgefragt und in logische Entscheidungen, z. B. Sprungbefehle, mit einbezogen werden.

9 Anwendungen

Der Einsatz von Mikroprozessoren ist nur dann sinnvoll, wenn die Arbeitsgeschwindigkeit ausreicht. In Verbindung mit einer Bus-Struktur bei Geräten oder Anlagen ist die Einbeziehung eines oder mehrerer Mikroprozessoren nahezu unerläßlich [38]. Bei umfangreicheren Aufgaben wird man ohnehin mehrere Prozessoren gleichzeitig einsetzen *(multiprocessing)*; der Materialpreis ist längst vernachlässigbar geworden gegenüber den Systemkosten, vor allem auf der Software-Seite.

9.1 Vor- und Nachteile

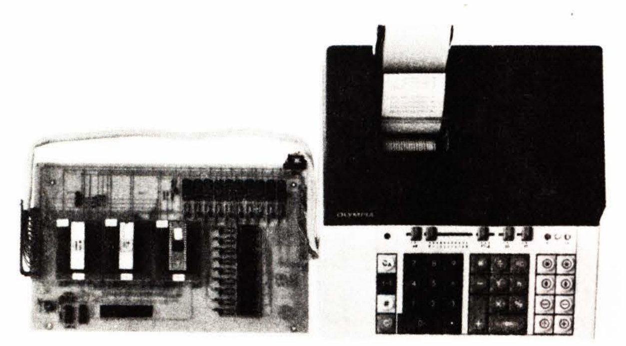
Der entscheidende Vorteil der Mikroprozessoren liegt in der hohen Flexibilität, verbunden mit einem vereinfachten Aufbau und erhöhter Zuverlässigkeit des Gerätes, in dem er eingesetzt wird. Daraus erwachsen aber auch wesentliche Nachteile: Die Gerätekonzeption wird schwerer durchschaubar, und Reparaturen oder Änderungen erfordern hochgradige Spezialisten. Es ist daher ein Irrglaube, anzunehmen, man könnte die Systemkosten durch Einsatz eines Mikroprozessors ohne weiteres senken; bevor man diese Materie so weit beherrscht wie etwa heute die Handhabung von TTL-Bausteinen, sind erhebliche Investitionen notwendig. Und die einfache Änderungsmöglichkeit des Geräteverhaltens durch Umprogrammieren, oft ohne Überlegung in den Raum gestellt, erfordert eben auch ihre Zeit und ist selbst vom Fachmann nicht mit der linken Hand abzutun. Es soll wohlgemerkt nicht gegen die Mikroprozessoren geredet werden, ganz im Gegenteil, aber es soll einmal deutlich gesagt sein, daß diese letztlich nur Hilfsmittel bleiben, die dem Anwender zunächst entsprechenden Einsatz abverlangen.

9.2 Steuerungsaufgaben

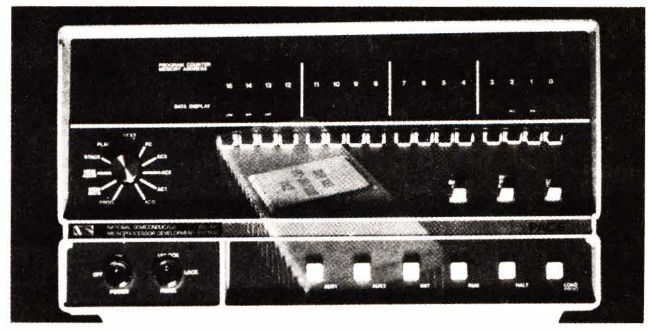
Bevorzugte Anwendungsgebiete sind Steuerungs- und Verwaltungsaufgaben. So bietet sich der Einsatz eines Mikroprozessors z. B. bei der Steuerung einer Elektronenstrahlröhre für ein Sichtgerät an oder dort, wo präzise Zeitabläufe zu steuern sind. Ebenso geeignet ist er für die Verwendung in Buchungsautomaten oder Registrierkassen, wo gleichzeitig zur Dateneingabe der aktuelle Stand bestimmter Zahlenkolonnen ermittelt und ausgegeben werden kann. Aber auch in komfortableren Meßgeräten hat der Mikroprozessor längst Einzug gefunden; dort übernimmt er beispielsweise die Steuerung der vom Bedienfeld eingegebenen Daten, führt die gewünschten Operationen aus und veranlaßt entsprechende Anzeigen oder Signalausgaben.

9.3 Rechnerbau

Es soll noch ein spezielles Anwendungsgebiet angesprochen werden, bei dem vorzugsweise die kaskadierbaren Prozessorbausteine zum Einsatz kommen: Der Bau von Rechenanlagen. Hierunter fallen Geräte von der Leistungsfähigkeit eines Minicomputers oder eines schnellen Prozeßrechners.



Vornehmlich für die mittlere Daten- und Bürotechnik konzipiert ist der Typ CP 3-F, den die Firmen AEG und Olympia entwickelt haben



Die Firma National Semiconductor bietet speziell für ihren Mikroprozessor PACE ein leistungsfähiges Entwicklungssystem für die Programmerstellung an

Aber auch der gezielte Nachbau eines bestimmten Rechnertyps gehört hierzu. Dabei verhält sich das nachgebaute System genauso wie das kopierte, es ist also vollkommen gleich zu programmieren und zu bedienen. Geschieht diese Nachbildung nur programmäßig auf einem anderen Rechner, spricht man von *Emulation*. Das emulierende System muß in der Regel schneller sein als das nachgebildete, da zur Nachbildung eines Befehls u. U. mehrere neue Befehle erforderlich sind. Die Emulation gewinnt insofern an Bedeutung, als damit bestehende Programme unverändert auf einer neuen Anlage weiterbenutzt werden können. Das ist ein nicht zu unterschätzender Vorteil, weil damit die sehr aufwendigen Programmumstellungen entfallen.

10 Einstieg in die Praxis

Nach der Fülle der technischen Informationen stellt sich die Frage, wie man bei der persönlichen Einarbeitung erfolgversprechend vorgehen kann.

10.1 Seminare

In zunehmendem Maße bieten Hersteller und Vertriebsfirmen Schulungskurse zur Einarbeitung in die Mikroprozessor-Technik an. Diese sind dann erfolgversprechend, wenn bei ausreichend geringer Teilnehmerzahl eine individuelle Betreuung sichergestellt ist. Die Möglichkeit, selbst an den Prozessoren zu arbeiten, ist unabdingbare Voraussetzung dafür. Sogenannte Blitzkurse von eintägiger Dauer besitzen wenig Aussicht auf einen nachhaltigen Erfolg.

10.2 Eigene Erfahrung

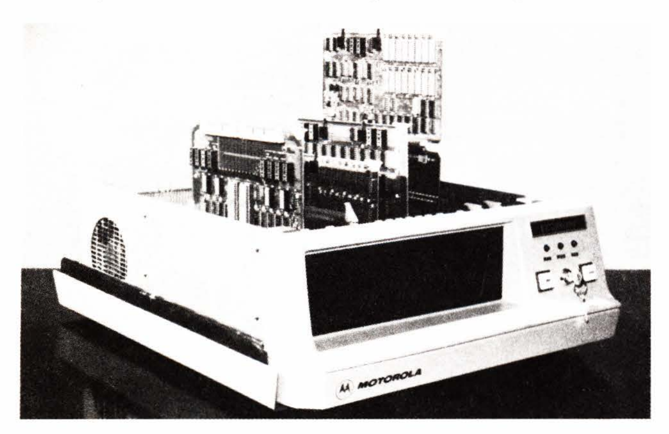
Die im persönlichen Umgang mit dem Mikroprozessor gewonnene Erfahrung ist durch nichts zu ersetzen. Nur mit ihr kann man die Leistungsfähigkeit eines Systems vollständig beurteilen, was bei bloßem Literaturstudium nur unzureichend gelingt. Der Anfang ist leichter, als man gemeinhin glaubt: Mit einer Fernschreibmaschine, einem angeschlossenen Leser/Stanzer und einer Mikroprozessor-Grundausstattung *(starter kit, evaluation kit)* kann man bereits beginnen, eigene Programme zu realisieren. Dazu ist, wie bereits gesagt, eine Bedienkonsole nützlich. Zuerst sollte man sich an einfachen Programmen (Spielprogramme) versuchen, dabei lernt man die routinemäßigen Handgriffe und wird vertraut mit dem System. Bei der firmeninternen Schulung setzen die Verfasser ein simples Programmbeispiel ein, das gleichzeitig für die entsprechende Motivation sorgt: Der Mikroprozessor soll dazu gebracht werden, „sich vorzustellen" und nach dem Namen des Benutzers zu fragen. Ist der Name eingegeben und mit einem Wagenrücklauf abgeschlossen, soll sich das System erneut melden und den Benutzer begrüßen. Dazu sind bereits einige einfache Programmtechniken erforderlich, beispielsweise das Erstellen von Warteschleifen *(loop)*, wenn der Prozessor eine Eingabe erwartet.

„Vermenschlichung" auch hier, wie das Beispiel zeigt, und es mag für den Außenstehenden merkwürdig klingen: Wer ein solches Programm selbst einmal zum „Laufen" gebracht hat, sieht den dahintersteckenden Mikroprozessor nicht mehr als irgendeinen neuentwickelten Baustein an, sondern als eines der faszinierendsten Produkte unserer Zeit; es soll aber nicht verschwiegen werden, daß dazu eine intensive Einarbeitung erforderlich ist.

10.3 Entwicklungssysteme und Mikrocomputer

Um dem Anwender die Handhabung eines Prozessors und dessen Programmierung zu erleichtern, werden funktionsfähige Mikrocomputer und vollständige Entwicklungssysteme angeboten. Letztere sind meist mit einem Typ des Mikroprozessors aufgebaut, für den die Programme erstellt werden sollen, und sie besitzen einen großen Speicher sowie Bedienelemente. Derartige Geräte sind besonders wertvoll für die Einarbeitung und Schulung. In dieser Ausbaustufe unterscheiden sie sich wesentlich von solchen Mikroprozessor-Systemen, die beispielsweise in ein Gerät eingebaut werden. Dort ist kein separates Bedienfeld für den Prozessor vorgesehen, und der Speicherumfang ist dem speziellen Anwendungsfall angepaßt.

Als primäre Auswahlkriterien kommen die Arbeitsgeschwindigkeit, die erforderlichen Versorgungsspannungen und der adressierbare Speicherbereich in Betracht. Hierbei ist zu klären, inwieweit sich der Mikroprozessor in eine vorhandene oder geplante Systemkonzeption einfügt. Von sehr weitreichender Bedeutung bei der Auswahl eines Modells ist die Programmiermöglichkeit, und zwar ausschließlich unter dem Gesichtspunkt der später zur Verfügung stehenden Hilfsmittel. Es ist deshalb besonders auf die Verwendbarkeit der angebotenen Programme auf bereits vorhandenen Rechenanlagen zu achten. Wenn diese Forderung nicht besteht, sollte man sich bei der Softwareauswahl im Zweifelsfall immer für das leistungsfähigere Angebot entscheiden, weil eine spätere Umstellung wegen der unverhältnismäßig hohen Kosten nur in den seltensten Fällen realisiert wird. Eine pauschale



Das Entwicklungssystem der Firma Motorola ist für den Mikroprozessor MC 6800 vorgesehen und ermöglicht einen wirklichkeitsnahen Test mit umfangreicher Speicherbestückung



Den Aufbau eines vollständigen Mikrocomputer-Systems innerhalb weniger Stunden ermöglicht ein Bausatz der Firma Intel. Er enthält alle erforderlichen Bauelemente, den Mikroprozessor MCS 8080 und Software-Handbücher

Tabelle 4. Trainingssysteme, Mikroprozessor-Systeme und Mikrocomputer

µP-Typ	Trainingssystem	Hersteller	µC	Bemerkungen
4004	Intellec 4/Mod 4	Intel		erste vorgestellte Mikroprozessoren mit breitem Angebot an Software, Anwendungsbeispielen und Programmierhilfen
	PLS 400	Prolog	●	
4040	Intellec 4/Mod 40	Intel		
	PLS 440	Prolog	●	
PPS-4	PPS-4 MP Assemulator	Rockwell		größtes Spektrum an peripheren Bausteinen
8008	Intellec 8/Mod 8	Intel		Das System MPS 10 von Digital Equipment ermöglicht rationelle Prozeßautomatisierung bei voller Software-Kompatibilität mit der PDP-8
	MPS 800	Prolog	●	
	KMP 01-A	Digital Equipment	●	
	MPS 10	Digital Equipment	●	
8080	Intellec 8/Mod 80	Intel		auf breiter Ebene eingeführter Mikroprozessor mit MIL-Temperaturbereich
	M 822	Prolog	●	
F 8		Mostek	●	Test- und Betriebsprogramm auf der Karte (Europaformat)
		Prolog	●	
MK 5065	GEMS 8	Mostek	●	umfassendes System auf einer einzigen Karte
6800	Exorciser	Motorola		umfangreiche Ausstattung des Betriebssystems
	MPS 863	Prolog	●	
IMP-8	IMP-8P	NS		vorteilhafter Einsatz in der Prozeßsteuerung
PPS-8	PPS-8 MP Assemulator	Rockwell		breites Spektrum an peripheren Bausteinen
TMS 9900	Prototyp-System 990/4	Texas		vollständiger µP auf einem Chip möglich
MCP 1600	LSI-11; PDP-11/03	Digital Equipment	●	Minicomputer der gehobenen Leistungsklasse
IM 6100	Intercept	Intersil		voll PDP-8-kompatibel; mit CMOS-RAMs aufgebaut
		Spezial-Electronic	●	CMOS-System mit MIL-Temperaturbereich (Europaformat)
CP 1600	GIC 1601	GI	●	Minicomputer-Software in FORTRAN erhältlich
PACE	IMP-16 P	NS		hoher Systemwirkungsgrad durch spezielle Speicher
LP 8000	GIC 8000	GI	●	Minimalsystem besteht aus nur zwei Chips
Aufbau ohne spezielle µP-Chips	Miproc	Plessey	●	ultra-schneller µP für Echtzeit-Signalverarbeitung
	LSI-12/16	General-Automation	●	mikroprogrammierbarer µP in SOS-Technologie
	PCU	Periphere Comp. Syst.	●	leistungsfähiges Betriebsdatenerfassungssystem

Zuordnung einzelner Wortlängen zu bestimmten Anwendungsfällen kann nicht getroffen werden. Ein Anhalt dazu ist in [26] zu finden. Im Einzelfall, besonders bei kleineren Stückzahlen, wird jedoch die Erfahrung mit einem bestimmten Modell eher ausschlaggebend für dessen Einsatz sein als die optimale Hardware-Anpassung.

10.4 Fremdunterstützung

Die Firmen sind generell daran interessiert, ihre Kunden weitgehend bei der Arbeit mit dem Mikroprozessor zu unterstützen. Spezialisten beantworten auch Detailfragen rasch per Telefon oder beraten an Ort und Stelle. Dieses Entgegenkommen ist überall festgestellt worden, und man sollte bei Bedarf davon Gebrauch machen!

11 Ausblick

Nach der Vorstellung dieses umfangreichen Komplexes klingt es fast vermessen, sofort nach der weiteren Entwicklung zu fragen, und eine erneute Steigerung der Leistungsfähigkeit zu fordern. Die Mikroprozessor-Technik beschert uns heute schon, wo sie noch in den Anfängen steckt, ein Leistungsangebot, das man noch vor kurzem nie für möglich gehalten hätte. Und doch wird die Entwicklung rasant weitergehen: Für 1980 sagen uns die Amerikaner einen Leistungsstand voraus, der den Bau eines hochwertigen Minicomputers von der Leistungsfähigkeit einer heutigen PDP-11-Anlage auf einer einzigen Europa-Karte ermöglicht; diese Platine soll außerdem noch ein Interface und einen Speicher (4-K-ROM und 4-K-RAM) aufnehmen [36]. Wenn man betrachtet, in welch kurzer Zeit der augenblickliche Stand erreicht wurde, ist das sicherlich ein realistischer Ausblick. Parallel dazu werden einfache Systeme immer kleiner und billiger werden und auch in einige unserer Haushaltsgeräte vordringen!

12 Auswahlkriterien

In der *Übersichtstabelle* sind die heute lieferbaren bzw. in Kürze erscheinenden Mikroprozessoren zusammengestellt, wobei die Slices am Schluß angefügt sind. Sofern mehrere Hersteller existieren, wird in den Bemerkungen darauf hingewiesen. Die Angabe einer typischen Befehlszykluszeit soll nur einen ungefähren Anhaltspunkt schaffen, um die Arbeitsgeschwindigkeiten zu vergleichen. Wie bereits erläutert wurde, lassen diese Angaben einen exakten Vergleich nicht zu. Der adressierbare Speicherumfang bezieht sich auf die Anzahl der Worte mit der in der dritten Spalte angegebenen Länge. Bei Mehrwort-Organisation werden demzufolge auch mehrere Speicherzellen von einem Befehl oder einer Adresse belegt. Eine Erweiterungsmöglichkeit des adressierbaren Speicherumfangs ist dann wünschenswert, wenn die normale Adressierung beispielsweise nur 2 K oder 4 K Speicherkapazität anspricht. Bei einem Adreßbereich, der von vornherein 64 K umfaßt, braucht man also keinen Wert auf eine Speichererweiterung zu legen. Sofern ein Mikroprozessor-System vermaschte Interrupts verarbeiten kann, ist in der betreffenden Spalte die Anzahl der möglichen Unterbrechungs-Ebenen angegeben.

Ein Großteil der aufgeführten Modelle ist bereits früher in der ELEKTRONIK vorgestellt worden oder wurde dort in

Typenübersicht der als Bauelement erhältlichen Mikroprozessoren (Stand März 1976, Ergänzungen finden Sie auf Seite 116)

Hersteller	Typ	Wortlänge in bit	Technologie	Versorgungs-spannungen in V	Typische Befehlszyklus-zeit in µs	Befehlsvorrat	Interne Register	Adressierbarer Speicherumfang	Trainingssystem	Interrupt	DMA	sync/async.	Bemerkungen	Zweithersteller*
Intel Corp.	4004	4	PMOS	+5/–10	10,8	46	17	4 K	●	–	–	s	9, 28	NS, Siemens
	4040	4	NMOS	+5/–10	10,8	60	25	8 K	●	●	–	s	29	Siemens
National Semicond. (NS)	IMP 4	4	PMOS	+5/–12	11,2	42	4	4 K	–	●	–	s	1	
Nippon Electric Comp. (NEC)	µ-COM 4	4	NMOS	+5/+12/–5	5,2	55	2	8 K	–	–	–	s		
Rockwell International	PPS-4	4	PMOS	+5/–12	4,0	50	5	4 K	●	●	–	s	24, 36, 41, 52, 58, 62	AEG
Texas Instr. Corp.	TMS-1000	4	PMOS	+15	12,0	43	2	1 K	–	–	–	s	20, 21, 42	
AEG-Telefunken	CP 3-F	8	PMOS	–5/–12	5,0	48	52	16 K	–	–	–	s	22	SGS-Ates
ASEA HAFO	AMC-8	8	CMOS	+5...15	1,6	42	5	1 K	–	●	–	a		
Electronic Arrays	EA 9002	8	NMOS	+5	10,0	55	72	4 K	–	7	●	s	25, 64	
Fairchild	F 8	8	NMOS	+5/+12	2,0	72	65	64 K	●	4	●	s	7, 8, 15 55	Mostek
General Instr.(GI) (GI)	LP 8000	8	PMOS	+5/–12	8,0	51	48	1 K	–	–	–	s	26, 55, 62	
Intel Corp.	8008	8	PMOS	+5/–9	10,8	48	7	16 K	●	●	–	a	5, 18, 30	
	8080	8	NMOS	+5/–5/–12	2,0	78	7	64 K	●	●	–	a	7, 12, 14, 31, 57, 4	AMD, TI, Siemens, NEC
Motorola	MC 6800	8	NMOS	+5	8,0	72	3	64 K	●	2	●	s	7, 10, 11, 19,38,44,67	AMI, Hitachi
National Semiconductor	IMP 8	8	PMOS	+5/–12	4,2	38	4	64 K	●	●	–	s	1, 33, 53	
	CMP 8	8	NMOS	+5/+9/–5	2,4	50	7	64 K	–	2	–	a		
	SC/MP	8	PMOS	+12	6,0	46	6						46	Western Digital
Nixdorf	NCF 1	8	NMOS	+12/–5/+5	1,5	30	4	64 K	●	8	●	s		
RCA	COSMAC	8	CMOS	+4...12	8,0	59	19	64 K	–	●	●	a	3, 6	
Rockwell Int.	PPS-8	8	PMOS	+5/–12	4,0	90	4	8 K	●	3	●	s	37,49,52,63	AEG
Scientific Micro Systems (SMS)	SMS 300	8	Schottky	+5	0,3		8	2 K	–	●	●	s	61	
Signetics (Valvo)	2650	8	PMOS	+5	5,0	75	15	32 K	●	64	–	a	54, 59	Adv. Memory Syst.
Western Digital	MCP 1600	8	NMOS	+5/+12/–5	0,3	84	26	8 K	●	4	●	s	16, 23, 50, 56, 64	
Intersil Corp.	IM 6100	12	CMOS	+5	2,5	87	6	4 K	●	●	●		39, 27, 40, 51, 63	Harris Semic.
Toshiba Transistor Works	TLCS 12	12	PMOS	+5/–5	10,0	80	6	4 K	–	8	–	a		
General Instrument Corp.	CP 1600	16	NMOS	+5/+12/–3	2,4	87	8	64 K	●	●	●	s	13, 66	Electr. Mem. & Magn.
National Semiconductor	IMP 16	16	PMOS	+5/–12	4,2	43	4	64 K	●	●	–	s	1, 34, 53	
	PACE	16	PMOS	+5/–12	10,0	45	4	64 K	●	4	–	a	32, 45	
Nippon El. Comp.	µ-COM 16	16	NMOS	+5/+12/–5	5,2	74		64 K						
Texas Instr. Corp.	TMS 9900	16	NMONMOS	+5/+12/–5	7,5	69	16	64 K	●	16	●	s	35, 43	
Advanced Micro Devices (AMD)	AM 2901	4	Schottky	+5	0,1		Wortlänge beliebig						2	Raytheon, Motorola
Fairchild	F 9404/ 9405	4	Schottky	+5			Wortlänge beliebig							
Intel Corp.	3000/3002	2	Schottky	+5	0,1		Wortlänge max. 320 bit						2	Signetics, Siemens
Monolithic Memories Inc. (MMI)	5701/6701	4	Schottky	+5	0,2	36	Wortlänge max. 64 bit							AMD
Motorola	MC10800	4	ECL	–5,2	55 ns		Wortlänge beliebig						48	
National Semiconductor	GPC/P	4	PMOS	+5/–12	1,4		Wortlänge max. 32 bit						2	
Siemens	SAB 4080	4	NMOS	–5/+5/+12	1,5	120	Wortlänge 16 bit						65	
Texas Instruments Corp.	SBP 0400	4	I^2L	variabel	0,1		Wortlänge beliebig						2, 17	
	S481/S482	4	Schottky	+5	0,1		Wortlänge beliebig			●	●	●	2, 60	

*) Als Zweithersteller werden auch solche Firmen genannt, die den betreffenden Baustein ohne „second-source-Vertrag" oder ohne Originalmasken herstellen. Die entsprechenden Typen der Firmen in der letzten Spalte müssen also nicht notwendigerweise kompatibel sein.

Bemerkungen zur Übersichtstabelle

1) wurde mit dem Typ GPC/P realisiert
2) mikroprogrammierbar; Befehlsvorrat wird vom Anwender zusammengestellt
3) Typenbezeichnung umbenannt in CDP 1801
4) ELEKTRONIK 1976, H. 3, S. 33
5) ELEKTRONIK 1974, H. 10, S. 383
6) ELEKTRONIK 1975, H. 12, S. 22
7) ELEKTRONIK 1975, H. 12, S. 22
8) ELEKTRONIK 1975, H. 12, S. 24
9) ELEKTRONIK 1975, H. 12, S. 106
10) ELEKTRONIK 1975, H. 9, S. 29...30
11) ELEKTRONIK 1975, H. 8, S. 23
12) ELEKTRONIK 1975, H. 8, S. 48
13) ELEKTRONIK 1975, H. 6, S. 14
14) ELEKTRONIK 1975, H. 6, S. 36
15) ELEKTRONIK 1975, H. 5, S. 12
16) ELEKTRONIK 1975, H. 4, S. 31
17) ELEKTRONIK 1975, H. 3, S. 68
18) ELEKTRONIK 1975, H. 2, S. 18
19) ELEKTRONIK 1975, H. 1, S. 49
20) ELEKTRONIK 1975, H. 12, S. 107
21) Oberbegriff für Mikrocomputer-Familie; Programmspeicher auch auf dem Chip unterzubringen (vollständiger Einchip-Mikroprozessor!)
22) ELEKTRONIK 1974, H. 11, S. 445
23) 16-bit-Daten- u. T-Adreß-Bus; Doppelwort-Operation möglich
24) Nachfolger: PPS-4/I
25) 512-Worte-RAM auf dem Chip; arithmetische Operationen im BCD-Format möglich; kompatibel mit den Peripherie-Bausteinen von Motorola und Intel
26) duale und dezimale Arithmetik möglich
27) Betriebssystem Intercept
28) Betriebssystem Intellec 4/Mod 4 (Intel); PLS 400 (Prolog)
29) Betriebssystem Intellec 4/Mod 40 (Intel)
30) Betriebssystem Intellec 8/Mod 8 (Intel); MPS 800 (Prolog)
31) Betriebssystem Intellec 8/Mod 80 (Intel)
32) Betriebssystem IPC/16 P
33) Betriebssystem IMP-8P
34) Betriebssystem IMP-16P; IMP-16L
35) Prototyp-System 990/4 mit Zubehör
36) Betriebssystem PPS-4MP Assemulator
37) Betriebssystem PPS-8MP Assemulator
38) Betriebssystem Exorciser
39) vollkommen statische Betriebsweise möglich
40) ELEKTRONIK 1975, H. 10, S. 16
41) ELEKTRONIK 1975, H. 11, S. 14
42) ELEKTRONIK 1975, H. 7, S. 12
43) ELEKTRONIK 1975, H. 12, S. 107
44) ELEKTRONIK 1974, H. 10, S. 387
45) ELEKTRONIK 1975, H. 1, S. 47
46) ELEKTRONIK 1975, H. 12, S. 107
47) ELEKTRONIK 1975, H. 11, S. 16
48) ELEKTRONIK 1975, H. 12, S. 22
49) ELEKTRONIK 1976, H. 1, S. 33
50) ELEKTRONIK 1976, H. 2, S. 24
51) vollständig kompatibel mit der PDP-8-Software
52) Breites Spektrum an peripheren Bausteinen
53) Befehlssatz erweiterbar
54) Besitzt Vektor-Interrupt
55) Ähnlich CP 3-F
56) Die Chips wurden für den Minicomputer LSI 11 von DEC entwickelt
57) Analyse-System M 822 von Prolog
58) PPS-4/1 = Einchip-Lösung, PPS-4/2 = Zweichip-Lösung
59) Alleinvetrieb für Deutschland hat Valvo
60) Trainingssystem im 3. Quartal 1976
61) Speichererweiterung auf 4 K
62) Speichererweiterung auf 16 K
63) Speichererweiterung auf 32 K
64) Speichererweiterung auf 64 K
65) Speichererweiterung auf 96 K
66) EMM ab Juni Zweithersteller
67) Hitachi ab April/Mai Zweithersteller

Literatur

Firmenneutrales Schrifttum, das sich gleichermaßen zur Einarbeitung in die Materie, zur Vertiefung des Stoffes und als Nachschlagewerk eignet:

[1] Microprocessors and Microcomputers. A Comprehensive Technical Introduction (Course Notes). Integrated Computer Systems, Culver City, Kalifornien (1975).

[2] *Blomeyer-Bartenstein, H. P.:* Mikroprozessoren und Mikrocomputer. Eine Einführung in die Grundlagen und Anwendungstechnik. Fachbuch der Siemens AG, München (1975).

[3] Mikrocomputer. Eine Zusammenfassung aktueller Aufsätze aus der Fachzeitschrift „Der Elektroniker". AT-Fachverlag GmbH, Stuttgart (1975).

[4] *Tireford, H.:* Vom Computer zum Mikroprozessor. Fachschrift der Firma Motorola, Taunusstein (1975).

[5] *Weissberger, A. J.:* MOS/LSI microprocessor selection. Electronic Design 1974, Heft 12, S. 100...104.

[6] *Lilen, H.:* Introduction à la micro-informatique: Du microprocesseur au micro-ordinateur. Société des Editions Radio. Frankreich (1975).

[7] Aufsatzsammlung über alle Themen, die im Zusammenhang mit dem Mikroprozessor stehen ; auch bei mangelnden spanischen Sprachkenntnissen ein hilfreiches Nachschlagewerk: Mundo Electrónico 1975, Nr. 45 (Novemberheft).

Ein Standardwerk zur Einarbeitung in die PDP-8-Software, gleichzeitig das Benutzerhandbuch für die Programmierung:

[8] Introduction to Programming. Handbuch der Digital Equipment Corporation, USA. Vertrieb: Spezial-Electronic KG, München und Bückeburg (1970).

Komplette Literaturzusammenstellungen im Nachdruck:

[9] Microprocessors and Microcomputers. Reprints. Integrated Computer Systems, Culver City, Kalifornien (1975).

[10] Microprocessors and Microcomputers. Manufacturers' Literature. Integrated Computer Systems, Culver City, Kalifornien (1975).

Aufsätze, die sich aus allgemeiner Sicht mit der Materie befassen:

[11] *Lewandowski, R.:* Preparation: the key to success with microprocessors. Electronics 1975, 20. März, S. 101...106.

[12] *Bailey, S. J.:* Microprocessor: Candidate For Distributed Computing Control. Control Engineering 1974, März, S. 41...44.

[13] *Martinez, R.:* A Look at Trends in Microprocessor/Microcomputer Software Systems. Computer Design 1975, Nr. 6, S. 51...57.

Vergleichende Gegenüberstellungen und nähere Betrachtung einiger Modelle:

[14] *Groves, B.:* Microprocessors. Instruments & Control Systems 1975, März, S. 47...53.

[15] Automatique et informatique industrielles 1975, Oktoberheft.

Firmenschriften, die ein näheres Kennenlernen der vorgestellten Modelle erleichtern, ohne jeweils den vollständigen Unterlagensatz erwerben und durcharbeiten zu müssen:

[16] Intersil IM 6100-CMOS-12-bit-Microprocessor. Kostenlose Druckschrift der Firma Spezial-Electronic, München und Bückeburg.

[17] Intercept Prototyping System. Kostenlose Druckschrift der Firma Spezial-Electronic, München und Bückeburg.

[18] M 6800 Application Manual. Motorola, Taunusstein (1975).

[19] Exorciser data sheets. Kostenlose Druckschrift der Firma Motorola, Taunusstein.

[20] The F 8 from Mostek. *Braunes* und *grünes* Heft. Kostenlose Druckschriften der Firma Mostek, Bernhausen/Stuttgart.

[21] COSMAC Microkit. Operator's Manual. RCA (1975). Vertrieb: A. Neye Enatechnik, Quickborn/Hamburg.

[22] *Bass, J. E.:* Microcomputer-Based Communications Concentrator Systems. Kostenlose Druckschrift der Firma Rockwell (MCC 505). Vertrieb: COSMOS Electronic, München.

[23] The SMS Micro-Controller. System Description. Scientific Micro Systems (1974). Vertrieb: Munzig International, München.

[24] The SMS Micro-Controller. Timesharing User Guide. Scientific Micro Systems (1974). Vertrieb: Munzig International, München.

Schnell verfügbare Aufsätze, die sich ausgezeichnet für eine erste Einarbeitung eignen:

[25] *Neunert, H.:* Systemtechnik mit Mikrocomputern. ELEKTRONIK 1974, H. 10, S. 391...395.

[26] *Habgood, D.:* Wie wär's mit einem Mikroprozessor? ELEKTRONIK 1974, H. 10, S. 379...382.

[27] *Fertl, W.:* MPS 10 – Ein modularer Mikrocomputer. ELEKTRONIK 1974, H. 10, S. 383...386.

[28] *Münchrath, R.:* Tendenzen der Minicomputer-Entwicklung. ELEKTRONIK 1973, H. 10, S. 345...348.

[29] *Scheytt, W.:* Minicomputer. ELEKTRONIK 1975, H. 10, S. 82...90.

[30] *Dieckmann, H. W.:* Mikroprozessor. Computer statt festverdrahteter Logik. FUNKSCHAU 1975, H. 26, S. 53...56.

Weitere Quellenhinweise:

[31] Code-Übersicht. Arbeitsblatt Nr. 69. ELEKTRONIK 1972, H. 9, S. 327...328.

[32] Codes für Analog/Digital- und Digital/Analog-Umsetzer. Arbeitsblatt Nr. 93. ELEKTRONIK 1975, H. 12, S. 87...90.

[33] Informationsverarbeitung. Begriffe. DIN 44 300. Beuth-Vertrieb, Berlin und Köln (1972).

[34] Prozeßrechensysteme. Begriffe. DIN 66 201. Beuth-Vertrieb, Berlin und Köln (1971).

[35] *Wuttke, G.:* Keine Angst vor PLAs. Elektronik-Journal 1975, H. 11, S. 6.

[36] *Schmid, H.:* Monolithic Processors. Computer Design 1974. H. 10, S. 87...95.

[37] *Horton, Englade, McGee:* I^2L takes bipolar integration a significant step forward. Electronics 1975. Erstes Februarheft. S. 83...90.

[38] *Pannach, A.:* Interface-Entwicklung für den IEC-Bus. ELEKTRONIK 1975, H. 12, S. 61...64.

[39] *Huse, H.:* I^2L: Die Technologie und ihre Anwendung in einem schnellen 4-bit-Mikroprozessorelement. ELEKTRONIK 1976, H. 2, S. 79...82.

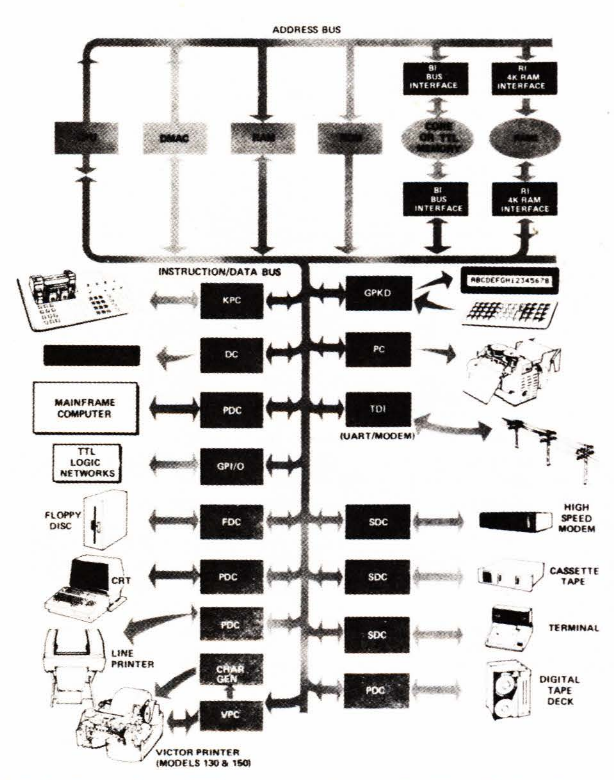


Bild 6. Voll ausgebautes Mikroprozessor-System: Die Firma Rockwell ist einer der wenigen Hersteller, die auch zahlreiche Peripherie-Bausteine liefern

Randinformationen erwähnt; in Fußnoten wird auf diese Zitatstellen verwiesen. Um die Tabelle nicht zu unübersichtlich zu gestalten, wurden die Softwareleistungen für die einzelnen Prozessoren nicht detailliert aufgeschlüsselt. Wo eigene Trainingssysteme als Entwicklungshilfe oder Microcomputer angeboten werden, ist dies in den Fußnoten vermerkt. In *Tabelle 4* ist eine kleine Auswahl solcher Systeme zusammengestellt.

Eine Aufschlüsselung der zahlreichen Literaturstellen, die über den üblichen Rahmen hinausgeht, soll dem Leser eine Hilfestellung bei der gezielten Literaturbeschaffung geben. Ein Buch aus dem Franzis-Verlag mit dem Titel „Was ist ein Mikroprozessor" (RPB 82) erscheint in Kürze und ist noch nicht erwähnt.



Dipl.-Ing. Jürgen Schwerte stammt aus Nordrhein-Westfalen. Er studierte an der TU Aachen und kam 1969 zu Krupp-Atlas-Elektronik nach Bremen. Aufgabenbereich: Applikationsuntersuchungen von integrierten Schaltungen für den Sonar-Bereich; Spezialgebiet: Prozeßrechner. Privat schätzt er klassische Musik.
Privattelefon 04202/4971
ELEKTRONIK-Leser seit 1964.

Dipl.-Ing. Reinhard Gößler wurde in Thüringen geboren und wuchs in Berlin auf. Er studierte in Hannover und trat 1973 in die Firma Krupp-Atlas-Elektronik, Bremen, ein; dort folgten Entwicklungen auf dem Sonar-Gebiet, dann Übernahme der Zuständigkeit für Mikroprozessor-Anwendungen. Freie Mitarbeit im FRANZIS-Verlag seit 1974.
Privattelefon 0421/250347
ELEKTRONIK-Leser seit 1969.

Mikroprozessor-Studie von Diebold

Der Absatz von Mikroprozessoren in der BRD wird in den kommenden Jahren Mengenwachstumsraten von 100 % verzeichnen. Außerdem werden bis zum Jahr 1985 Mikroprozessoren im Wert von rund 1,4 Mrd. umgesetzt werden. Das sind die wesentlichen Prognosen bzw. Aussagen einer Studie, die von der Diebold-Beratungsgesellschaft erstellt wurde. Sie ist in einem zweibändigen Werk zusammengefaßt und kann von der Diebold Deutschland GmbH, Feuerbachstr. 8, 6000 Frankfurt, Tel. (06 11) 71 73 31, bezogen werden.

Schnelle bipolare 4-bit-Mikroprozessoren

In diesem Jahr wird Sescosem, der Unternehmensbereich Halbleiter von Thomson-CSF, mit einer Familie von bipolaren 4-bit-Mikroprozessoren auf den Markt kommen. Die ersten beiden Modelle (SFC 92901 und SFC 92909) sind in Low-Power-Schottky TTL-Technik hergestellt. Deshalb haben sie trotz ihrer kurzen Zykluszeit von 100 ns einen äußerst geringen Stromverbrauch. Diese Mikroprozessor-Familie, für die es auch zahlreiche Interface-Schaltungen geben wird, ist vollkommen kompatibel mit der 2900-Serie der US-Firma Advanced Micro Devices, mit der ein Zweitlieferanten-Vertrag geschlossen wurde. – Darüber hinaus plant Thomson-CSF, einen 8-bit-Mikroprozessor in N-Kanal-MOS-Technik auf den Markt zu bringen.

□ Vertrieb: Thomson-CSF GmbH, Postfach 70 19 09, 8000 München 70, Tel. (0 89) 76 75-1.

Verbesserter Ein-Chip-Mikroprozessor in CMOS-Technik

Auf der Basis des vor längerer Zeit schon vorgestellten Mikroprozessors COSMAC (CDP 1801) hat die Firma RCA eine Weiterentwicklung durchgeführt und bietet mit dem Typ CDP 1802 eine wesentlich verbesserte Version auf nunmehr einem Chip an. Durch die Einführung einer speziellen Silicon-Gate-Technologie konnten die Arbeitsgeschwindigkeiten beträchtlich gesteigert werden. Die typische Befehlsausführungszeit beträgt 2,5...3,75 μs und ist damit vergleichbar mit den Geschwindigkeiten gängiger Prozessoren in MOS-Technologie. Ein vereinfachter Herstellungsprozeß und eine um den Faktor 2 gesteigerte Integrationsdichte führten außerdem zu erheblich reduzierten Herstellungskosten. Damit besitzt dieses System gegenüber MOS-Prozessoren bei etwa gleichen Bauteilpreisen den Vorteil der unkritischen Stromversorgung, der aus der geringen Leistungsaufnahme und der hohen Störsicherheit resultiert. Für den Anwender ist es wichtig zu wissen, daß der Typ CDP 1802 mit dem Vorgängermodell softwarekompatibel ist und vorhandene Programme weiter benutzt werden können.

□ Vertrieb: RCA GmbH, Schillerstr. 14, 2085 Quickborn-Hamburg, Tel. (0 41 06) 61 21.

Mikroprozessor-System 3000 auch von Valvo

In Einsatzfällen, bei denen hohe Verarbeitungsgeschwindigkeiten gefordert werden, reicht die Geschwindigkeit von Mikroprozessoren in MOS-Technologie oft nicht mehr aus. Hier bietet sich die Verwendung von Schottky-TTL-Systemen an, von denen die Firma Valvo das System 3000 in ihr Vertriebsprogramm übernommen hat. Kernstück dieses Systems ist das kaskadierbare Prozessorelement N 3001, das mit einer Mikroprogramm-Steuereinheit zusammenarbeitet. Unter der Bezeichnung 8X02 wird jetzt ein Baustein angeboten, der die Mikroprogrammierung wesentlich erleichtert, und der die bisherigen Bausteine ersetzen kann. Aufgrund der hohen Flexibilität benötigt dieses System für eine 16-bit-Multiplikation von Register zu Register nur 125 ns!

□ Vertrieb: Philips GmbH, UB Valvo, Postfach 10 63 23, 2000 Hamburg 1, Tel. (0 40) 3 29 65 36.

Zweithersteller für Mikroprozessor Am 2900

Die Firma Raytheon liefert ab sofort als Zweithersteller die beiden Hauptbausteine der bipolaren Mikroprozessor-Serie Am 2900. Es handelt sich dabei um die 4-bit-CPU Am 2901, die beliebig erweiterbar ist und auf dem Chip ein 16 x 4-bit-RAM besitzt. Die ALU kann 8 Funktionen ausführen und ist zusätzlich mit einer Schiebe-, Decodier- und Multiplex-Logik ausgestattet. Die minimale Zykluszeit beträgt 105 ns. Der Baustein Am 2909 übernimmt die Mikroprogramm-Steuerung. Er arbeitet mit einem 4-Wort-Stapelregister für Unterprogramme. Die Bausteine sind für den zivilen und militärischen Temperaturbereich lieferbar.

□ Hersteller: Raytheon Halbleiter GmbH, Thalkirchner Str. 74, 8000 München 2, Tel. (0 89) 53 96 93.

Dipl.-Ing. Volker Timm

Im Blickpunkt: ROMs, PROMs und PLAs

Technologien – Arten – Programmierung

Seit ihrer Einführung im Jahr 1960 ist über ROMs und PROMs – auch in dieser Zeitschrift – schon viel geschrieben worden. Das verwundert nicht, denn sie gehören zu den wichtigsten Digital-Bausteinen, die der Schaltungsentwickler bisher in die Hand bekam. Schließlich kann alles, was in binärer Form ausdrückbar ist, in ihnen dauerhaft gespeichert und beliebig oft ausgelesen werden. Deshalb sind die Anwendungsmöglichkeiten praktisch unbegrenzt und mehr oder weniger dem Einfallsreichtum des Entwicklers vorbehalten.
In Verbindung mit der Mikroprozessortechnik ist jedoch zusätzlich ein weiterer Aufschwung zu erwarten, denn was wäre ein Mikrocomputer ohne ROMs bzw. PROMs, in denen z. B. die jeweiligen Anwenderprogramme gespeichert sind. So überrascht es nicht, daß – nach Schätzungen für das Jahr 1980 – von dem 140 Mio. DM umfassenden Mikrocomputer-Markt allein 60 % (!) auf RAMs, ROMs und PROMs entfallen. Aus dieser Sicht heraus lag es nahe, in Form eines „Reports" zusammenfassend über die verschiedenen ROM- und PROM-Arten sowie über die vor allem in letzter Zeit aufkommenden PLAs zu berichten und sie tabellarisch zu erfassen.

1 Einführung

1.1 Generelles

Festwertspeicher (*read-only memories*, ROMs) sind oft benötigte Baugruppen, um feste Daten nicht-flüchtig (*non-volatile*) zu speichern. Möglich sind sie mechanisch (Lochkarte, Lochstreifen), optisch (Fotografie, Holografie) oder elektronisch. Elektronische Realisierungen sind mit magnetischen, kapazitiven und ohmschen Koppelverfahren gebaut worden. Heute sind vom Preis her nur noch integrierte Halbleiterversionen interessant, über die im folgenden ein Überblick gegeben werden soll.

Im Gegensatz zum Schreib-/Lesespeicher, der einen Datenfluß in zwei Richtungen erlaubt – in den Speicher hinein und aus dem Speicher heraus – und der als integrierter Halbleiterspeicher im allgemeinen eine flüchtige Informationsspeicherung betreibt – bei Ausfall der Versorgungsspannung geht die gespeicherte Information verloren – ist der Festwertspeicher per Prinzip ein nicht-flüchtiger Speicher mit einseitigem Informationsfluß. Seine generelle Funktion ist die eines einseitigen Zuordners. Einer Eingangsgröße (Adresse) ist eine fest gespeicherte Ausgangsgröße (Datum) zugeordnet. – Grundsätzlich ist ein ROM nichts anderes als ein entweder vom Hersteller oder Anwender „programmierter" PROM, d. h. ein PROM wird nach seiner Programmierung zu einem ROM.

1.2 Struktur konventioneller Festwertspeicher

Bild 1 zeigt die Struktur eines konventionellen volldecodierten Festwertspeichers. Die n-bit-Eingangsgröße wird durch einen Wortdecodierer in 2^n Wortleitungen decodiert (Prinzip 1 aus 2^n). Es sind also alle im Adreßraum möglichen Variationen (Worte) realisiert. Mit den 2^n Wortleitungen werden die Zeilenleitungen einer Matrix angesteuert, deren Spaltenleitungen über Leseverstärker die Ausgänge des Speichers speisen. Die Kopplung zwischen Zeilen- und Spaltenleitungen geschieht für jedes Bit in jedem Wort individuell an der zugehörigen Kreuzung der Wortleitung (Zeile) mit der Bitleitung (Spalte) als sogenannte *Speicherzelle*. Diese Kopplung muß unidirektionalen Charakter haben, um die Wortleitungen voneinander zu entkoppeln. Dazu dienen in diesem Beispiel Dioden. Weiterhin muß die Kopplung einerseits gesetzt werden können (Ausgang = „1") oder andererseits entfallen können (Ausgang = „0"). Dazu dient eine leitende Brücke, auf deren Realisierung im folgenden noch eingegangen wird. So läßt sich für jedes Wort die gewünschte Information im Speicher einstellen.

Von der Struktur her stellt der Speicher eine Ansammlung von 2^n UND- sowie m ODER-Gattern dar, wobei m die Zahl der Ausgänge ist. Der Wortdecodierer enthält für jede mögliche Kombination der Eingangsleitungen jeweils ein UND-Gatter, während die Spaltenleitungen mit den Koppelelementen große ODER-Gatter darstellen mit $0 \ldots 2^n$ möglichen Eingängen, bei denen jedoch wegen der 1-aus-2^n-Struktur des Wortdecodierers (nur ein Wort ist „1" zu einem gegebenen Zeitpunkt) auch nur jeweils einer der ODER-Eingänge zu einem gegebenen Zeitpunkt „1" sein kann.

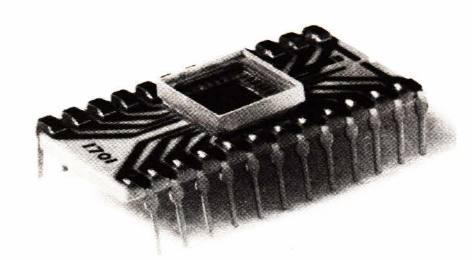
Die Kapazität K einer solchen Anordnung entspricht der Zahl der möglichen Koppelelemente

$$K = 2^n\ m.$$

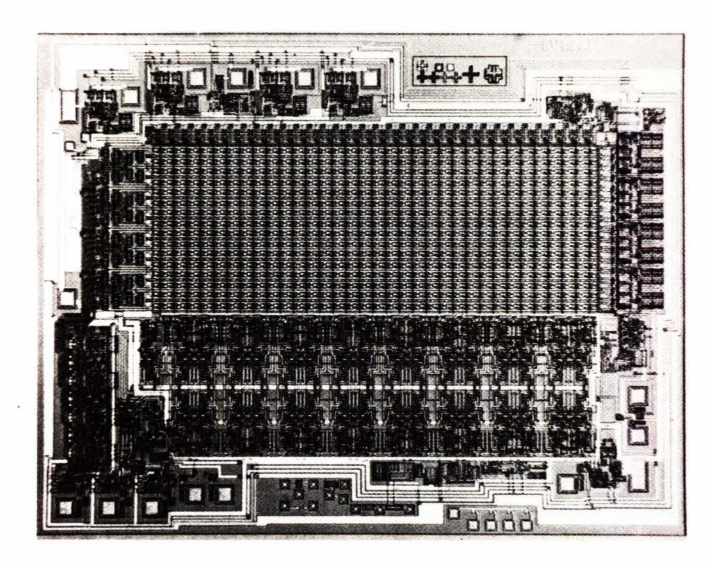
Beispiel: 8 Adreßleitungen ermöglichen $2^8 = 256$ Worte; bei 4 Ausgängen ergibt sich $K = 256 \times 4 = 1024$ bit. Die Schreibweise dieses Produktes gibt gleichzeitig die *Organisation* des Speichers an, d. h. die Aufteilung von K auf Worte und Ausgangsbits.

Würde man nun die Speichermatrix für das eben genannte Beispiel entsprechend Bild 1 realisieren, so würde ein Rechteck mit stark ungleich langen Kanten (256 Zeilen, 4 Spalten) entstehen. Dies ist aus verschiedenen Gründen, die hier nicht näher untersucht werden sollen, unerwünscht.

Um nun weniger Zeilen und mehr Spalten zu erhalten, werden mehrere (entsprechend kleinere) Zeilenblöcke gebildet, die nebeneinander angeordnet und über einen ebenfalls entsprechend kleineren Zeilendecodierer parallel angesprochen werden. *Bild 2* gibt einen Aufbau für 256 x 4 bit an. Der um den Verkleinerungsfaktor f_v (hier $256/32 = 8$)



Dieser 2048-bit-Festwertspeicher Typ 1701, der von der Firma Intel erstmals im Jahr 1971 vorgestellt wurde, markierte den Beginn der elektrisch programmierbaren und durch UV-Licht löschbaren ROMs. Er ist mittlerweile durch neue, verbesserte Bausteine ersetzt worden, die mit Kapazitäten bis zu 8192 bit erhältlich sind



▶ Eine Zugriffszeit von unter 20 ns hat dieser programmierbare 1024-bit-Festwertspeicher Typ GXB 10149, der von der Firma Siemens in ECL-Technik hergestellt wird. Als Programmierelemente dienen Ni-Cr-Widerstände. Er eignet sich vor allem als Mikroprogrammspeicher in großen EDV-Anlagen

kleinere Zeilendecodierer spricht ein um den selben Faktor f_v breiteres Speicherwort an, das in m nachgesetzten Multiplexern (Prinzip 1 aus f_v) wieder um den Faktor f_v verkleinert wird.

Eine Auswahlleitung CS *(Chip Select)* erlaubt eine Inaktivierung der Ausgänge, um für eine Kapazitätserweiterung in Richtung Wortanzahl mehrere Speicherbausteine an den Adreß- und Ausgangsleitungen parallel schalten zu können. Dabei muß ein CS-Decodierer dafür sorgen, daß nur jeweils eine CS-Leitung und damit nur ein Baustein zu einem gegebenen Zeitpunkt aktiviert wird.

Weniger gebräuchlich, aber ebenfalls erhältlich, sind integrierte Strukturen ohne Wortdecodierung und Leseverstärker. Hier sind die Zeilen- und Spaltenleitungen der Matrix direkt von außen zugänglich (s. Diodenmatrizen).

2 Technologien

In *Bild 3* ist eine Baumdarstellung bekannter Technologien für Festwertspeicher angegeben, die sich aufgliedert in zwei Zweige, die bipolaren und die MOS-Technologien. Für den Anwender unterscheiden sich beide primär durch die erreichbare Zugriffszeit, d. h. die Zeit, die vom Anlegen der Adresse bis zum Erreichen der gültigen Information am Speicherausgang vergeht. Die Zugriffszeiten von bipolaren Schaltungen betragen $\leqq$ 100 ns, während sie für MOS-Bausteine bei 500 ns und mehr liegen.

2.1 Bipolare Technologien

2.1.1 Diodenmatrizen

Die älteste integrierte bipolare Bauform eines Festwertspeichers ist die Diodenmatrix ohne Decodierer [1]. Durch die begrenzte Anschlußzahl pro Gehäuse ist die Kapazität je Baustein eingeschränkt, da alle Zeilen- und Spaltenleitungen herausgeführt werden müssen. Die Zugriffszeit der Matrix ist mit max. 10 ns bei den schnellsten Typen relativ gering. Bei Verwendung üblicher codierter Adressierung muß jedoch die Laufzeit des extern nötigen Wortdecodierers bei der Berechnung der effektiven Adreßzugriffszeit mit einkalkuliert werden. Der Aufbau dieser Matrizen entspricht dem in Bild 1 angegebenen. Die Brücken bestehen hier aus einer Nickel-Chrom-Legierung, die mit Hilfe hoher Ströme (bis 750 mA) direkt von außen weggeschmolzen (geöffnet) werden können. Da diese Matrizen rein passiv sind, entnehmen sie der Versorgung nicht direkt Leistung. Die in ihnen aber zweifellos umgesetzte Leistung stammt aus dem treibenden Wortdecodierer. Bedeutung haben diese Bausteine heute nur für kleine, schnelle Speicher mit hohen Pegeln, da es für diesen Bereich keine programmierbaren Speicher gibt.

2.1.2 Bipolare maskenprogrammierbare ROMs

Diese Bausteine erhalten ihre Information während der Herstellung mit Hilfe einer Maske, die die *Metallisierung* in der Matrix derart steuert, daß die Brücken in den Speicherzellen entweder gesetzt oder nicht gesetzt werden und so für das betreffende Bit entweder eine „1" oder eine „0" entsteht.

2.1.3 Bipolare programmierbare ROMs (PROMs)

PROMs werden im Gegensatz zu ROMs erst beim Anwender an Ort und Stelle, oder bei einem Hersteller- oder Distributor-eigenen Programmierservice, mit dem gewünschten Inhalt versehen. Die letzten Erstellungs- und Testschritte der Bausteine sind also gegenüber ROMs vom Hersteller zum Anwender verlagert worden.

Im unprogrammierten Zustand sind alle Bits eines Bausteins entweder „1" oder „0", je nach Hersteller und Typ. Diejenigen Bits, die einen vom ursprünglichen Wert abweichenden Inhalt erhalten sollen, werden irreversibel programmiert. Bis heute gibt es allerdings noch keine eindeutige Bestimmungsmethode, die schon in der Fabrik garantiert, daß alle PROMs beim Anwender programmierbar sind (in diesem Fall lassen sich die Programmträger nicht durchbrennen). Die Programmierausbeute schwankt etwa zwischen 70 und 95 %, wobei die kleinen Werte für Bausteine mit großen Kapazitäten gelten und natürlich von Hersteller zu Hersteller unterschiedlich sein können. Um die Ausbeute zu verbessern, haben einige Hersteller an die dem Anwender später zugängliche Speichermatrix Extra-Zeilen und -Spalten angefügt, die schon bei der Herstellung programmiert werden. Aus ihrem Verhalten schließt man auf die Programmierbarkeit der gesamten Matrix.

Die später beim *Anwender* nicht programmierbaren Bausteine werden natürlich vom Hersteller zurückgenommen, jedoch sollte man den erwarteten Ausschuß sofort mitbestellen, um nicht eventuell später wertvolle Zeit durch Nachbestellungen einzubüßen.

Für bipolare PROMs gibt es momentan drei Herstellungsprozesse, die im folgenden erläutert werden sollen [2].

a) Nickel-Chrom-Programmierelement

Die älteste und heute meist verbreitete PROM-Technologie benutzt Nickel-Chrom-Ausbrennwiderstände als Programmträger *(ni-chrome fusible links)*. Ein dünner Film einer Nickel-Chrom-Legierung, dessen Stärke je nach Firma zwischen etwa 15 und 35 nm beträgt, wird als Brücke in der

Speichermatrix benutzt *(Bild 4)*. Beim Programmieren wird mit einem im normalen Lesebetrieb nicht vorkommenden Strom von etwa 20 mA diese Brücke durchgebrannt und damit eine mehr oder weniger breite Lücke *(gap)* erzeugt, wodurch die Verbindung zwischen Zeilen- und Spaltenleitung aufgetrennt wird. Nachbarzellen werden durch eine abdeckende Glasschicht (SiO_2) geschützt.

Bild 5 zeigt einen typischen Aufbau einer Speicherzelle. Er ist gegenüber Bild 1 leicht geändert. Hier besorgt ein Emitterfolger die Kopplung zwischen Zeilen- und Spaltenleitung. Eine Reihe von Firmen verwendet auch Speicherzellen mit Schottky-Dioden analog Bild 1. Die PROM-Zelle ist größer als die ROM-Zelle, u. a. auch deswegen, um Nachbarzellenbeeinflussung beim Programmieren durch geschickte Distanzierung zu vermeiden.

Probleme traten früher an programmierten Elementen u. a. durch Rückheilung *(grow back)* auf. Dies ist ein Effekt, der durch Dendriten-Bildung schon programmierte Zellen wie unprogrammierte erscheinen läßt. Er trat bevorzugt auf, wenn beim Programmieren der Zellen der Spannungsanstieg des Programmierimpulses zu langsam war [3]. Durch passende Auslegung der Programmierimpulse und Änderung der Geometrie der Speicherzellen nach dem neuesten Wissensstand treten derlei Probleme beim Anwender heute nicht mehr auf [3, 4, 5]. Die Programmierzeiten betragen etwa 1 ms/bit, so daß ein 4-Kbit-PROM in etwa 4 s komplett programmiert werden kann. – Von einer Firma wird als Durchschmelzmetall statt NiCr eine Titan-Wolfram-Legierung benutzt [6].

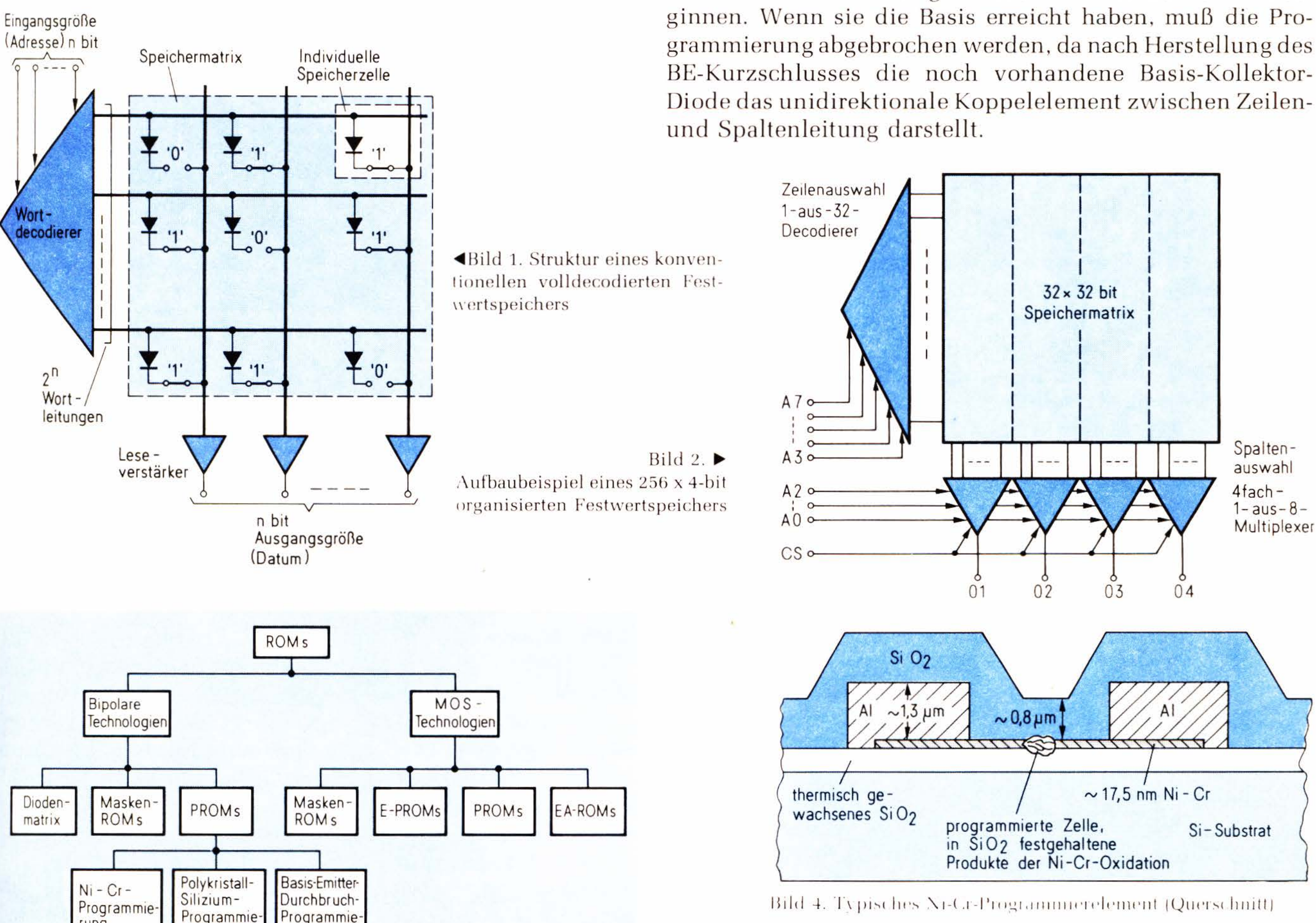
b) Silizium-Programmierelement

Die typische Speicherzelle hat prinzipiell den gleichen Aufbau wie die NiCr-Zelle, nur wird hier polykristallines Silizium als Programmierelement benutzt *(silicon fuse)* [7]. Die Schichtstärke des Silizium-Programmierelementes beträgt hier etwa 300 nm, ist also 10...20mal dicker als die einer NiCr-Brücke. Der Bahnwiderstand wird durch Dotierung gesteuert.

Beim Programmieren entstehen durch den eingespeisten Strom an der dünnsten Stelle des Programmierelements, der sog. Kerbstelle, Temperaturen bis zu 1400 °C, wobei das Silizium oxidiert und eine isolierende Lücke bildet. Rückheilungseffekte treten bei dieser Technologie nicht auf [8, 9, 10]. Die Programmierzeiten betragen auch hier etwa 1 ms/bit. Ein 4-Kbit-PROM kann also in etwa 4 s komplett programmiert werden.

c) Kurzgeschlossene Sperrschicht

Eine dritte Technologie für bipolare PROMs überbrückt durch Programmierimpulse die Basis-Emitter-Strecke von Transistoren in der Speichermatrix. Das Verfahren heißt AIM *(Avalanche Induced Migration* = Wanderung von Materieteilchen, hervorgerufen durch den Avalanche-Durchbruch) [11, 12]. *Bild 6* zeigt die Struktur einer AIM-Speicherzelle, die aus einem NPN-Transistor mit nicht angeschlossener Basis besteht. Der Emitter wird durch die an der Oberfläche geführte Aluminium-Spaltenleitung kontaktiert, während der Kollektor (Diffusion) allen Transistoren einer Zeile gemeinsam ist. Im unprogrammierten Zustand sperrt der Transistor und entkoppelt die Spalten- von der Zeilenleitung. Bei der Programmierung wird das Emitterpotential stark angehoben, die Basis-Emitter-Strecke wird über den Avalanche-Durchbruch in den sog. zweiten Durchbruch gebracht. Die Strompfade ziehen sich in dünne, überhitzte „Schläuche" zusammen, in denen Aluminiumatome von der Emitterkontaktierung durch den Emitter zu wandern beginnen. Wenn sie die Basis erreicht haben, muß die Programmierung abgebrochen werden, da nach Herstellung des BE-Kurzschlusses die noch vorhandene Basis-Kollektor-Diode das unidirektionale Koppelelement zwischen Zeilen- und Spaltenleitung darstellt.



◀ Bild 1. Struktur eines konventionellen volldecodierten Festwertspeichers

Bild 2. ▶ Aufbaubeispiel eines 256 x 4-bit organisierten Festwertspeichers

Bild 4. Typisches Ni-Cr-Programmierelement (Querschnitt)

◀ Bild 3. ROM-Technologie-Baum

Hier wird in der Speichermatrix negative Logik angewandt. Die Wortleitung ist im aktiven Zustand „0" im Gegensatz zu den mit Bild 5 beschriebenen Verfahren, die positive Logik verwenden.

Bei der AIM-Speicherzelle liegt eine gewisse Problematik in der richtigen Dosierung des Programmierstromes, der hier in einer Serie von kurzen Impulsen an die zu programmierende Zelle abgegeben wird. Nach jedem Impuls wird geprüft, ob Programmierung stattgefunden hat oder nicht. Im Ja-Fall werden noch wenige Impulse nachgesetzt, um eine gleichmäßige Leitfähigkeit der BE-Strecke zu erhalten, dann wird abgebrochen. Eine Überhitzung und damit ein Durchbruch bis zum Kollektor wird somit vermieden.

Diese Technologie bietet sehr kurze Programmierzeiten mit etwa 0,2 ms/bit, so daß ein 4-Kbit-PROM in etwa 1 s komplett programmiert werden kann.

2.2 MOS-Technologien

Es gibt eine Reihe von P-Kanal- und N-Kanal-Prozessen, die zur Herstellung von ROMs benutzt werden. Diejenigen, die den größten Integrationsgrad, die kleinste Zugriffszeit und gleichzeitig die geringste Verlustleistung bieten, sind die N-Kanal-Prozesse. Speziell der Silizium-Gate- und der Ionen-Implantations-Metall-Gate-Prozeß |13| bieten die Möglichkeit, mit nur einer Versorgungsspannung (+5 V) auszukommen, was bei MOS-Prozessen bisher besonders aus Geschwindigkeitsgründen nicht ausgeführt wurde.

Im folgenden wird zunächst generell auf die vier wesentlichen Verfahren zur Erstellung von MOS-ROMs eingegangen.

2.2.1 Maskenprogrammierbare MOS-ROMs

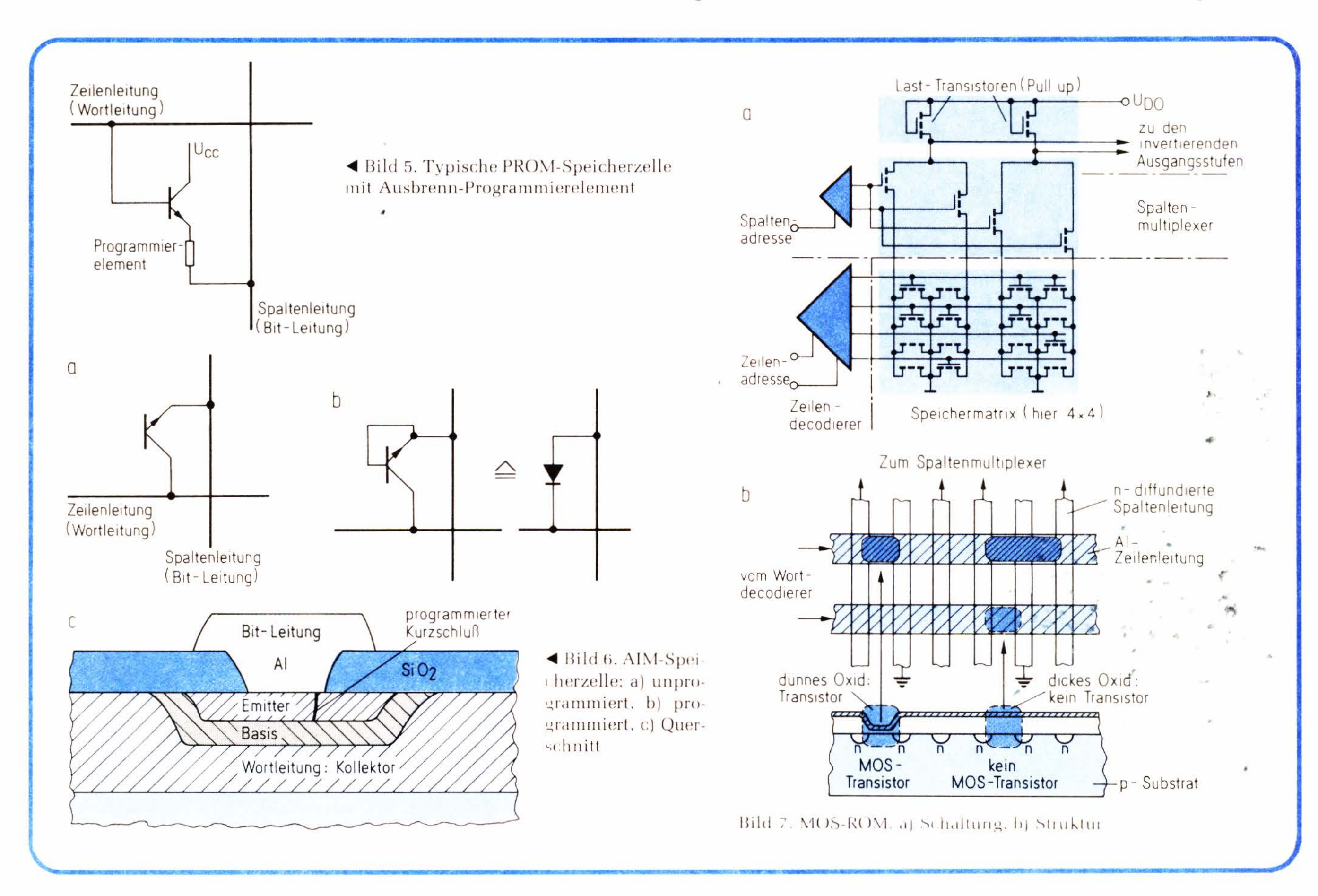
Der Aufbau ist hier wieder ähnlich wie in Bild 1, nur sind die Koppelelemente zwischen Zeilen- und Spaltenleitungen der Speichermatrix hier invertierende Transistoren *(Bild 7)*. Die Festlegung, ob an einer speziellen Koppelstelle zwischen Zeilen- und Spaltenleitung eine „1" oder eine „0" gesetzt wird, geschieht über die Dicke des über dem Kanal des Koppeltransistors aufgebrachten Siliziumoxids. Ist das Oxid dünn (ca. 10 nm), so wird durch die quer über die Spaltendiffusionen geführte Zeilenmetallisierung an der Koppelstelle ein Transistor gebildet. Bei aktiver Zeilenleitung (= „1") wird die Spaltenleitung, die vorher über Lasttransistoren aufgeladen wurde, auf „0"-Potential entladen. Nach der wiederum invertierenden Ausgangsstufe erscheint am Ausgang eine „1". Ist das Oxid dagegen von der normalen Stärke des Feldoxids (ca. 1 µm), so entsteht kein Transistor, Zeilen- und Spaltenleitungen sind an dieser Stelle entkoppelt. Die Steuermaske für die Ätzung der Feldoxid-Lücken enthält hier also die feste, nicht änderbare Information des ROMs.

Die bedingte Umladung geschieht nicht an allen aktivprogrammierten Transistoren einer Zeile, sondern nur an solchen Spalten, die durch den Spaltenmultiplexer festgelegt werden, der hier für den Pull-Up-Widerstand auch als Spaltendecodierer wirkt.

2.2.2 MOS-EPROMs

Ein weiteres Verfahren ermöglicht die sog. EPROMs *(Erasable* PROMs). Man versteht hierunter solche, die elektrisch programmierbar sind, deren Inhalt jedoch komplett löschbar ist, so daß sie mehrfach verwendbar sind |14, 7|. Die folgende Darstellung bezieht sich auf die P-Kanal-Version, die die ursprüngliche und breit publizierte Version der EPROMs ist. Inzwischen gibt es auch eine N-Kanal-Version (s. *Tabelle 2*).

Das für EPROMs typische Speicherelement ist in *Bild 8a* dargestellt. Dies ist ein MOS-Transistor mit nicht angeschlossenem und daher isoliertem Gate. Dieser Transistor sperrt, wenn sich auf seinem Gate keine Ladung befindet



◀ Bild 5. Typische PROM-Speicherzelle mit Ausbrenn-Programmierelement

◀ Bild 6. AIM-Speicherzelle: a) unprogrammiert, b) programmiert, c) Querschnitt

Bild 7. MOS-ROM. a) Schaltung, b) Struktur

und leitet, wenn während der Programmierungsprozedur mit Hilfe hoher negativer Spannungen (ca. –50 V) durch den Avalanche-Effekt negative Ladung auf das Gate getunnelt worden ist. Ein solcher Transistor wird als FAMOS-Transistor bezeichnet (*Floating Avalanche-Injection* MOS). Die derart auf das Gate gebrachte Ladung ist dort durch das umgebende Dielektrikum gefangen, sie kann von sich aus nur in sehr langen Zeiträumen (Jahren) abfließen. In [14] wurde eine Degradierung um 30 % in 10 Jahren bei +125 °C extrapoliert. Das bedeutet für den Arbeitstemperaturbereich eine praktisch permanente Speicherung der Information.

Die auf ein FAMOS-Gate aufgebrachte Ladungsmenge ist eine Funktion der Programmierspannung und der Programmier*dauer*. Die komplette Programmierung eines Bausteins nach den Spezifikationen des Herstellers dauert etwa 2 min. Im Gegensatz zu bipolaren PROMs, die bitweise programmiert werden, geschieht die Programmierung hier wortweise in einer Anzahl wiederkehrender kompletter Adreßzyklen.

Ein Löschen der Information ist bei solchen FAMOS-Bausteinen, die mit einem Quarz-Deckel verschlossen sind, mit Hilfe einer UV-Lichtquelle hoher Intensität möglich. Durch Fotoströme wird das Gate dann gegen das Substrat entladen. Eine solche Löschung dauert mit kommerziellen Lampen etwa eine halbe Stunde. Durch Tageslicht ist eine Informationslöschung nicht möglich.

Die Adressierung des FAMOS-Transistors in der Speichermatrix geschieht über einen weiteren in Serie geschalteten Transistor, der in konventioneller Weise (Bild 8b) durch die Zeilenleitung adressiert wird und an der ausgewählten Spaltenleitung eine bedingte Entladung durchführt.

2.2.3 MOS-PROMs

MOS-PROMs, also irreversibel programmierbare MOS-ROMs (etwa nach den oben beschriebenen bipolaren Verfahren) gibt es bis heute noch nicht, obwohl der Traum mancher Schaltungsentwickler sicherlich ein CMOS-PROM wäre, also die Kombination von elektrischer Programmierbarkeit mit dem geringen Leistungsverbrauch und dem hohen Störspannungsabstand von CMOS bei Betriebsspannungen von z. B. 10 V. Vor einiger Zeit wurde berichtet, daß an einem solchen CMOS-PROM gearbeitet würde, es ist aber bis heute nicht auf dem Markt.

2.2.4 EAROMs

EAROMs (*Electrically Alterable* ROMs) sind solche ROMs, die sowohl Bit für Bit programmiert als auch zurückgesetzt werden können. Derartige Schaltungen gibt es in MNOS- (Metall-Nitrid-Oxid-Silizium) oder MAOS- (Metall-Aluminiumoxid-Oxid-Silizium) Technologie [15, 16, 17, 18]. Der Grundaufbau ist ähnlich dem in Bild 7a für MOS-ROMs angegebenen. Nur geschieht hier die Kopplung zwischen Zeilen- und Spalten-Leitungen mit Hilfe von MNOS- bzw. MAOS-Transistoren, die zwischen Gate-Metallisierung und P-Kanal mit einer Schichtenfolge von Siliziumnitrid (MNOS) bzw. Aluminiumoxid (MAOS) auf Siliziumoxid versehen sind. An den Grenzflächen der Zwischenschichten ergeben sich sog. Haftstellen, auf die Ladungsträger ähnlich wie beim FAMOS-Transistor während einer Programmierungsprozedur getunnelt bzw. abgezogen werden können. Bei entladenen Haftstellen haben die Koppeltransistoren niedrige Schwellenspannungen (ca. –2 V), bei aufgeladenen Haftstellen hohe Schwellspannungen (ca. –12 V). Bei einer Zeilenlesespannung von –8 V verhalten sich die Koppeltransistoren im ersten Fall wie aktiv pro-

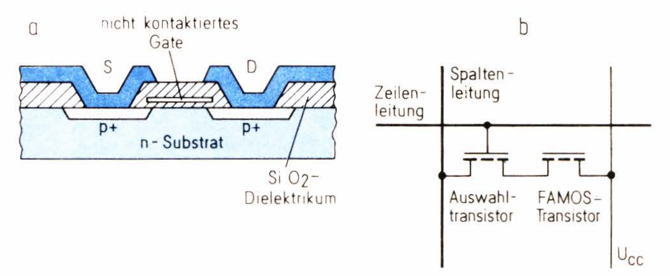


Bild 8. a) Querschnitt durch den FAMOS-Transistor. b) Struktur der FAMOS-Speicherzelle

grammierte ROM-Transistoren und im zweiten Fall wie nicht existierende Transistoren, sie sperren.

Für breite Anwendungen haben sich die EAROMs noch nicht durchsetzen können, da einerseits die Zahl der Schreiboperationen begrenzt ist auf etwa $10^6 \ldots 10^8$ und andererseits die Schreibzeit mit einer zehn- bis zwanzigfachen Dauer des Lesevorgangs ein Geschwindigkeitshindernis darstellt. Mit zunehmender Zahl der Schreiboperationen wird die Speicherzeit (*retention time*) immer kürzer. Dies hat bisher einem kommerziellen Einsatz im Wege gestanden. Allerdings wird auf diesem Gebiet von einer Reihe von Firmen gearbeitet.

3 ROMs, PROMs, EPROMs – wann und warum?

Für den Anwender bleiben bei allen Technologien zwei wesentliche Merkmalsgruppen, auf die im folgenden eingegangen werden soll.

3.1 *Bipolar/MOS*

Die Trennung liegt für den Anwender, wie schon erwähnt, nicht so sehr in der unterschiedlichen Technologie, denn beide sind TTL-kompatibel und darin liegt das Hauptfeld der Anwendungen, als vielmehr in den sekundären Auswirkungen und dort im wesentlichen der Zugriffszeit. Die ungefähren Grenzen wurden schon erwähnt und werden in der nachfolgenden Tabelle noch deutlicher.

3.2 *ROM/PROM (EPROM)*

Maskenprogrammierte ROMs sind dann die preisgünstigsten Festwertspeicher, wenn von einem Muster sehr große Stückzahlen aufgelegt werden. Dies gilt besonders für die MOS-ROMs mit ihrer maximalen Kapazität von momentan 16 Kbit (16 384 bit). Große Stückzahlen sind nötig, um die Maskenkosten zu amortisieren. Zudem sind die ROMs als Spezialanfertigung für die Hersteller erst ab einer gewissen Mindeststückzahl (ca. 1000) interessant. Ihr Nachteil ist ihre langwierige Herstellungsprozedur, nämlich die mehrwöchige Frist von der Anlieferung der gewünschten Daten durch den Anwender beim Hersteller bis zur Auslieferung der fertigen ROMs, die ihre Anwendung inflexibel macht und nur bei eingefahrenen Serien mit entsprechenden Stückzahlen ökonomisch ist, wenn eine Informationsumstellung nicht nötig ist.

Auf den ersten Blick etwas teurer sind die PROMs, deren maximale Kapazität momentan 4096 bit beträgt. Sie eignen sich *besonders* für die Erprobung, für Prototypen und für kleine Serien. Bei schnell wechselnden Anforderungen entheben sie den Anwender der Notwendigkeit, sich große Läger mit eventuell schnell veralteten fixierten ROMs anzulegen, die dann keinen Preisvorteil mehr bieten. Zudem haben die PROMs den unschätzbaren Vorteil gegenüber ROMs, daß sie *beim Anwender* programmiert werden können. Damit lassen sich bei Umstellungen sehr kurze Änderungszeiten erzielen. Ferner schrumpft das Lager (auch das Ersatz-

Tabelle 1. Übersicht über bipolare ROMs und PROMs

Kapazität in bit	Organisation (Worte x bit)	Hersteller	Typ	Ausgänge	Adreß-Zugriffszeit (max. t_{ACC} in ns)	Enable-Zugriffszeit (max. t_{CO} in ns)	Verlustleistung (max. P_d in mW)	Versorgungs-spannungen in V	Pegel der unprogrammierten Ausgänge	Bemerkungen
ROMs bipolar										
256	32x8	Fairchild	93434	OC	50_R	50_R	420	+5	–	
		MMI	MM 6230/31	OC/TS	50_R	30_R	650	+5	–	
		Texas Instr.	SN 7488A	OC	45_R	35_R	420	+5	–	
1024	256x4	Fairchild	93457/467	OC/TS	30_T		425_T	+5	–	V
		Intel	3301A	OC	45	20	650	+5	–	
		MMI	MM 6200/01	OC/TS	50_R	30_R	525	+5	–	
		Sescosem	SFC 70301	OC	60_R	30_R	680	+5	–	
		Signetics	82S226/229	OC/TS	50	20	630	+5	–	
		Texas Instr.	SN 74187	OC	60_R	30_R	685	+5	–	
1280	256x5	MMI	MM 6210	OC	75_R	30_R	525	+5	–	
2048	512x4	Fairchild	93431/441	OC/TS	30_T			+5	–	V
		Intel	3302A/22A	OC/TS	70	30	735	+5	–	
		MMI	MM 6205/06	OC/TS	60_R	30_R	650	+5	–	
		Signetics	82S230/231	OC/TS	50	20	730	+5	–	$i_{il\,max}$=0,1 mA
		Texas Instr.	SN 74S270/S370	OC/TS	70	30	815	+5	–	$i_{il\,max}$=0,25 mA
2560	512x5	MMI	MM 6225	OC	75	40	525	+5	–	
2048	256x8	MMI	MM 6235/36	OC/TS	90		735	+5	–	
		Texas Instr.	SN 74S271/S371	OC/TS	70	30	815	+5	–	$i_{il\,max}$=0,25 mA
4096	1024x4	MMI	MM 6250/51	OC/TS	60		840	+5	–	
		Signetics		APU	70		884	+5	–	
4096	512x8	Fairchild	93432/442	OC/TS	35_T			+5	–	V
		Intel	3304A/24A	OC/TS	70	30	1000	+5	–	$i_{il\,max}$=0,25 mA
		MMI	A 6240/41	OC/TS	175_R	70_R	890	+5	–	
			H 6240/41	OC/TS	75_R	50_R	890	+5	–	
8192	1024x8	AMD	27S80/81	OC/TS	150			+5	–	
			2960/61	OC/TS	100_T			+5	–	bedingt pinkomp. mit EPROM 2708
		Fairchild	93454/464	OC/TS	60_T			+5	–	V
		Intersil	IM 53S08		100			+5	–	V
		MMI	A6280/81	OC/TS	175_R	70_R	890	+5	–	$I_{il\,max}$=0,25 mA
10240	1024x10	Intersil	IM 53S10		100			+5	–	V
		MMI	MM 6255	OC	150_R	60_R	790		–	$i_{il\,max}$=0,25 mA
16384	2048x8	MMI	MM 6275/76	OC/TS	120	40	890	+5	–	$i_{il\,max}$=0,25 mA
		National	DM 8531	TS	300_R	70_R	575_T	+5	–	ADR, I
PROM bipolar										
256	32x8	AMD	Am 27S08/S09	OC/TS	55	40	550	+5	H	$i_{il\,max}$=0,25 mA
		Harris	HM-7602/03	OC/TS	40	30	680	+5	H	$i_{il\,max}$=0,4 mA
		Intersil	IM 5600/10	OC/TS	50_R	50_R	525/370	+5	L	

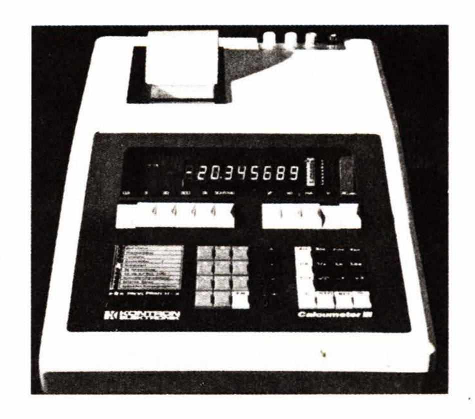
Tabelle 2. Übersicht über ROMs, EPROMs und EAROMs

Kapazität in bit	Organisation (Worte x bit)	Hersteller	Typ	Ausgänge	Adreß-Zugriffszeit (max. t_{ACC} in ns)	Enable-Zugriffszeit (max. t_{CO} in ns)	Verlustleistung (max. P_d in mW)	Versorgungs-spannungen in V	Pegel der unprogrammierten Ausgänge	Bemerkungen
ROM MOS										
4096	512x8	AMD	Am 9214	TS	500	200	260	+5	–	Mostek:
			Am 3514							2600
		AMI	S 6830	TS	575	–	–	+5	–	
		EMM Semic.	RO-3-4096	TS	500	200	240	+5	–	
		General Instr.	RO-3-4096	TS	500	200	240	+5	–	
5120	512x10	EMM Semic.	RO-3-5120	TS	500	200	240	+5	–	
		General Instr.	RO-3-5120	TS	500	200	240	+5	–	
8192	1024x8	AMD	Am 9208		450			+5, +12	–	R
		Electronic Arrays	EA 2308A, 8308A	TS	400	220	525	+5	–	R
										R
		Intel	2308, 8308	TS	450	220	775	+12, +5, –5	–	R
		Mostek	MK 30000	TS	450			+12, +5, –5	–	a
										≙ Intel 8308
		Motorola	MCM 6830A	TS	500			+5	–	
			MCM 68308	TS	500			+5	–	ROM f. 68708 EPROM
			MCM 6560(A)	TS	350	150	1000	+12, +5, –3	–	
		Nitron	NCM 6560A/61A	OD/TS	200	–	–	+12, +5, –3	–	
		Siemens	SAB 8308	TS	450			+12, +5	–	
		Signetics	2608	TS	400	300	420	+5	–	
8192	2048x4	Motorola	MCM 6560(B)	TS	350	150	600_T	+12, +5, –3	–	
16384	4096x4	EMM Semic.	RO-3-16384	TS	1000	300	340	+5	–	ADR
		General Instr.	RO-3-16384	TS	1000	300	340	+5	–	ADR
16384	2048x8	AMD	Am 9216		450		515	+12, +5	–	
		Electronic Arrays	EA 4600, EA 4800	TS	550	300	605	+5	–	ADR
										ADR

		MMI	MM 6330/31	OC/TS	50_R	30_R	525/655	+5	H	
		National	DM 8577/78	OC/TS	50_R	35_R	580_R	+5	H	
		Signetics	82S23/S123	OC/TS	50	35	405	+5	L	
		Texas Instr.	SN 74S188/S288	OC/TS	40	25	580	+5	L	$i_{il\ max}$=0,25 mA
		Sescosem	SFC7 1188E	OC	50			+5		
1024	256x4	AMD	Am 27S10S11	OC/TS	60_R	25_R	580/630	+5	H	
			Am 2970/71	OC/TS	60			+5	H	V
		Fairchild	93417/427	OC/TS	45	20	580	+5	H	$i_{il\ max}$=0,25 mA
		Harris	HM-7610/11	OC/TS	60	25	680	+5	H	$i_{il\ max}$=0,4 mA
		Intel	3601/21	OC/TS	70	25	680	+5	L/H	
			3601-1/21-1	OC/TS	50	25	680	+5	L/H	$i_{il\ max}$=0,25 mA
		Intersil	IM 5603A/23A	OC/TS	60_R	30_R	680	+5	L	
		MMI	6300-1/01-1	OC/TS	60_R	30_R	630	+5	H	
		National	DM 74S387/S287	OC/TS	50			+5		
		Signetics	82S27	OC	40	20	735	+5	L	
			82S126/S129	OC/TS	50	20	630	+5	L	
		Sescosem	SFC 71301A/301	OC/TS	70_R	35_R	680	+5	H	
		Texas Instr.	SN 74S387/S287	OC/TS	65	35	710	+5	H	$i_{il\ max}$=0,25 mA
2048	512x4	Fairchild	93436/446	OC/TS	50	25	680	+5	H	$i_{il\ max}$=0,25 mA
		Harris	HM-7620/21	OC/TS	70	25	680	+5	H	$i_{il\ max}$=0,4 mA
		Intel	3602/22	OC/TS	70	30	735	+5	H	$i_{il\ max}$=0,25 mA
		Intersil	IM 5604/24	OC/TS	70	30	735	+5	L	
		MMI	MM 6305-1/06-1	OC/TS	60	30	680	+5	L	
		Signetics	82S130/131	OC/TS	50	30	735	+5	L	
2048	256x8	MMI	6335-1/36-1	OC/TS	90_R	40_R	735	+5	L	
		Signetics	82S114	TS	60	40	970	+5	L	OR, I $i_{il\ max}$=0,1 mA
		Texas Instr.	SN 74S470/S471	OC/TS	70	35	815	+5	L	I $i_{il\ max}$=0,25 mA
4096	512x8	Fairchild	93438/488	OC/TS	55	25	920	+5	H	$i_{il\ max}$=0,25 mA
		Harris	HM-7640/41	OC/TS	70	25	890	+5	H	$i_{il\ max}$=0,4 mA
		Intel	3604/24	OC/TS	70	30	1000	+5	H	3604 L–6 = Spezial-version für nied-riges Pd
		Intersil	IM 5605/25	OC/TS	50_T	25_T	700_T	+5	L	
		MMI	MM 6340-1/41-1	OC/TS	90_R	40_R	735	+5	H	
		Signetics	82S115	TS	60	40	970	+5	L	OR, I $i_{il\ max}$=0,1 mA
		Texas Instr.	SN 74S472/S473	OC/TS	55_T	20_T	600_T	+5	L	I $i_{il\ max}$=0,25 mA
4096	1024x4	MMI	6350/51	OC/TS	60	30	840	+5	H	
		Harris	HM-7642/43	OC/TS	70			+5		
			HM-7644	APU	70			+5		
ECL-PROM bipolar										
256	32x8	Motorola	MCM 10139	OE				–5,2		ECL 10k
		Signetics	10139	OE	20_R	15_R	754	–5,2		ECL 10k
		Texas Instr.	SN 10139	OE	20_R	15_R	754	–5,2		ECL 10k
1024	256x4	Fairchild	F10416	OE	15_T		500_T	–5,2		ECL 10k
		Motorola	MCM 10149	OE	25_R	10_R	680	–5,2		ECL 10k
		Siemens	G x B 10149	OE	12_T	6_T	572_T	–5,2		ECL 10k
		Signetics	10149	OE	17			–5,2		ECL 10k

		General Instr.	RO-3-8316A	TS	850	300	350	+5	–	≙ Intel 8316A
			RO-3-8316B	TS	450			+5	–	≙ Intel 8316B
		Intel	2316A, 8316A	TS	850	300	500	+5	–	
			2316B, 8316B	TS	450			+5	–	
		Mostek	MK 31000	TS	600			+5	–	a ≙ Intel 8316
		Motorola	MCM 6590	TS	800	300	440	+12, +5, –3	–	
		Siemens	SAB 8316	TS					–	≙ Intel 8316
ROM CMOS										
1024	256x4	Motorola	MCM 14524	TS 5V:	1800_T	265_T	$0{,}011_T$	AL: bis 18 V	–	getaktet
				10 V:	825_T	100_T		CL: bis 16 V		
				15 V:	530_T	70_T		AL: –55...+125 °C CL: –40...+85 °C		
12288	1024x10	Intersil	IM 6312	TS 5V:	500_T			4...7	–	Adreß-Regi-ster
			IM 6312A	TS 10 V:	250_T			4...11		
EPROM MOS										
2048	256x8	AMD	Am 1702A	TS	1000	900	700	+5, –9	L	ROM: 1302
		Intel	1702A	TS	1000	900	700	+5, –9	L	ROM: 1302
			1702A-2	TS	650			+5, –9	L	
		Mostek	MK 3702A					+5, –9	L	≙ Intel 1702A
		National	MM 1702A	TS	1000	900	700	+5, –9	L	
		Sescosem	SFF 71702A	TS	1000	900	700	+5, –9	L	≙ Intel 1702 A
4096	512x8	AMI	S 6834	TS	575	300	750	+5, –12		
			S5204	TS	750	400	750	+5, –12		
		Intel	2704	TS	450	120	800	+12, +5, –5		N-Kanal
		National	MM 5204	TS	1000	500	750/150*	+5, –12		*„Power saver"-Betriebs-weise
		SGS-ATES	M 270	TS	450	120	800	+12, +5, –5	–	≙ Intel 2704, a
8192	1024x8	Intel	2708	TS	450	120	800	+12, +5, –5	H	ROM: N-Kanal 8308
		Motorola	MCM 68708	TS	500			+12, +5, –5	H	≙ Intel 2708
		SGS-ATES	M 271	TS	450	120	800	+12, +5, –5	H	≙ Intel 2708, a
EAROM-MOS										
1024	1024x1 oder 512x2	Nitron	NCM 7010	TS	25 µs			–30		

Auch bei diesem Digital-Multimeter Calcumeter 3 der Firma Kontron Elektronik, das in Heft 3/76 der ELEKTRONIK vorgestellt wurde, sind die verschiedenen Programme (Betrieb als Multimeter, Thermometer, Luxmeter, Leistungsmesser sowie die Dezibel- und Mittelwertbildung) in PROMs gespeichert



teillager) auf wenige Typen zusammen, deren Veralten weit weniger wahrscheinlich ist, als bei ROMs.

Die im Preis zunächst ungünstigsten Festwertspeicher sind die MOS-EPROMs, die momentan bis zu 8192 bit pro Baustein erhältlich sind. Hier muß man jedoch die Wiederverwendbarkeit mit honorieren, die sie während der Erprobung von Systemen bipolaren PROMs gegenüber preislich in Vorteil bringt, wenn ihre Zugriffszeit (ca. 0,5...1 µs) nicht zu langsam ist. Bei Systemen, die sonst nur eine 5-V-Versorgungsspannung beinhalten, ist zu berücksichtigen, daß die P-Kanal-Versionen eine und die N-Kanal-Versionen zwei zusätzliche Versorgungsspannungen benötigen.

4 Bausteine-Übersicht

Um einen Überblick über verfügbare Festwertspeicher zu geben, ist eine Zusammenstellung von wichtigen Datenblattwerten interessanter Bausteine gemacht worden. Zur Kategorisierung wurden in *Tabelle 1* die oben angegebenen Merkmale *bipolar/MOS* und *ROM/PROM (EPROM)* in dieser Reihenfolge benutzt. Die als wichtig erachteten Datenblattwerte sind:

a) **Adreß-Zugriffszeit** *(address access time)* t_{ACC}, d. h. die Verzögerungszeit von der gültigen Adresse bis zum gültigen Ausgangswert.

b) **Enable-Zugriffszeit** *(chip enable access time)* t_{CO}, d. h. die Verzögerungszeit vom gültigen Aktivierungseingang bis zum gültigen Ausgangswert.
Die *Deselect*-Zeit, d. h. die bis zur Inaktivierung der Ausgänge über den Enable-Eingang verstreichende Zeit, ist besonders für bipolare Systeme dann wichtig, wenn sie länger als die Enable-Zugriffszeit ist und gleichzeitig *Tristate*-Ausgänge benutzt werden. Während der Differenzzeit fließt Querstrom (von der Versorgung zur Masse) über die Ausgänge von gerade noch und eben schon aktivierten Bausteinen, wenn sie an den Ausgängen ungleiche logische Werte zeigen. Die Deselect-Zeit ist nicht gesondert aufgeführt, weil zum einen ihre maximalen Werte mit denen der Enable-Zeit in den Datenblättern gleich sind, es zum anderen aber für den oben genannten Effekt auf die aktuellen Differenzen in Richtung längerer Disable-Zeit ankommt. Ein möglicher Querstrom kann mit Sicherheit nur mit Schaltungsmitteln ausgeschlossen werden. Ein Weg dazu ist die Verwendung von *Open-Collector*-Ausgängen mit Pull-Up-Widerständen, ein anderer (bei Benutzung von Tristate-Ausgängen) die Verwendung eines getakteten Enable-Decodierers, der die Speicher während der maximalen Deselect-Zeit inaktiv tastet.
Die Zeiten t_{ACC} und t_{CO} sind als maximale Werte für den kommerziellen Temperaturbereich (0...70 °C) und den Spannungsbereich (±5 %) angegeben. Nur mit diesen Werten kann eine seriöse Schaltungsauslegung *(worst case design)* betrieben werden, da nur sie allein vom Hersteller garantiert werden. Typische Angaben sind dazu nicht geeignet.
Fast alle bipolaren und einige wenige MOS-Bauteile sind auch für den militärischen Temperaturbereich –55...+125 °C erhältlich. Die hierfür geltenden Werte für t_{ACC} und t_{CO} sind bei Interesse den speziellen Datenblättern der Hersteller zu entnehmen.

c) **Verlustleistung** P_d
Diese Größe ist nicht zuletzt für die Auslegung der Stromversorgung und eventuell der forcierten Lüftung interessant. Auch hier ist der maximal im kommerziellen Temperaturbereich bei maximaler Spannung auftretende Wert angegeben.

Für einige Bauteile waren die maximalen Werte für a), b) und c) in den Datenblättern nicht angegeben. Bei Erwähnung typischer Werte oder solcher maximalen Werte, die nur für Raumtemperatur (+25 °C) gelten, ist in Fußnoten darauf hingewiesen.

Innerhalb der bipolaren Bausteingruppen (z. B. 1-Kbit-PROMs) herrscht nahezu ausnahmslos Pinkompatibilität, auf *Inkompatibilität* wird hingewiesen. Bei MOS-Speichern bürgert sich dies erst in jüngerer Zeit stärker ein. Hier sind Angaben über *Kompatibilitäten* angefügt, wenn dies nicht schon aus gleichen Typennamen hervorgeht.

Bei bipolaren Speichern, die in jüngerer Zeit nahezu ausnahmslos Schottky-Typen sind, gehen immer mehr Hersteller dazu über, die Eingänge mit PNP-Transistoren auszurüsten, so daß sich kleine Eingangsströme beim Low-Pegel ergeben. Dies macht sich besonders günstig bemerkbar, wenn große Speichersysteme gebaut werden sollen, da die Adreßleitungen dann nicht über gesonderte Hochstrom-Puffer getrieben werden müssen.

Die aufgeführten MOS-ROMs sind mit Blick auf die Anwendungen für Mikroprozessoren ausschließlich NMOS-Typen. Es fällt auf, daß immer mehr Hersteller ROMs anbieten, die nur eine einzige Versorgungsspannung (+5 V) benötigen, was ihren Einsatz besonders in Mikroprozessor-Systemen mit nur einer Versorgung ökonomischer macht, als wenn man für die ROMs noch zusätzliche Spannungen bereitstellen muß.

Obwohl die N-Kanal-Prozesse komplizierter und jünger sind als die P-Kanal-Prozesse, müssen sie deswegen nicht unbedingt auf die Dauer teurere Bausteine bedingen. Die Erfahrung hat gezeigt, daß einerseits das technologische Wissen und die Fähigkeiten ständig wachsen und andererseits ein Bausteinpreis viel stärker von der hergestellten Stückzahl beeinflußt wird als von den technologischen Schwierigkeiten bei seiner Ersthertstellung.

Die EPROMs sind sowohl in PMOS- als auch in NMOS-Technik aufgeführt. Für alle PROMs und EPROMs sind pinkompatible Masken-ROMs erhältlich.

Erklärungen zu den Tabellen 1 bis 3

Ausgänge:	OC = Open Collector, OD = Open Drain, OE = Open Emitter, TS = Tristate, APU = aktiver Pull-Up
Zugriffszeiten:	R = max. Wert (gilt nur für +25 °C), T = typischer Wert
Verlustleistung:	XXX/XXX Werte für OC/TS
Bemerkungen:	i_{IL} = Eingangsstrom beim L-Pegel, a = angekündigt, V = vorläufig, I = inkompatibel mit übrigen Typen gleicher Kapazität und Art, k = kompatibel mit, R = ROM für EPROM 8708, ADR = Adreß-Register, OR = Ausgangs-Register



Dieses mikroprozessorgesteuerte PROM-Programmiergerät Modell 90 der Firma Pro-Log (BRD: Spezial Electronic, München) kann durch sog. Personality-Moduln alle gängigen Fabrikate programmieren (eine Übersicht von Firmen, die PROMs programmieren, finden Sie im „Elektronik-Markt“ auf Seite 104)

5 PLAs

ROMs und PLAs *(programmable logic arrays)* sind von der Struktur her verwandt, beide stellen an ihren Ausgängen UND-ODER-Verknüpfungen von Eingängen dar. Während jedoch bei ROMs alle 2^n möglichen Variationen der n bit Eingangsgröße durch den Wortdecodierer realisiert sind, ist bei PLAs nur ein geringer Teil der möglichen Eingangsvariationen darstellbar. Der Namensraum (Adreßraum) ist bei PLAs beträchtlich größer als die Zahl der benutzbaren Worte. Allerdings hat das PLA dabei eine logische Fähigkeit, die das ROM so direkt nicht hat, es gestattet den Gebrauch von „don't cares“, also die Möglichkeit, bei der Wortdecodierung Eingänge zu ignorieren, so daß die so decodierten Terme für ganze Gruppen einzelner Worte gelten können.

Die PLA-Struktur ist in *Bild 9* angegeben. Mit Hilfe von n Eingangspuffern werden die n Eingänge jeweils normal und invertiert den nachfolgenden p UND-Gattern zugeführt. Jedes UND-Gatter kann jeden Eingang sowohl normal als auch invertiert empfangen. Außerdem kann es die Eingänge ignorieren *(don't care)*. Damit ist die *Eingangs*-Logik *dreiwertig*, wie *Bild 10* zeigt. Die vierte Möglichkeit, daß ein Term einen Eingang sowohl normal als auch invertiert empfängt, ist keine benutzbare, da sie diesen Term zu identisch Null macht. Die p Terme können in jedem der nachfolgenden m ODER-Gatter Verwendung finden, so daß jeder Term an jedem Ausgang abgebildet werden kann. Die nachfolgenden Exklusiv-ODER-Gatter dienen zur programmierbaren Invertierung der in den ODER-Gattern generierten Signale. Diese Möglichkeit der Negation dient dazu, sich aussuchen zu können, ob man an einem Ausgang die 1-Terme (normal) oder die 0-Terme (invertierend) einer Wahrheitstabelle präsentieren möchte. Die zweite Möglichkeit ist dann

▲ Bild 9. Struktur eines PLA

Bild 10. ▶ Dreiwertige Eingangslogik beim PLA

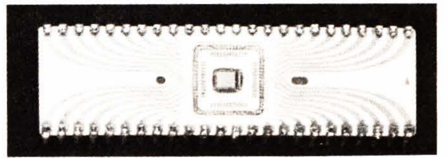
	B1	B2	T_y
0	offen	offen	I_x don't care
1		offen	I_x
2	offen		$\overline{I_x}$ (invers)
3*			≡0

*für nicht benutzte Terme

sinnvoll, wenn man bei der Realisierung einer Funktion herausfindet, daß 0-Terme weit weniger zahlreich sind als die 1-Terme. Dies ist wichtig, da ja der Vorrat an Termen auf p begrenzt ist und nicht wie im ROM den gesamten Adreßraum umfaßt. Eine zweite Möglichkeit der Benutzung der Inverter ist die Verwendung negativer Logik, wenn dies sinnvoll ist.

Während also ROMs die direkte nicht-minimierte Realisierung von Wahrheitstabellen bilden, sind PLAs die direkte Implementierung minimierter kombinatorischer Logik, dargestellt mit Booleschen Gleichungen in disjunktiver Form.

Die Informationseinstellung im PLA ist sowohl mit Hilfe von Masken bei der Herstellung als auch elektronisch beim Anwender möglich, beide Arten sind erhältlich, die zweite heißt FPLA *(field programmable logic array)* [19, 20]. Die



Eine der ersten Firmen, die mit sog. programmierbaren Logik-Arrays (PLA) auf den Markt kam, war Rockwell International im Jahr 1973 mit dem im Foto dargestellten SOS-Baustein (Kapazität 4096 bit, Arbeitsfrequenz 15 MHz). Seiner Zeit voraus, wurde dessen Fertigung mittlerweile eingestellt, denn PLAs sind eigentlich erst jetzt „im Kommen“

Tabelle 3. Übersicht über PLAs, FPLAs

Hersteller	Typ	Ausgänge	M: PLA, F: FPLA	Zahl der Eingänge	Zahl der Produktterme	Zahl der Ausgänge	Zahl der Enable-Eingänge	Zugriffszeit Eing.-Ausg. (max. t_{IF} in ns)	Zugriffszeit Enable-Ausg. (max. t_{CE} in ns)	Verlustleistung (max. P_d in mW)	Versorgungsspannung in V	pinkompatible Versionen
Intersil	IM 5200	OC	F	14	48	8	–	100	–	675_T	+5	*
MMI	6775/76	OC/APU	M	14	96	8	–	80	–	895	+5	*
	6870/71	OC/APU	F	14	48	8	–		–		+5	*
National	DM 8575/76	OC/APU	M	14	96	8	–	100_T	–	895	+5	*
Signetics	82S100/S101	TS/OC	F	16	48	8	1	50	20	895	+5	
Texas Instr.	SN 74S330/S331	TS/APU	F	12	50	6	1	35_T	–	550_T	+5	

Tabelle 3 zeigt einen Überblick über einige erhältliche und angekündigte PLAs und FPLAs.

Bei der Ermittlung minimaler Gleichungs-Darstellungen kommt man bei der großen Zahl der Eingangsvariablen i. a. mit der üblichen Karnaugh-Methode nicht mehr aus. Es sei daher auf einige Literaturstellen verwiesen, die weiterhelfen können [21, 22, 23]. Dabei wenden [22] und [23] Rechnerprogramme zur Minimisierung an.

6 Programmierung

Bei PROMs, EPROMs und FPLAs gibt es mehrere Verfahrensweisen, um zu programmierten Bausteinen zu kommen. Ein möglicher ist, den Programmierservice der Hersteller oder Distributoren in Anspruch zu nehmen. Als Datenträger werden Wahrheitstabellen, Lochstreifen, Lochkarten mit Bleistiftmarkierungen oder, im Fall der Duplizierung, schon programmierte PROMs (EPROMs) akzeptiert.

Besonders wenn das Auftragsvolumen größer ist und ein wandlungsfähiger und schneller Durchsatz erreicht werden soll, ist es angezeigt, sich eine eigene Programmiervorrichtung zuzulegen [24]. Falls ein Computer (Mini oder Mikro) vorhanden ist, kann auch dieser über ein paralleles Interface und etwas Randelektronik mit der PROM-Programmierung beschäftigt werden. Für Mikroprozessor-Entwicklungssysteme ist diese Möglichkeit meist vorgesehen [25, 26, 27]. Natürlich kann man sich ein solches Programmiersystem auch selbst erstellen [28]. Auf diese Art kann zur Dateneingabe der am Rechnersystem vorhandene Lochstreifen- oder Lochkarten-Leser und zur Protokollierung der Fernschreiber oder Drucker benutzt werden.

7 Anwendungen

Generell sind Festwertspeicher – ROMs wie PLAs – einseitige Zuordner, wie bereits erwähnt. Das macht sie einsetzbar als Ersatz für kombinatorische Logik, als Speicher für Tabellen, Konstanten, Programme, zur Code-Generierung und -Konvertierung, zum Erzeugen programmierbarer Wellenformen, als festverdrahtete Multiplizierer und anderes mehr [29...41].

8 Ausblick

Für die Zukunft ist sicherlich zu erwarten, daß die Festwertspeicher billiger, schneller und größer werden und daß weitere Technologien (z. B. für CMOS-PROMs) auf den Markt kommen werden, so daß dem Anwender eine immer größer werdende Palette dieser Bausteine geboten wird.

Literatur

[1] Integrated Circuits. Datenblattsammlung der Firma Harris Semiconductor. October 1975. S. Me-13...22 (Kontron Elektronik, Eching).

[2] *Torrero, E. A.*: Focus on Semiconductor Memories. Electronic Design. Bd. 23 (1975). H. 7. S. 98...107.

[3] *Franklin, P. G.*: Programmable Read Only Memory Reliability Report II. April 1974. Veröffentlichung der Firma Monolithic Memories Inc. im MMI-Data Book 1975.

[4] *Shields, M.*: Signetics PROM Reliability. Veröffentlichung der Firma Signetics (Valvo. Hamburg).

[5] Ein NiCr-Prozeß wird angewandt von den Firmen Fairchild, Harris Semiconductor. Monolithic Memories, Motorola, National Semiconductor, Signetics.

[6] Ein Ti-W-Prozeß wird angewandt von der Firma Texas Instruments.

[7] *Greene, B., House, D.*: Designing with Intel PROMs & ROMs. Application Note AP-6 der Firma Intel. (München).

[8] *Pascoe, B.*: Polysilicon Fuse Bipolar PROMs. Reliability Report RR-8 der Firma Intel Corp.

[9] Reliability and Design Report, Nov. 1974. Veröffentlichung der Firma Advanced Micro Devices (München).

[10] Ein Polysilicon-Prozeß wird angewandt von den Firmen Advanced Micro Devices und Intel.

[11] *Sievers, B.*: Intersil's „AIM" Programmable Element. Technical Report der Firma Intersil (Spezial Electronic, München).

[12] AIM-Anwender sind die Firmen Intersil, Fujitsu, NEC.

[13] *Huber, R. J. et al.*: Simplified n-channel process achieves high performance. Electronics. Bd. 47 (1974). H. 5. S. 117...122.

[14] *Frohman-Bentchkowsky, D.*: ROM can be electrically programmed and reprogrammed...Electronics. Bd. 44 (1971). H. 10. S. 91...95.

[15] *Frohman-Bentchkowsky, D.*: The Metal-Nitride-Oxide-Silicon (MNOS) Transistor-Characteristics and Applications. Proceedings of the IEEE, Bd. 58 (1970). H. 8. S. 1207...1219.

[16] *Horninger, K.*: Speicherschaltungen mit MNOS-Transistoren. Siemens Forsch.- u. Entwickl.-Ber., Bd. 4 (1975). Nr. 4. S. 213...219.

[17] *Cohen, C.*: Read-only memory is electrically writeable/erasable. Electronics. Bd. 48 (1975). H. 20. S. 12E, 13E.

[18] Non-volatile memories Application Note No. 1. Use of the NC 7010. Veröffentlichung der Firma Nitron (Infratron. München).

[19] *Mrazek, D., Morris, M.*: How to design with Programmable Logic Arrays. Application Note AN-89 der Firma National Semiconductor.

[20] *Cavlan, N., Cline, R.*: Field-PLAs simplify logic designs. Electronic Design. Bd. 23 (1975). H. 18. S. 84...90.

[21] *Su, S. Y. H.*: Trade your Karnaugh maps. Electronic Design. Bd. 21 (1973). H. 21. S. 88...92.

[22] *Dollhoff, T. L.*: Program cuts logic-design costs. Electronic Design. Bd. 22 (1974). H. 9. S. 186...189.

[23] *Shiva, S. G., Nagel, H. T.*: Bypass multivariable Karnaugh maps. Electronic Design. Bd. 22 (1974). H. 21. S. 86...91.

[24] Hersteller von PROM-Programmierern sind u. a. die Firmen DATA I/O (Macrotron, München), Pro Log (Spezial Electronic, München), Stolz (Kontron Elektronik, Eching), Telemeter (Göteborg). Ingenieurbüro Eckardt (Kaufbeuren). Entwicklungsbüro E. Gucza (Buxtehude).

[25] MDS-UPP. Universal PROM Programmer. Peripherie-Gerät zum Intellec-System der Fa. Intel (München).

[26] MEX-68PP1. PROM Programmer Module. Einsteckkarte zum EXORciser-System der Firma Motorola (Taunusstein).

[27] PROM Programm für PPS-8MP Assemulator der Firma Rockwell Microelectronics (Martinsried)

[28] *Timm, V.*: HP-Minicomputer steuert die Programmierung bipolarer PROMs. IDA-TM 75-1. Interne technische Mitteilung des Inst. f. Datenverarb.-Anlagen der TU Braunschweig.

[29] *Percival, R.*: The application of ROMs. Application Note AN-61 der Firma National Semiconductor.

[30] Use of bipolar ROMs and PROMs. Application Note 110 der Firma Monolithic Memories Inc.

[31] *Timm, V.*: TTL-Programmschaltwerk mit PROM. ELEKTRONIK 1975. H. 1. S. 53...58.

[32] *Bürgel, E.*: Schnelle Zahlenumsetzer mit MSI-TTL-Schaltungen. ELEKTRONIK 1975. H. 11. S. 95...98 und H. 12. S. 77...80.

[33] *Varchmin, J. U.*: Funktionsgenerator mit programmierbaren Festwertspeichern. ELEKTRONIK 1975. H. 2. S. 70...72.

[34] *Düll, E. H.*: Ein frei programmierbares Prozeßsteuergerät mit Mikrocomputer und PROMs. ELEKTRONIK 1975. H. 4. S. 93...97; H. 5. S. 65...68; H. 6. S. 101...102.

[35] *Damerell, J. B.*: Dot Matrix Character Generator using PLA. IBM Technical Disclosure Bulletin. Bd. 18. H. 3. S. 795...797.

[36] *Hemel, A.*: The PLA: a 'different kind' of ROM. Electronic Design. Bd. 24 (1976). H. 1. S. 78...84.

[37] *Klein, R.-D.*: Digitaler Sinusgenerator mit Festwertspeicher. ELEKTRONIK 1976. H. 3. S. 92...96.

[38] *Kimmel, K. R., Kraiß, K.-F.*: Rationelle Multiplikation und Division mit Festwertspeichern. ELEKTRONIK 1973. H. 11. S. 395...398.

[39] *Münchrath, R.*: Integrierte Halbleiterspeicher. ELEKTRONIK 1973. H. 5. S. 169...174.

[40] *Leibbrand, R.*: Halbleiter-Festwertspeicher. ELEKTRONIK 1970. H. 9. S. 293...296.

[41] *Dirks, Ch.*: Programmierbare Festwertspeicher vereinfachen sequentielle Digitalschaltungen. ELEKTRONIK 1973. H. 2. S. 68...70.

Vertriebsadressen: siehe ELEKTRONIK 1976. H. 3. S. 38.

Dipl.-Ing. Volker Timm ist in Itzehoe (Holstein) geboren. Er studierte in Braunschweig Elektrotechnik (Fachrichtung Regelungstechnik) und trat dort 1968 in die Olympia-Werke ein, wo er sich mit Schaltungsdesign beim Bau von Tischrechnern befaßt hat. 1969 ging er als wissenschaftlicher Mitarbeiter an das Institut für Datenverarbeitungsanlagen der TU Braunschweig. Zu seinen Aufgaben gehören Entwicklungen von Speichersystemen für Weltraumanwendungen, informationsverarbeitenden Testgeräten und Mikroprozessorsystemen.



Hobby: Fotografieren.
Privattelefon: (05 31) 87 24 59
ELEKTRONIK-Leser seit 1968

Optimieren auch Sie Ihre µP-Systemkosten!

GESAMT-KOSTEN

HARDWARE-KOSTEN

SYSTEM 1

SYSTEM 2

SOFTWARE-KOSTEN

0

PRODUKTIONSSTÜCKZAHL

Kleine Stückzahlen

Große Stückzahlen

OPTIMIERUNG

SOFTWARE-KOSTEN = leistungsfähiger Befehlssatz

HARDWARE-KOSTEN = Ein-Chip-Mikrocomputer

... mit den neuen µP-Standards von TI!

Wenn Sie sicher sein wollen, daß Ihr µP-System auch noch in den nächsten Jahren konkurrenzfähig ist, dann sollten Sie nicht versäumen, schon heute die zu erwartende Hard- und Softwaretrends zu berücksichtigen. Den Universal-µP für alle Anwendungen gibt es nicht, wohl aber µP-Konzepte, welche die Kostenfaktoren eines Systems berücksichtigen und so optimale Lösungen bieten.

Bei kleinen bis mittleren Stückzahlen sind am effektivsten die Softwarekosten zu verringern, da diese unabhängig von den Stückzahlen sind. Also muß größerer Wert auf einen leistungsfähigen Befehlssatz gelegt werden. Ist dagegen die zu produzierende Stückzahl groß, so ist die Reduzierung der Hardwarekosten wichtiger:

Also Verringerung der Bauteilekosten durch Verwendung weniger Chips oder gar der Ein-Chip-Lösung. Optimieren Sie deshalb . . .

SOFTWARE-KOSTEN

. . . mit dem software-kompatiblen **TMS 9900/TI 990-K**onzept

- Softwarekompatible Familien von Mikroprozessoren, Mikrocomputern und Minicomputer
  d. h. für Sie: ein Befehlssatz für die Entwicklung neuer Endprodukte und zur Prüffeld- bzw. Fertigungs-automatisierung.
- Leistungsfähiger Befehlssatz (einschl. Multiplikation und Division)
  d. h.: weniger Befehle zur Lösung einer Aufgabe und optimale Speicherausnutzung.

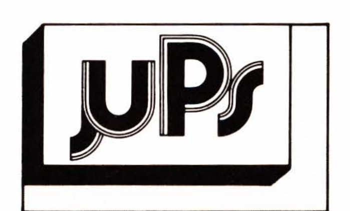
Wählen Sie das 9900/990-Konzept, damit Ihnen die Softwarekosten nicht über den Kopf wachsen.



. . . mit der Ein-Chip-Mikrocomputer-Familie **TMS 1000**!

- Alle Computerbaugruppen auf 25 mm² Halbleiter-kristall (CPU + RAM + ROM – I/O)
  d. h. nur einmalige Gehäusekosten.
- Geringe Leistungsaufnahme (90/105 mW typ.) bei einer Versorgungsspannung (15 V)
  d. h. geringe Netzteil- und Interfacekosten.

Wählen Sie die Ein-Chip-Lösung TMS 1000, damit Sie die Hardwarekosten im Griff behalten.



Wählen Sie Ihre µPs von TI und alles was dazu gehört!

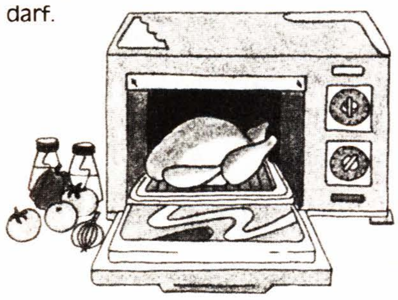


F8-µP von Fairchild.

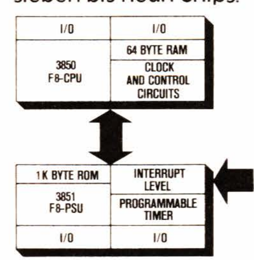
Große Leistung. Kleine Kosten.

Nur zwei Chips für Minimalsysteme:

Unser Minimalsystem F8 ist perfekt für Kontrollaufgaben, Haushaltsgeräte, Bremssysteme, Verkaufsautomaten, Zündsysteme und andere Anwendungen mit geringem Speicher- und I/O-Bedarf.

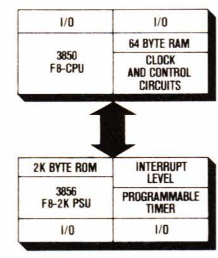


Zwei Chips erfüllen diese Jobs – eine CPU für 29,95 und ein PSU für ebenfalls 29,95 DM. 64 Byte RAM, 1024 Byte ROM, 70 Instruktionen, Instruktionsregister, Akkumulator, 16 individuell/kontrollierbare I/O Lines, programmierbarer Timer, eingebauter Clock und Kontrolleitungen zu anderen Bausteinen machen diese 8 bit CPU+PSU-Kombination universell einsetzbar. Einige unserer Mitbewerber benötigen für diesen Job sieben bis neun Chips.



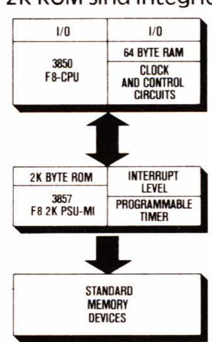
Verdoppeln Sie den Speicher:

Falls Sie zusätzliche Speicher benötigen, verwenden Sie unsere PSU 3856. 2K Byte ROM für 46 DM.



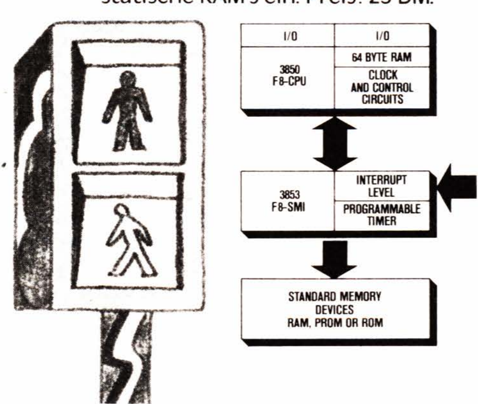
Integriertes Interface für externen Speicher:

Falls Sie in Ihrem System externe RAM's benötigen, verwenden Sie unser PSU mit integriertem Memory Controller: Typ 3857 zu DM 46. Davon können Standard RAM's angesteuert werden. 2K ROM sind integriert.



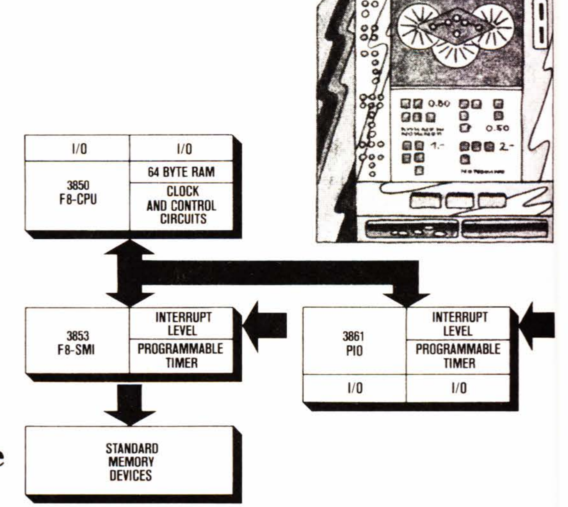
Oder ein System ohne ROM's:

Wenn Sie kein ROM verwenden wollen weil Ihre Serien unter 1000 Stück liegen oder Sie im Prototyp-Stadium sind, setzen Sie die 3850- und 3853-Chips sowie zwei 2K P'ROM's oder beliebige statische RAM's ein. Preis: 23 DM.



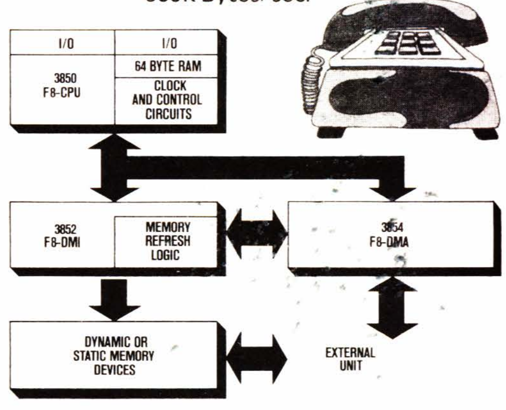
Wenn mehr I/O gebraucht wird:

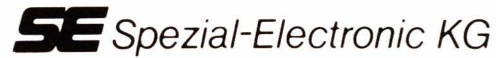
Durch Addition unseres 19,80 DM PIO 3861 zur vorherigen Konfiguration erhalten Sie weitere 16 I/O Ports, einen weiteren Interrupt-Level und programmierbaren Timer.
Jetzt haben Sie das perfekte 5-Chip-System: für Verkehrskontrollanlagen, Registrierkassen, elektronische Spiele, Kassettenspeicher, Lochstreifenhandler und ähnliche Anwendungen.



Oder speicherintensive Systeme:

Für speicherintensive Systeme haben wir das DMI Chip 3852 (Direct Memory Interface) entwickelt. Ob statische oder dynamische RAM's spielt keine Rolle. Die Refresh-Logic für die Speicher ist integriert und arbeitet synchron mit der CPU. Ihre CPU wird hierzu nicht gestoppt, kein Zyklus geht verloren. Direkten Speicherzugriff (DMA) von externen Elementen erhalten Sie durch das 3854 Chip zu 18 DM. Eigenes Timing auf dem Chip erlaubt Übertragung von 500K Bytes/sec.





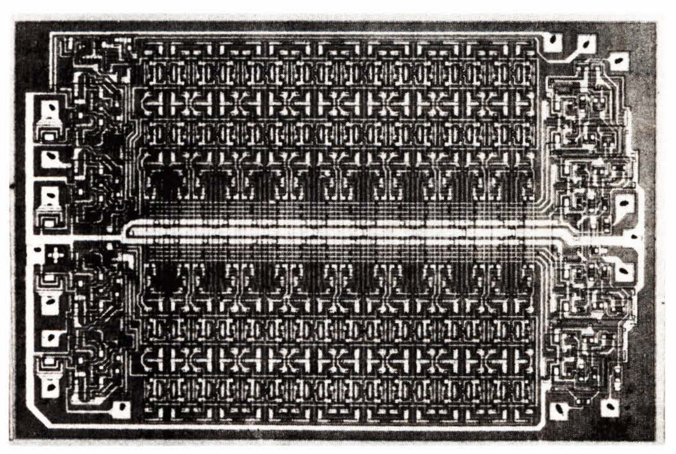
Spezial-Electronic KG

8000 München 70, Ortlerstr. 8, Postfach 701626, Tel. 089 76 000 31, Telex 5 212176 spez d
3062 Bückeburg/Hannover, Kreuzbreite 14, Tel. 057 22 10 11-15, Telex 9 71624 spez d

Dipl.-Ing. Manfred Schlenther

Im Blickpunkt: Bipolare und MOS-Schreib-/ Lesespeicher (RAMs)

Während elektromechanische Speicher (Platten-, Trommel- und Bandspeicher) hauptsächlich als Hintergrund- bzw. als Massenspeicher verwendet werden, dienen elektronische und magnetische Speicher als Arbeits-, Programm- oder Pufferspeicher. Bis etwa 1970 wurden hierfür Ferritkernspeicher [1, 2] und in geringem Umfang auch Magnetdrahtspeicher [2, 3] verwendet. Seit der Einführung der Halbleiterspeicher vor etwa 10 Jahren hat auf dem Gebiet der Speichertechnik aber eine Entwicklung eingesetzt, die zu immer höher integrierten, schnelleren und leistungsärmeren Speicherbausteinen führt, die den Kernspeicher ersetzen. Leider hat diese Entwicklung aber auch eine überaus große Vielfalt unterschiedlicher Bausteine hervorgebracht, die dem Anwender die Handhabung sehr erschweren. Eine Standardisierung – vor allem der Stiftzahl und der Stiftbelegung – wäre deshalb wünschenswert; sie ist jedoch wahrscheinlich erst bei der nächsten Generation (64 Kbit) zu erwarten. Besonderes Interesse gewinnen Halbleiterspeicher natürlich auch durch das Aufkommen der Mikroprozessoren, die ohne RAMs und ROMs [42] nicht arbeiten können. Dieser Gesichtspunkt ist mit ein wesentlicher Grund für den nachfolgenden REPORT, der u. a. Speicherarten und -technologien übersichtlich darstellt und die erhältlichen Bausteine tabellarisch erfaßt.



In Schottky-TTL-Technik hergestellt ist dieser 64-bit-Schreib-/Lesespeicher Typ SFC 489 E der Firma Thomson-CSF. Durch den Einbau von Schottky-Dioden wird eine Sättigung der Speichertransistoren verhindert, wodurch sich eine Zugriffszeit von nur 6 ns ergibt. Die Verlustleistung dieses Speichers beträgt 6 mW/bit

1 Grundsätzliche Vor- und Nachteile von Halbleiter- und Kernspeichern

Ein Vorteil der Halbleiterspeicher ist, daß die meisten zum Betrieb notwendigen Hilfsschaltungen – Decodier- und Steuerschaltungen, Adreß- und Datenregister – mit in dem Baustein integriert sind. Außerdem sind bei den meisten erhältlichen Speicherbausteinen die Ein- und Ausgänge TTL-kompatibel, so daß sich beim Zusammenschalten mit der übrigen Logik, die meistens in TTL ausgeführt ist, keine Interfaceprobleme ergeben. Der Preis pro Bit liegt bei Halbleiterspeichern unter den Kosten für Magnetspeicher und er sinkt weiter durch immer höheren Integrationsgrad und wachsende Produktionszahlen. Das hat dazu geführt, daß die Magnetspeicher heute im kommerziellen Bereich fast nahezu von den Halbleiterspeichern verdrängt wurden [4...7]. Lediglich für Sonderanwendungen werden noch Kernspeicher verwendet [8], weil sie eine Eigenschaft besitzen, die den heutigen Halbleiterspeichern noch fehlt: die Fähigkeit, die gespeicherten Daten bei Ausfall oder beim Abschalten der Versorgungsspannung zu erhalten (*nonvolatility*). Schreib-/Lesespeicher in Halbleitertechnik sind spannungsabhängige Speicher, d. h. ohne Versorgungsspannung geht die gespeicherte Information verloren.

2 Einteilung der Halbleiterspeicher

Alle Halbleiterspeicher können nach vier verschiedenen Gesichtspunkten in jeweils zwei Gruppen eingeteilt werden. Diese Unterscheidungsmerkmale sind:

a) Verwendungszweck:	Schreib-/Lesespeicher – Festwertspeicher
b) Zugriffsart:	wahlfrei – seriell
c) Art der Speicherzelle:	statisch – dynamisch
d) Technologie:	bipolar – MOS

Da diese Unterscheidungsmerkmale voneinander unabhängig sind, gibt es theoretisch $2^4 = 16$ verschiedene Speichertypen, von denen aber nicht alle sinnvoll oder realisierbar sind (z. B. serielle oder dynamische Festwertspeicher).

In diesem Artikel werden die Schreib-/Lesespeicher mit wahlfreiem Zugriff beschrieben. Für diesen Speichertyp hat sich die Bezeichnung „RAM" (*random-access memory* = Speicher mit wahlfreiem Zugriff) eingebürgert. Diese Bezeichnung ist aber nicht ganz vollständig, denn auch alle erhältlichen ROMs (*read-only memories* = Festwertspeicher) haben einen wahlfreien Zugriff. Wesentlich eindeutiger ist

deshalb für RAMs der Ausdruck „Schreib-/Lesespeicher“, weil er im Gegensatz zum Festwertspeicher (Nur-Lese-Speicher) sowohl das Einschreiben wie auch das Auslesen von Daten ermöglicht.

3 Speicherorganisation

3.1 Organisation der Speicherbausteine

Die meisten Schreib-/Lesespeicher sind bitorganisiert, d. h. pro Baustein kann jeweils nur zu einer Speicherzelle zugegriffen werden. Es gibt allerdings auch wortorganisierte Bausteine, bei denen Worte mit je 4 bit üblich sind. Der Aufbau ist bei beiden Organisationen gleich *(Bild 1)*, wobei der bitorganisierte Speicher ein Spezialfall des wortorganisierten ist (Wortlänge = 1 bit).

Am einfachsten wäre es, die Anzahl der Spalten gleich der Anzahl der Bits je Wort zu wählen. Dann brauchte man nur *einen* Wortdecoder und würde mit jeder Wortadresse ein Wort der gewünschten Länge erhalten. Bei dieser Realisierung würde man aber eine Matrix mit stark unterschiedlichen Kantenlängen erhalten. Dies ist aus fertigungstechnischen Gründen unerwünscht. Daher verringert man die Anzahl der Wortleitungen um den Faktor f und ordnet f Zeilenblöcke nebeneinander an. Mit der um den Faktor ld f (ld = logarithmus dualis; Logarithmus zur Basis 2) kleineren Wortadresse wird jetzt ein um den Faktor f längeres Speicherwort ausgewählt. Der Bitdecoder wählt hieraus mit der ld f breiten Bitadresse das gewünschte Speicherwort aus.

3.2 Aufbau eines Speichersystems

Die Speicherkapazität von Halbleiterspeichern kann sowohl in Bit- als auch in Wortrichtung erweitert werden. Bei einer Erweiterung in Bitrichtung werden alle Adreß- und Steuerleitungen parallel geschaltet. Die Gesamtzahl der Bits pro Wort ist dann: Bausteinzahl x Bits/(Wort und Baustein).

Zur Vergrößerung der Wortanzahl besitzen fast alle Bausteine einen Steuereingang CS *(chip select)*, um den Baustein zu inaktivieren. Die Adreß- und Steuerleitungen der Bausteine werden parallel geschaltet, die restlichen Adreßbits müssen extern decodiert und an die entsprechenden CS-Eingänge angeschlossen werden. Die zum selben Bit eines Wortes gehörenden Eingangs- bzw. Ausgangsdatenleitungen werden ebenfalls parallel geschaltet *(wired OR)*. Dazu besitzen die Bausteine Ausgangsdatenpuffer mit OC- *(open collector)*, OD- *(open drain)* oder TS- *(tristate)* Ausgängen, die hochohmig sind, wenn der Baustein nicht aktiviert ist. Diese Ausgänge erlauben es auch, für die Ein- und Ausgabe der Daten einen gemeinsamen Bus zu verwenden.

Durch schaltungstechnische Maßnahmen kann man lange Datenworte auch in Speichern mit kleinerer Wortlänge speichern |9|.

4 Speicherzellentypen

Eine der verbleibenden zwei Aufteilungen der Halbleiterspeicher ist die Unterscheidung nach der Art der Speicherzelle.

4.1 Statische Speicherzellen

Das Grundelement der statischen Speicherzelle ist das bistabile Flipflop, das aus zwei Transistoren und zwei Arbeitswiderständen aufgebaut ist. Hinzu kommen gegebenenfalls weitere Bauteile zur Ankopplung der Daten- und Steuerleitungen. Der Vorteil statischer Speicherzellen liegt in der einfachen externen Beschaltung, der Nachteil im höheren Leistungsverbrauch. Da nämlich immer einer der beiden Flipflop-Transistoren leitet, verbraucht die statische Speicherzelle ständig Leistung (Ausnahme: CMOS-Speicher).

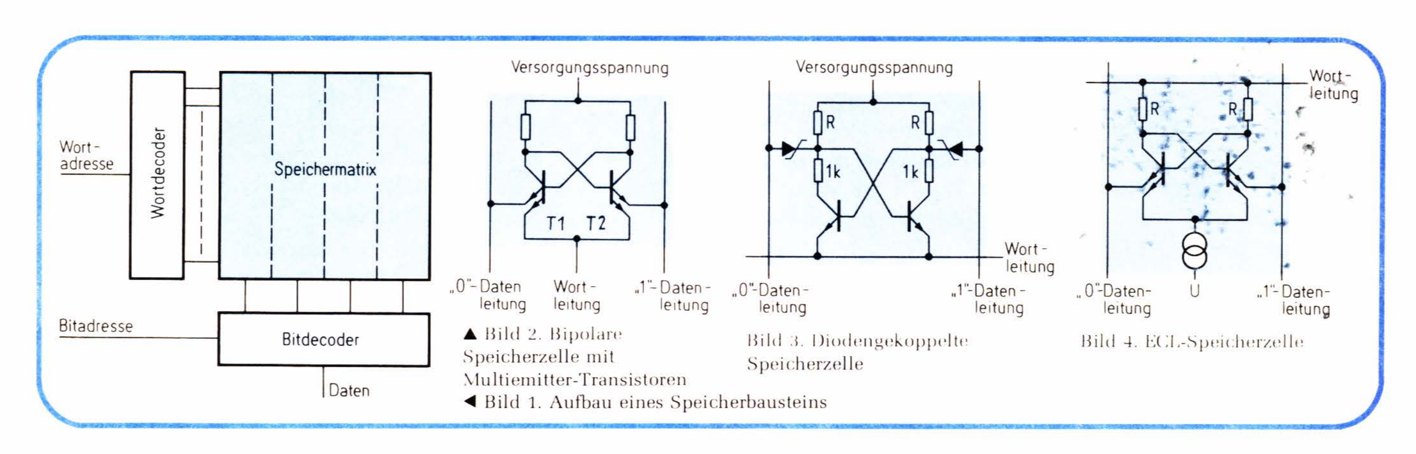
Statische Speicherzellen werden sowohl in bipolarer als auch in MOS-Technik hergestellt.

4.1.1 Bipolarzellen

Die gebräuchlichste bipolare Speicherzelle ist mit NPN-Multiemitter-Transistoren aufgebaut. *Bild 2* zeigt die Schaltung dieser Zelle. Im Ruhezustand liegt die Wortleitung auf „0“-Potential, und der Kollektorstrom des leitenden Transistors fließt über sie ab. Zur Aktivierung der Speicherzelle wird die Leitung auf „1“-Potential gelegt und damit die Basis-Emitterdiode gesperrt. Soll eine „0“ in die Speicherzelle eingeschrieben werden, so wird die „0“-Datenleitung auf „0“-Potential und die „1“-Datenleitung auf „1“-Potential gelegt. Damit wird T 1 leitend und T 2 gesperrt. Beim Schreiben einer „1“ wird die „1“-Datenleitung auf „0“-Potential und die „0“-Datenleitung auf „1“-Potential gelegt.

Beim Lesen werden beide Datenleitungen auf „0“-Potential gehalten. Je nach Zustand des Flipflops fließt dann über den leitenden Transistor ein Strom auf der entsprechenden Datenleitung, der von einem Leseverstärker ausgewertet wird.

Die Multiemitter-Transistoren können vermieden werden bei Verwendung diodengekoppelter Speicherzellen, bei denen die Datenleitungen über Dioden an die Kollektoren angeschlossen sind *(Bild 3)*. Diese Schaltung ist besonders schnell bei Verwendung von Schottky-Dioden. Dabei beanspruchen die Schottky-Dioden keinen zusätzlichen Platz auf dem Chip, da sie innerhalb der Kollektorregionen der Transistoren liegen. Auch die 1-kΩ-Widerstände sind in die Transistoren einintegriert. Beim Lesen und Schreiben bestimmen sie die Größe des fließenden Stromes. Da sie sehr niederohmig sind, ergeben sich daraus kurze Schreib- und Lesezeiten. Der Ruheleistungsverbrauch dagegen wird durch die Widerstände R bestimmt, die jetzt aber hochohmig sein können, da sie keinen Einfluß auf die Geschwindigkeit haben.



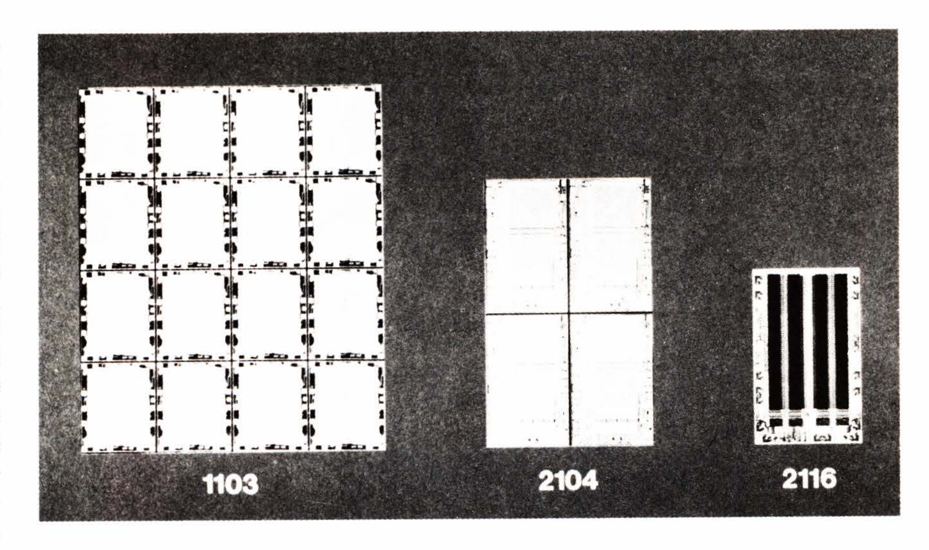
▲ Bild 2. Bipolare Speicherzelle mit Multiemitter-Transistoren

◄ Bild 1. Aufbau eines Speicherbausteins

Bild 3. Diodengekoppelte Speicherzelle

Bild 4. ECL-Speicherzelle

Eine dritte Art der bipolaren Speicherzelle ist in ECL-Technik aufgebaut (*emitter coupled logic, Bild 4*). Die ECL-Technik arbeitet mit ungesättigten Transistoren nach dem Prinzip der Stromumschaltung durch übersteuerte Differenzverstärker. Schreiben und Lesen ist ähnlich wie bei der Multiemitterzelle, nur daß die Versorgungsspannung durch das Potential der Wortleitung bestimmt wird. Bei der ausgewählten Speicherzelle wird das Potential der Wortleitung und damit die Betriebsspannung angehoben. Ist die Speicherzelle nicht ausgewählt, liegt die Wortleitung auf niedrigem Potential und der Ruheleistungsverbrauch ist verhältnismäßig niedrig. Die Kollektorwiderstände müssen so klein gewählt werden, daß die Transistoren niemals in die Sättigung kommen. Daher sind ECL-Speicher die schnellsten Halbleiterspeicher, sie verbrauchen aber auch relativ viel Leistung.



Dieses Bild veranschaulicht die rasante Halbleiterspeicher-Entwicklung in eindrucksvoller Weise: Während man im Jahr 1971 für ein 16-Kbit-Speichersystem noch 16 Bausteine benötigte (links), kommt man seit 1974 mit vier Bausteinen aus (Mitte), und heute genügt bereits ein Baustein, der 16-K-RAM (rechts). Er beansprucht nur noch etwa 18 % der Chipfläche von sechzehn 1-K-Speichern (Intel)

4.1.2 Statische MOS-Speicherzellen

Die gebräuchlichsten statischen MOS-Speicherzellen bestehen aus sechs Transistoren *(Bild 5)*. T 1 und T 2 sind die beiden Flipflop-Transistoren. Die Arbeitswiderstände werden bei der Realisierung in MOS-Technik durch Transistoren (T 3, T 4) ersetzt, da Widerstände in MOS-Technik nur aufwendig herstellbar sind. Zwei weitere Transistoren (T 5, T 6), die über die Wortleitung angesteuert werden, dienen zur Ankopplung der Datenleitungen.

Bei der Auswahl der Speicherzelle werden T 5 und T 6 über die Wortleitung aktiviert. Beim Schreiben kann dann das Flipflop über die beiden Datenleitungen gesetzt werden. Beim Lesen wird der Zustand über die Datenleitungen vom Leseverstärker abgefragt.

Diese Speicherzelle kann in P-Kanal-, N-Kanal- oder CMOS-Technik aufgebaut werden. Bei der Realisierung in CMOS-Technik sind T 1 und T 2 N-Kanal-Transistoren, T 3...T 6 dagegen P-Kanal-Transistoren.

4.2 *Quasistatische Speicherzelle*

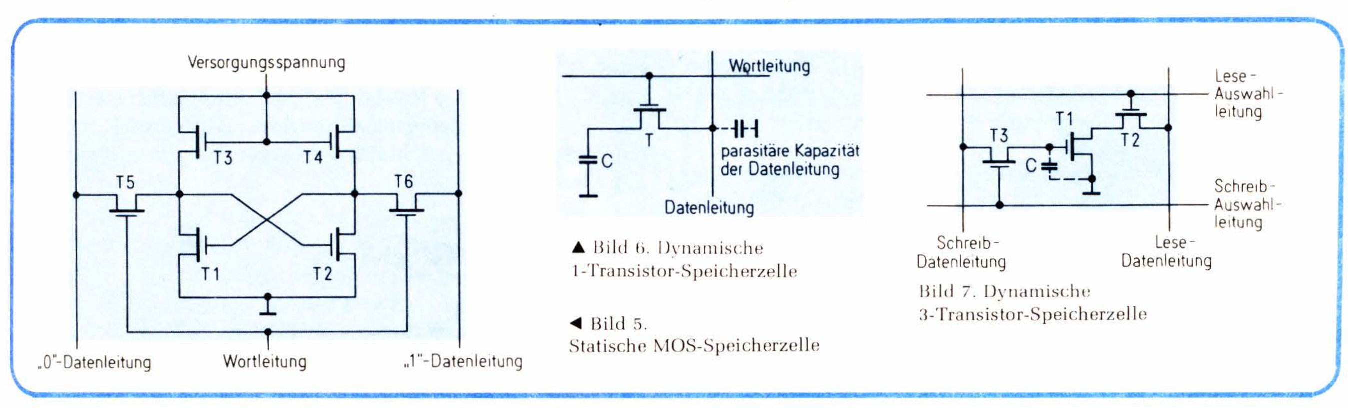
Die quasistatische Speicherzelle vereinigt den Vorteil der einfacheren externen Beschaltung (wie bei der statischen Speicherzelle) mit dem geringen Leistungsverbrauch der dynamischen Speicherzelle. Die Speicherzelle ist eine kreuzgekoppelte 4-Transistor-Zelle, ähnlich der statischen Speicherzelle. Der Unterschied besteht in den Lasttransistoren.

Ist die Speicherzelle beim Lesen oder Schreiben ausgewählt, so arbeitet sie im statischen Betrieb. In den Zwischenzeiten wird die Information dynamisch in den Gatekapazitäten der Flipflop-Transistoren gespeichert. Sie wird durch sogenannte Ladungspumpen aufrechterhalten, die sich mit auf dem Chip befinden. Daraus ergibt sich folgender Vorteil: Für einen geringen Leistungsverbrauch muß die Last hochohmig sein. Dies bedeutet für die statische Arbeitsweise aber auch einen großen Platzbedarf. Bei der quasistatischen Speicherzelle ist die Last als getaktete Stromquelle ausgebildet, so daß man die Lastwiderstände verkleinern kann ohne Verlust des hohen Ladewiderstandes.

Da mit konstantem Strom geladen wird, ist die quasistatische Speicherzelle auch erheblich schneller als die herkömmlichen Speicherzellen. Der von Intel entwickelte quasistatische Speicherbaustein 2106 besitzt eine Zugriffzeit von 80 ns [10].

4.3 *Dynamische Speicherzellen*

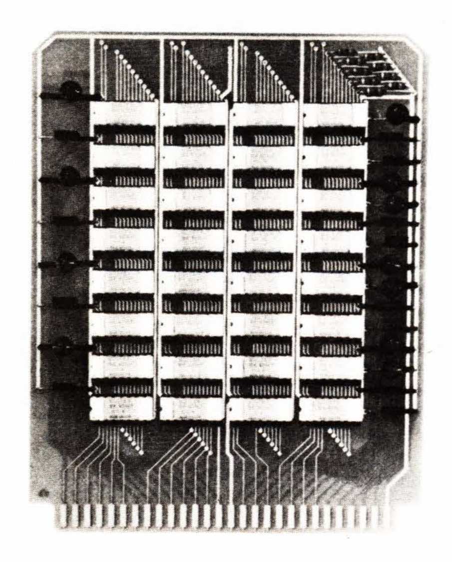
Bei der dynamischen Speicherzelle, die nur in MOS-Technologie hergestellt wird, ist die Information als Ladung in einem Kondensator gespeichert. Durch unvermeidliche Leckströme werden die Speicherkondensatoren ständig entladen und müssen periodisch (typisch alle 2 ms) aufgefrischt werden *(refreshing)*. Dies geschieht im allgemeinen durch periodisches Durchlaufen der Spalten- oder Zeilenadressen. Daher muß beim Betrieb des Speichers die jeweilige Arbeitsadresse mit der gerade gültigen Auffrischadresse „gemultiplext" werden. Das Durchlaufen der Auffrisch-



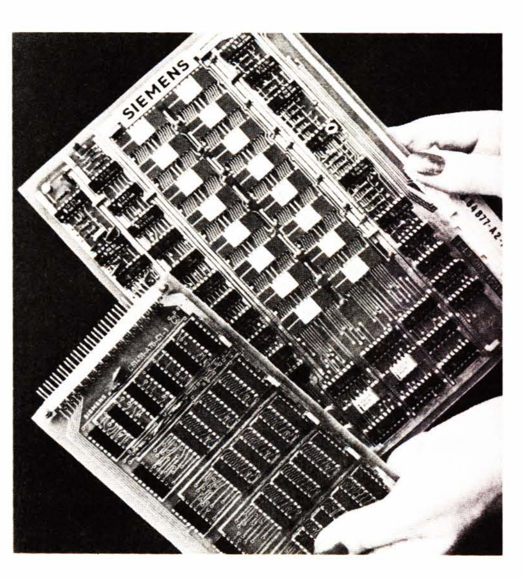
▲ Bild 6. Dynamische 1-Transistor-Speicherzelle

◄ Bild 5. Statische MOS-Speicherzelle

Bild 7. Dynamische 3-Transistor-Speicherzelle



◀ 64-K-Speicherkarte, bestückt mit dynamischen NMOS-4-Kbit-RAMs des Typs MK 4096 P der Firma Mostek, die eine der ersten war, die solche Speicherbausteine in größeren Stückzahlen, z. B. für die MX 21-Minicomputer-Serie von Hewlett-Packard, auslieferte. Konkurrenz bekommt der dynamische 4-K-RAM jetzt nicht nur von seinem „größeren Bruder", dem 16-K-Typ, sondern auch von statischen 4-K-Speichern, die kürzlich z. B. von Intel mit der Typenbezeichnung 2114 in einer 1 K x 4 bit-Version vorgestellt wurden



▶ Diese Speichersysteme auf Steckkarten im Europaformat (B 64 877) mit 16 K bzw. 64 K liefert die Firma Siemens für die kleine und mittlere Datentechnik. Die 4 K x 4 bit-Version ist mit statischen 1-K-MOS-RAMs vom Typ SAB 1202 aufgebaut, die 8 K x 8 bit-Ausführung mit dynamischen 4-K-MOS-RAMs des Typs S 193

adressen kann auf zwei Arten geschehen. Entweder werden jede 2 ms alle Auffrischadressen auf einmal durchlaufen *(burst mode)*, oder die Auffrischzyklen werden über die Auffrischzeit gleichmäßig verteilt *(distributed mode)*. Die zweite Auffrischmethode hat den Vorteil, daß der aktuelle Speicherbetrieb nicht so lange unterbrochen wird.

Je nach Speichertyp werden die Auffrischzyklen als Schreib- oder Lesezyklen durchgeführt. Daher verbrauchen die Speicher während des Auffrischbetriebes Aktivleistung.

Dynamische bipolare Speicher sind noch nicht erhältlich, obwohl es auch in dieser Richtung Entwicklungsversuche gegeben hat [11]. Fairchild hat neuerdings eine dynamische Speicherzelle in I^2L-Technik entwickelt [46].

Dynamische MOS-Speicherzellen gibt es in vielen Konfigurationen, von denen heute aber nur noch zwei Bedeutung haben: die 3-Transistor-Zelle und die 1-Transistor-Zelle. Während die erhältlichen 4-Kbit-Bausteine noch mit beiden Zellentypen aufgebaut sind, werden für die neuen 16-Kbit-Bausteine aus Platzgründen nur noch 1-Transistor-Zellen verwendet.

Die 1-Transistor-Zelle besteht aus dem Speicherkondensator und einem Transistor als Schalter *(Bild 6)*. Beim Schreiben wird der Kondensator der ausgewählten Speicherzelle über die Datenleitung und den Transistor auf den gewünschten „0"- oder „1"-Pegel geladen. Beim Lesen verursacht die Kondensatorladung eine Spannungsänderung auf der Datenleitung. Die Größe dieser Lesespannung ist proportional zum Verhältnis der Speicherkapazität zur parasitären Kapazität der Datenleitung. Um ein großes Lesesignal zu erhalten, muß die Speicherkapazität also möglichst groß sein, die Streukapazität der Datenleitung dagegen möglichst klein. Auf der anderen Seite soll die Speicherkapazität aus Platzgründen aber klein sein. Die in den erhältlichen Bausteinen realisierte Speicherkapazität ist kleiner als die parasitäre Kapazität der Datenleitung, so daß zerstörend gelesen wird *(destructive readout)*. Nach jedem Lesezyklus muß der Speicherinhalt also wieder eingeschrieben werden. Dies geschieht jedoch intern.

Die auf der Datenleitung hervorgerufene Spannung wird in einem internen Leseverstärker ausgewertet. Da das Lesesignal nur etwa 0,3 V beträgt (gegenüber etwa 3 V bei der 3-Transistor-Zelle), benötigt die 1-Transistor-Zelle einen empfindlicheren Leseverstärker [12].

Bei der 3-Transistor-Zelle *(Bild 7)* dient die Gatekapazität des Transistors T 1, der als Verstärker wirkt, zur Ladungsspeicherung, so daß kein zusätzlicher Kondensator benötigt wird. Zu Beginn eines Zyklus wird das Potential der Datenleitungen auf die Versorgungsspannung (im allgemeinen 12 V) hochgezogen *(precharching)*. Zum Lesen wird dann über die Lese-Auswahlleitung der Transistor T 2 aktiviert. Ist die Spannung am Speicherkondensator größer als die Schwellspannung von T 1, so leitet T 1 und entlädt die Lese-Datenleitung. Reicht das Gatepotential nicht aus, um T 1 durchzuschalten, so bleibt die Lese-Datenleitung auf ihrem hohen Potential liegen. Beim Schreiben wird der Transistor T 3 über die Schreib-Auswahlleitung aktiviert, und die auf der Schreib-Datenleitung anstehenden Daten laden bzw. entladen den Speicherkondensator.

Es ist ersichtlich, daß diese Speicherzelle die Information invertiert: hohes Potential auf der Schreib-Datenleitung lädt beim Schreiben den Kondensator, so daß T 1 beim Lesen leitet und die Lese-Datenleitung auf niedrigem Potential liegt.

4.4 Schaltungstechnischer Aufwand für die Auffrischlogik

In diesem Abschnitt soll gezeigt werden, welcher zusätzliche Aufwand an Auffrischlogik bei Verwendung dynamischer Speicherbausteine entsteht. In *Bild 8* ist die Blockschaltung der Auffrischlogik für Auffrischbetrieb mit gleichmäßig verteilten Auffrischzyklen dargestellt. Ein Taktgenerator schaltet den Auffrischzähler weiter, dessen letzten Stellen die Auffrischadresse darstellen. Die Anzahl dieser Stellen ergibt sich aus dem Zweier-Logarithmus der Zahl der Auffrischadressen im verwendeten Speicherbaustein. Ein Adreßmultiplexer schaltet – abhängig davon, ob aufgefrischt oder geschrieben bzw. gelesen werden soll – entweder die Auffrischadresse oder die jeweilige Arbeitsadresse auf den Speicher.

Ist ein Auffrischzyklus erforderlich, so setzt der Auffrischzähler zur Erzeugung eines Auffrischbefehls ein Flipflop. Dabei muß verhindert werden, daß der Auffrischbefehl erzeugt wird, wenn gerade ein Speicherzyklus läuft. Der Auffrischbefehl schaltet den Adreßmultiplexer um und sperrt den Speicher für den Schreib- und Lesebetrieb. Ist der Auffrischzyklus beendet, so wird das Auffrisch-Flipflop zurückgesetzt und der Speicher wieder für den externen Verkehr freigegeben.

5 Speichertechnologien

Die letzte der möglichen Einteilungen der Halbleiterspeicher ist die Unterscheidung nach ihrer Technologie. Innerhalb jeder Technologie ist eine weitere Aufteilung entsprechend der angewandten Technik möglich. Im folgenden

werden die verschiedenen Realisierungen in Hinblick auf für Speicheranwendungen wichtige Eigenschaften untersucht. Die Techniken werden aber nicht im einzelnen erläutert, sondern es wird auf schon erschienene genaue Beschreibungen verwiesen.

5.1 *Bipolartechnologie* [13]

In der Fabrikation sind die bipolaren Schaltungen mit etwa 120 Prozeßschritten eindeutig am kompliziertesten und damit am teuersten. Außerdem führen die zahlreichen Herstellungsschritte zu einem erhöhten Produktionsausfall. Weiterhin ist das Epitaxial-Material ungefähr 3...5mal teurer als das Silizium-Ausgangsmaterial bei der MOS-Technik. Diese Faktoren und die Tatsache, daß die Packungsdichte nur etwa 1/4 der von MOS-Speichern ist, verursachen die erheblich höheren Kosten pro Bit. Hinzu kommt der größere Leistungsverbrauch, so daß Bipolarspeicher nur da eingesetzt werden, wo die höheren Arbeitsgeschwindigkeiten (ca. 10mal so schnell wie MOS-Speicher) erforderlich sind.

Mit der Standard-Bipolartechnologie (SBC = *standard buried collector*) lassen sich nur Speicher mit maximal 256 bit herstellen. Der Grund dafür sind die Isolierzonen, welche die Transistoren voneinander trennen. Diese Isolationsringe müssen genügend Abstand von den Basisregionen haben, was – in Verbindung mit der seitlichen Ausdehnung der tiefen Diffusion – zu einem großen Flächenbedarf führt. Die Halbleiterhersteller haben daher verschiedene Prozesse entwickelt, um den Platzbedarf der Isolation zu reduzieren.

Fairchild verwendet bei seinem Isoplanar-Prozeß [14, 15] thermisch hergestelltes Siliziumoxid als Isolierung. Da das Oxid ein Nichtleiter ist, darf es die aktiven Bereiche berühren. Dadurch werden etwa 40 % der Fläche eingespart. Außerdem ist dieser Prozeß für die Kollektoren und Basen der Transistoren selbstjustierend, d. h. man benötigt für diesen Diffusionsschritt keine Maske.

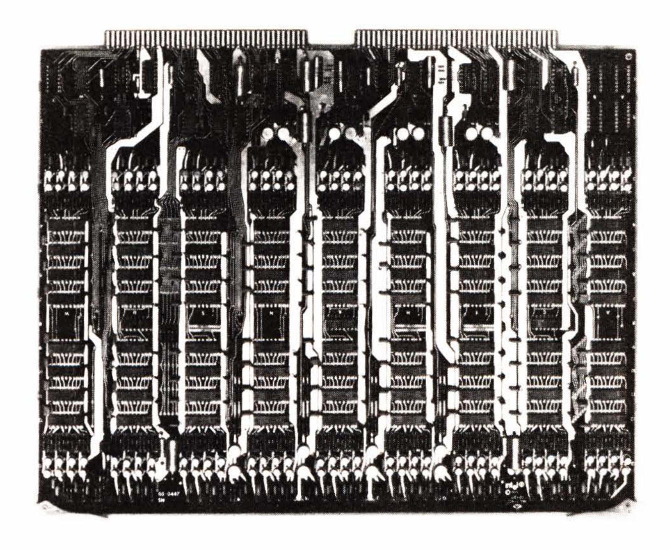
Im V-ATE-Prozeß *(vertical anisotrophic etch)* der Firma Raytheon wird ein Luftspalt zur Isolierung verwendet [15, 16].

Eine weitere Isolierungsmethode (VIP = *vee isolation with polysilicon backfill)* wird von den Firmen Harris und Motorola angewendet [15]. Bei ihr werden die gleichen Vertiefungen wie beim V-ATE-Prozeß benutzt, die aber mit polykristallinem Silizium gefüllt werden, um die Oberfläche zu glätten.

Intersil und Signetics benutzen für ihre bipolaren Speicher modifizierte Arten der konventionellen Bipolartechnologie. Intersil verwendet für seine Speicherbausteine eine Golddotierung. Signetics erreicht mit seinem „thin-epi"-Prozeß größere Packungsdichte und kleinere Streukapazitäten. Dabei wird anstelle einer 6...10 μm dicken Epitaxialschicht (wie beim SBC-Prozeß üblich) nur 3 μm dickes Material verwendet.

Texas Instruments hat für seine Bausteine eine Modifikation der Standard-MOS-Technik gewählt. Bei ihr werden die Masken für alle kritischen Diffusionen – wie Kollektor, Emitter und Isolation – auf eine einzige Nitrid-Maske abgebildet *(composed mask)*, wodurch die Toleranzen erheblich verringert werden.

Ferranti hat eine Methode zur Vereinfachung und Verringerung der Anzahl der Prozeßschritte entwickelt, die CDI *(collector diffusion isolation)* genannt wird [17]. Bei ihr werden zwei Diffusionsschritte mit den dazugehörigen Masken eingespart: der Basis-Diffusionsschritt fällt weg, außerdem werden der Kollektorkontakt und die Isolierung gleichzeitig eindiffundiert. Durch die wegfallenden Toleranzen wird



CCD-Halbleiter-Speichersystem Modell in-65 CCD der Firma Intel. Auf einer Steckkarte der Größe 12 Zoll x 15 Zoll läßt sich eine Speicherkapazität von 131 072 Wörtern zu je 8 bit (128 KBytes) unterbringen, d. h. die Packungsdichte ist etwa vier- bis sechzehnmal größer als die bisheriger Speichersysteme. Sie sollen demnächst – wenn die bisher verwendeten 16-K-Speicherbausteine (Typ 2416) durch 64-K-Versionen ersetzt werden – mit magnetischen Trommel- und Plattenspeichern preislich konkurrieren können

Platz eingespart. Außerdem ist der CDI-Prozeß selbstisolierend. Die Epitaxialschicht hat eine Dicke von nur 1 μm, so daß man mit flacheren Diffusionen auskommt, und so die seitliche Ausdehnung herabgesetzt wird. Ein für die Speicheranwendung wichtiger Nachteil des CDI-Verfahrens ist die höhere Kollektorkapazität. Daher ist dieser Prozeß für Schaltungen mit hohen Geschwindigkeiten (Schottky-TTL, ECL) unbrauchbar.

Mit diesen Verfahren sind heute bipolare Speicherbausteine mit Kapazitäten bis zu 1 Kbit realisiert.

Das zweite Hindernis für LSI-Speicher in TTL-Technik sind die Arbeitswiderstände. Um die Verlustleistung pro Bit herabzusetzen, muß man die Widerstände und damit den Platzbedarf erhöhen. In der I^2L-Technik *(integrated injection logic)* werden die Widerstände daher durch aktive Stromquellen ersetzt [18, 19]. Speicherbausteine in I^2L-Technik befinden sich zwar noch nicht auf dem Markt, sie sind aber von mehreren Herstellern (wie z. B. Fairchild, NS, TI) angekündigt.

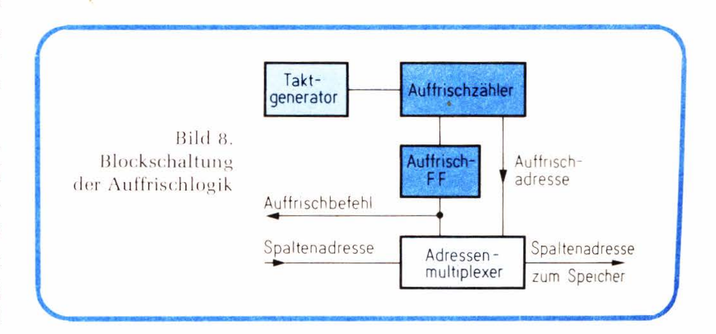
5.2 *MOS-Technologie*

5.2.1 Eigenschaften der MOS-Technik

Die MOS-Technik [13, 20...22] ist aus folgenden Gründen für eine Großintegration besser geeignet als die Bipolar-Technik:

a) Sie ist selbstisolierend, d. h. zwischen den einzelnen Speicherzellen sind keine Isolationszonen erforderlich.

Bild 8. Blockschaltung der Auffrischlogik



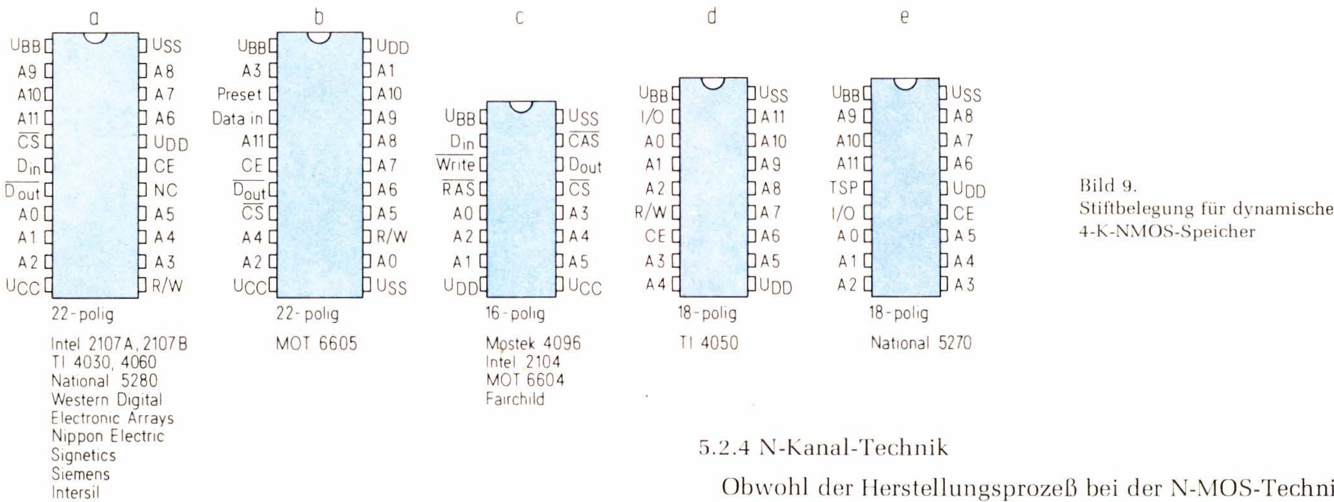


Bild 9. Stiftbelegung für dynamische 4-K-NMOS-Speicher

b) Es werden weniger Prozeßschritte benötigt. Damit ergeben sich eine höhere Ausbeute und kleinere Kosten.
c) MOS-Transistoren können auch als passive Bauelemente verwendet werden, so daß sich Widerstände platzsparend aufbauen lassen.
d) MOS-Transistoren besitzen hohe Eingangswiderstände. Daher sind sie für eine dynamische Arbeitsweise geeignet.

Die MOS-Technik hat aber auch einen prinzipiellen Nachteil. Infolge der Gatekapazität und des hohen Innenwiderstandes der MOS-Transistoren ergibt sich eine geringe Geschwindigkeit.

5.2.2 Technologische Entwicklung

Im Standard-MOS-Prozeß werden erst die Drain- und Source-Gebiete eindiffundiert, anschließend das Gate justiert. Dabei ergibt sich zwischen Gate und Drain- bzw. Source-Region eine Überlappung, die parasitäre Kapazitäten erzeugt und Siliziumfläche verbraucht.

Beim selbstjustierenden *(self-aligning)* Gate-Prozeß wird erst das Gate hergestellt, das dann bei den Drain- und Source-Diffusionen als Maske dient. Damit entfällt das Justieren des Gates und die Überlappung wird reduziert. Allerdings ist jetzt ein Gate-Material erforderlich, das die hohen Diffusionstemperaturen aushält. Das konventionelle Gate-Material Aluminium würde bei diesem Prozeß schmelzen.

Verwendet wird heute fast ausschließlich polykristallines Silizium, weswegen diese Technik *Silizium-Gate-Technik* heißt [23]. Da das Silizium elektrisch leitend ist, kann es gleichzeitig als Verbindungsebene dienen.

5.2.3 P-Kanal-Technik

Die MOS-Technik läßt sich auf zwei Arten realisieren: als P-Kanal- und als N-Kanal-Technik. Die P-MOS-Technik ist die ältere und einfachere Art, da sie selbstsperrend *(enhancement mode)* ist. Diese Eigenschaft ist erforderlich bei Verwendung als Speicherelement. Das Trägermaterial (Substrat) bei der P-MOS-Technik ist N-Silizium, die Ladungsträger sind Elektronenlöcher.

P-MOS-Bausteine sind einfach herzustellen, daher ergibt sich bei ihnen eine hohe Ausbeute und damit ein kleiner Preis. Die Hauptnachteile sind: sie sind langsam, besitzen eine hohe Schwellspannung (daher nicht TTL-kompatibel) und erfordern eine negative Versorgungsspannung. Aus diesen Gründen ist die P-Kanal-Technik heutzutage von untergeordneter Bedeutung. Alle modernen hochintegrierten MOS-Speicherbausteine sind in N-Kanal-Technik ausgeführt.

5.2.4 N-Kanal-Technik

Obwohl der Herstellungsprozeß bei der N-MOS-Technik schwerer zu steuern ist, hat sich diese Technik in den letzten Jahren aus mehreren Gründen durchgesetzt:

a) Die Ladungsträger sind Elektronen. Da ihre Beweglichkeit 2...3mal größer ist als die Beweglichkeit der Löcher im P-Kanal, lassen sich mit N-Kanal-Transistoren bei gleichen Abmessungen höhere Geschwindigkeiten oder bei gleicher Geschwindigkeit kleinere Abmessungen und damit höhere Packungsdichten erzielen.
b) Mit der Silizium-Gate-Technik lassen sich kleine Schwellspannungen realisieren. Damit ist der Betrieb mit einer positiven Versorgungsspannung von 5 V möglich, und die Bausteine sind TTL-kompatibel.

Allerdings sind N-Kanal-Transistoren selbstleitend *(depletion mode)*. Um sie selbstsperrend zu machen, ist eine zusätzliche negative Substrat-Vorspannung erforderlich.

5.2.5 Moderne Speicherbausteine in N-MOS-Technik

Dynamische 4-Kbit-N-MOS-Speicher gibt es inzwischen von vielen Herstellern. Verwirrung herrscht allerdings über die verschiedenen Gehäuse und Stiftkonfigurationen. Auf dem Markt befinden sich drei Gehäusetypen mit fünf Stiftbelegungen: ein 16poliges Dual-in-Line-Gehäuse (DIP), zwei Konfigurationen im 18poligen DIP und zwei Konfigurationen im 22poligen DIP *(Bild 9)*.

Beim 16poligen Gehäuse muß die Adresse in zwei Hälften zeitlich nacheinander angelegt werden; daher ist ein zusätzlicher Multiplexer erforderlich. Die 18polige Version benutzt einen gemeinsamen Anschluß für die Eingangs- und Ausgangsdaten. Außerdem wird die 5-V-Spannung auf dem Chip aus der 12-V-Spannung abgeleitet. Bei dem 22poligen Gehäuse gibt es keine Beschränkungen; dafür benötigt es 56 % mehr Platz als das 16polige Gehäuse und 45 % mehr als das 18polige Gehäuse.

Inzwischen scheinen sich die 16polige Version und eine Konfiguration des 22poligen Gehäuses (Gehäuse a in *Bild 9*) als Industrie-Standard herausgebildet zu haben. Da die meisten Anwender auf eine hohe Packungsdichte Wert legen, dürfte das 16polige Gehäuse auch das Standardgehäuse für die neuen 16-Kbit-Bausteine werden. Auch die Stiftbelegung ist mit dem 4-Kbit-Baustein identisch, bis auf den Chip Select-Anschluß, der durch ein Adreßbit ersetzt wird.

Die bei allen Herstellern verwendete Speicherzelle für die neuen 16-Kbit-Bausteine ist die dynamische 1-Transistor-Zelle in Silizium-Gate-N-MOS-Technik. Jedoch gibt es bei der Aufbautechnik Unterschiede: Texas Instruments benutzt für seinen Baustein TMS 4070 eine verbesserte Form der Ein-Lagen-Technik (SLP = *single layer polysilicon*), die auch bei den 4-Kbit-Speichern verwendet wird [31]. Bei ihr sind der Schaltertransistor und der Speicherkondensator

nebeneinander angeordnet. Eine einzige Schicht aus Polysilizium dient als Verbindung und gleichzeitig als eine Kondensatorfläche *(Bild 10a)*.

Bei der DLP-Technik *(double layer polysilicon)*, mit der Intel seinen Baustein 2116 aufbaut, sitzt der Kondensator unter dem Transistor, und es gibt eine zweite Verbindungsebene aus Polysilizium. Weiterer Platz wird eingespart, weil der eindiffundierte Bereich, der bisher als Source diente, nicht mehr benötigt wird (*Bild 10b*, [32, 33]).

Weitere Firmen, die 16-Kbit-Speicher angekündigt haben, sind: Hitachi, Motorola, NEC und Siemens.

Seit kurzer Zeit gibt es auch *statische* 4-Kbit-Speicher von AMD, Intel, GI und EMM auf dem Markt. Bei fast allen statischen MOS-Bausteinen kann die Versorgungsspannung im Ruhezustand zur Leistungsersparnis abgesenkt werden.

5.2.6 CMOS-Technik

Bei der komplementären MOS-Technik [13, 24] befinden sich P- und N-Kanal-Transistoren auf demselben Substrat. Dies erfordert zwei zusätzliche Diffusions- und Maskenschritte. Außerdem müssen die beiden komplementären Transistoren durch eine Isolationswanne getrennt werden. Deshalb liegen Drain des einen und Source des anderen Transistors nicht im selben Gebiet, sondern müssen mit einer Metallisierung verbunden werden. Dafür sind Kontaktierungen erforderlich, die neben den Isolationszonen einen großen Flächenbedarf verursachen.

Schaltungstechnisch werden die beiden Transistoren im Gegentaktbetrieb verwendet. Da immer einer der Transistoren sperrt, fließen im Ruhezustand als Querströme nur die Leckströme. Daraus ergibt sich der extrem niedrige Ruheleistungsverbrauch der CMOS-Technik. Weitere Vorteile sind: große Geschwindigkeit, hoher Störabstand, Betrieb mit einer Versorgungsspannung über einen großen Spannungsbereich. Bei Verwendung einer Spannung von 5 V sind die CMOS-Bausteine TTL-kompatibel.

Eine weitere Verbesserung der Eigenschaften brachte die SOS-Technik (SOS = *silicon on sapphire* [25]), bei der das Substrat nicht aus Silizium, sondern aus einkristallinem Saphir (oder Spinel) besteht. Dadurch erhält man kleinere Leckströme sowie geringere parasitäre Kapazitäten und damit höhere Geschwindigkeit und kleineren Leistungsverbrauch. Außerdem kann man die einzelnen Transistoren durch Wegätzen des dazwischenliegenden Siliziumfilms praktisch ideal voneinander isolieren, so daß die Isolationszonen entfallen. Die Firma Siemens hat mit dieser Technik, die sie ESFI-Technik (Epitaxialer Siliziumfilm auf Isolatoren) nennt, bereits Labormuster eines 4-Kbit-Bausteins hergestellt [26].

5.2.7 Ionenimplantation

Ein seit etwa 1971 angewandter Prozeß, der oft benutzt wird, um die Schwellspannung von MOS-Transistoren zu

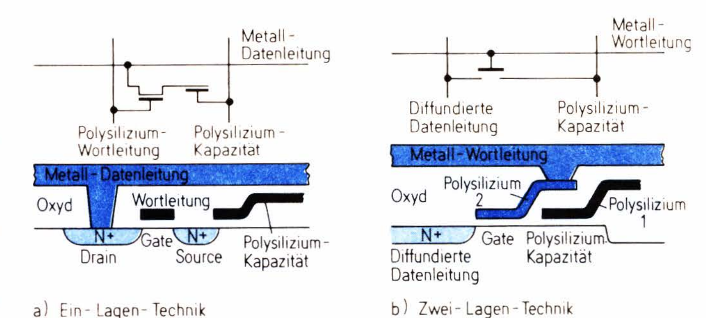


Bild 10. Aufbautechnik der 16-Kbit-Speicherbausteine

verschieben und um die Überlappungskapazitäten zu verringern, ist die Ionenimplantation [27]. Dabei werden Bor-Ionen in das Gate-Gebiet eingeschossen, nachdem die Drain- und Source-Regionen eindiffundiert sind. Diese Methode kann bei der P-Kanal-, N-Kanal- und CMOS-Technik angewendet werden. Die wichtigste Anwendung besteht darin, selbstleitende P-Kanal-Transistoren und selbstsperrende N-Kanal-Transistoren herzustellen. Allerdings ist die Ionenimplantation schwierig, und es wird ein teurer Ionen-Beschleuniger benötigt, so daß sich als Hauptnachteil hohe Kosten ergeben.

5.2.8 CCD-Speicher

Für die Zukunft zeichnen sich völlig neue Verfahren zur Speicherung ab. Die Grundlage dafür ist eine MOS-Technik, mit der ladungsgekoppelte Halbleiterelemente (CCD = *charge-coupled devices* [28]) hergestellt werden.

CCD-Bausteine sind vom Prinzip her serielle Speicher, wie ihr magnetischer Bruder, der Blasenspeicher (*bubble memory*, [29, 43]). Sie lassen sich aber sehr leicht, billig und platzsparend mit konventioneller MOS-Technologie herstellen und sind daher für hochintegrierte Speicherbausteine gut geeignet.

Mit der Einführung des ersten 16-Kbit-CCD-Speicherbausteins – Intel 2416 – sind die CCD-Speicher ernsthafte Bewerber für viele Massenspeicheranwendungen geworden, wo jetzt noch Platten- und Trommelspeicher eingesetzt werden. Der Intel-Speicher 2416 ist in Silizium-Gate-N-Kanal-MOS-Technik hergestellt. Er vereinigt Merkmale konventioneller Schieberegister und RAMs. Aufgebaut ist er aus 64 wahlfrei adressierbaren Schieberegistern mit je 256 bit. Zu einem Bit des ausgewählten Schieberegisters kann demnach mit durchschnittlich 128 Schiebeoperationen zugegriffen werden. Der 4-Phasen-Takt bestimmt die Datenrate, die 125 kHz...1 MHz betragen kann (im Temperaturbereich von 0...70 °C). Abhängig von der Schiebefrequenz ist die durchschnittliche Zugriffszeit 100 µs...1 ms (Elektromechanische Speicher: 2...100 ms). Benötigt werden zwei Spannungsquellen (+12 V, –5 V), wobei die Leistungsaufnahme bei 1 MHz etwa 150 mW beträgt.

Tabelle 1: Wichtigste Daten der verschiedenen Speichertechnologien

Technologie	Std-TTL	S-TTL	ECL	I^2L	P-MOS	N-MOS	CMOS	CCD
Fläche¹) [10^{-4} mm^2]	340	128		31	68	36	321	
Geschwindigkeit [ns]	50...100	30...50	10-20	10...100	300...400	150...300	50...100	100...200
Leistung [µW/bit]	2 000	500	500	10	100	100	20	10
Geschw.-Leistgs.-Prod. [pJ]	100...200	15...25	5...10	0,1...1	30...40	15...30	1...2	1...2
Maskenschritte	7	7	7	4	4	5	6	5
Diffusionsschritte	4	4	4	2	1	3	3	3
Integrationsgrad [bit/Chip]	256	1 024	1024	–	4096	4096	1024	16K

¹) für ein Gatter mit 4 Eingängen

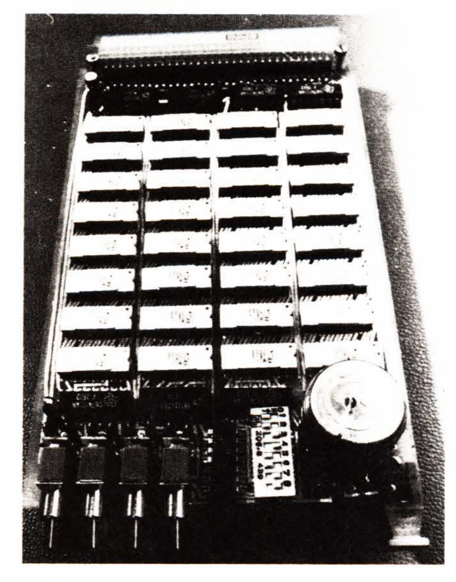
Technologie	Kapazität (bit)	Organisation	Hersteller	Typ(en)	Zugriffszeit in ns: Chip-Enable-	Adreß-	Zykluszeit in ns	Leistungsaufnahme in mW Ruheleistung in µW	Bemerkungen generell	
ECL	256	256 x 1	Fairchild	10410	12	35	≙ Adreß-Zugriffszeit	676[1])	Ausgang: offener Emitter; Versorgungsspg. -5,2 V; [1]) bei 0...70 °C; [2]) bei 25 °C	I
				95 410	(7)	(25)		(470)		II
			Motorola	MCM 10 144	10	30		520[2])		
			Signetics	10 144	10	30		580[2])		
			Tex.Instr.	SN 10 144	12	35		650[2])		
	1024	1024 x 1	Fairchild	10 415	30	60		780[1]) 650[2])		I
				10 415 A	(7)	(25)		(470)		I
				95 415	35	75		780[1]) 650[2])		II
			Motorola	MCM 10 146		(22)		(510)		
TTL	576	64 x 9	Signetics	N82 S09[3])	50	50	≙ Adreß-Zugriffszeit	1000[1])	Versorgungsspg. 5V; [1]) bei 0...70 °C; [2]) bei 25 °C; Ausgang: [3]) offener Kollektor, [4]) Tristate	
			Fairchild	93 419[3])	(<30)	(30)		(750)		
	1024	1024 x 1	AMD	Am 93 415[3])	40	70		775[1])		
				Am 93 415A[3])	30	45		850[1])		
			Fairchild	93 415[3])/25[4])	55	90		650[2]), 775[1])		
				93 415A[3])/25A[4])	(15)	45		650[2]), 775[1])		
				93 L 415[3])	50	95		275[2]), 325[1])		
			Intersil	IM 5508[3])/18[4])	40	100		600[1])		
				IM S08A[3])/18A[4])		45		650[1])		
				IM S08[3])/18[4])	30	70		650[1])		
			Signetics	N 82 S10[3])/11[4])	30	45		650[2]), 775[1])		
			Tex. Instr.	SN 74 S209[4])/309[3])	40	100		700[1])		
CMOS	1024	256 x 4	AMI	S5101A/AL		650	650	75[1]) 50[2])	Vers.-Spg. 5 V (falls k. Bem.): [1]) bei 1 MHz, 0...70°C; [2]) bei 0...70 °C; [3]) bei -40...85 °C; [4]) bei 25 °C; [5]) bei 1 MHz, -40...85 °C; [6]) bei -40...85 °C, 5 V; [7]) bei -40...85 °C, 10 V; [8]) bei 25 °C, 10 V	
				S5101 L		650	650	110[1]) 50[2])		
				S 5101-3/L-3		650	650	110[1]) 1000[2])		
			Intel	5101/-1		650/450	650/450	110[2]) 75[2])		
				5101-3		650	650	110[2]) 1000[2])		
				5101-8		800	800	150[2]) 2500[2])		
				5101L/L-1		650/450	650/450	135[2]) 30[2])		
				5101L-3		650	650	135[2]) 400[2])		
			Intersil	IM 6551/61		460	730	500[3])		
				IM6551A/61A		150	245	5000[7])		III
			Nipp. El.	µPD 5101 E		1000	1000	135[2]) 500[2]		
			Nat. Semic.	MM 74 C 920		250	285	500[3])		
			RCA	MWS 5040 D		(150)	(160)	(4)[4]) (150)[4])		IV
		1024 x 1	Harris	HM 6508/18		400	650	16[5]) 500[3])		
				HM 6508 B/18 B		290	465	16[5]) 50[3])		
			Intersil	IM 6508/18		460	730	10[6]) 500[6])		V
				IM 6508/18 A		150	245	40[7]) 5000[7])		III
				IM 6508-1/ 8-1		300	465	10[6]) 50[6])		V
				IM 6508A-. /18A-1		95	160	40[7]) 1000[7])		III
			RCA	MWS 5001 D		(150)	(160)	(20)[4]) (1000)[4])		IV
				MWS 5501 D		(90)	(100)	(20)[8]) (1000)[8])		VI
N-MOS (dynamisch)	4096	4096 x 1	AMD	Am 9050 C/D/E	280/230/180	300/250/200	470/430/400	720[1])	Versorgungsspg. 12 V/± 5 V (falls keine Bemerkung); Taktpegel TTL oder 12 V (siehe Bemerkung); [1]) bei 0...70°C; [2]) bei 25°C; [3]) Spalten-Adreß-Zugriffszeit; [4]) Reihen-Adreß-Zugriffszeit	VII, IX
				Am 9060 C/D/E	280/230/180	300/250/200	470/430/400	720[1])		VII
			AMI	S 4021		400/300/250/200	400	480[1])		VII
			AMS	7270-11/-12	180/250	200/270	400/470	720[2])		VII, IX
				7280-11/-12	180/250	200/270	400/470	720[2])		VII
			Fairchild	4096-2	120[3])	200[4])	300	420[1])		VIII
				4096-3	150[3])	250[4])	365	360[1])		VIII
				4096-4	175[3])	300[4])	425	325[1])		VIII
				4096-5	200[3])	350[4])	500	300[1])		VIII
			Intel	2104/-2/-4	200/150/170[3])	350/250/300[4])	500/375/425	730[2])		VIII
				2107 A	280	300	700	458[2])		VII
				2107 A-1	260	280	550	516[2])		VII
				2107 A-4	330	350	840	405[2])		VII
				2107 A-5	400	420	970	376[2])		VII
				2107 B/B-4	180/250	200/270	400/470	648[2])		VII
				2107B-6	320	350	800	840[2])		VII
			Intersil	IM 7507/-1/-2	280/230/180	300/250/200	470/430/400	770[1])		VII
			MMI	2180/-4	180/250	200/270	400/470	720[1])		VII
			Mostek	4027 P-2/P-3		150/200[4])	320/370	450[1])		VIII
				4096 P-6	140[3])	250[4])	375	460[1])		VIII
				4096 P-11/P-16	200/165[3])	350/300[4])	500/425	380[1])		VIII
				4200 P-11/P-16		350/300[4])	500/425	380[1])		VIII
			Motorola	MCM 6604/-2/-4	200/150/175[3])	350/250/300[4])	500/400/450	522[1])		VIII
				MCM 6605A/A-2/A-4	280/130/180	300/150/200	590/390/490	437[1])		VII
			Nipp.El.	µPD 411D/D-1/D-2	280/230/180	300/250/200	470/470/400	720[2])		VII
				µPD 411D-3/D-E	130/320	150/350	380/800	720[2])		VII
				µPD 414 D-1	140[3])	250[4])	375	600[2])		VIII
			Nat. Semic.	MM 5270/-5	180/250	200/270	400/470	(420)		VII, IX
				MM 5271	250	250	400	(420)		VIII, IX
				MM 5280/-5	180/250	200/270	400/470	(420)		VII
				MM 5281	250	250	400	(420)		VIII
			Siemens	HYB 4060/60 A	280/330	300/350	470/600	720[1])		VII
			Signetics	2604	220	300	470	720[1])		VII
				2680/-1/-2	180/250/320	200/270/350	400/470/800	650[2])		VII
			Tex. Instr.	TMS 4030	300		470	725[1])		VII, X
				TMS 4050/-1/-2	280/230/180	300/250/200	470/430/400	720[1])		VII, IX
				TMS 4060/-1/-2	280/230/180	300/250/200	470/430/400	725[1])		VII
			West. Dig.	RM 1701-25/-30		250/300	470	420[1])		VII
				RM 1701-35/-40/-45		350/400/450	560/650/740	420[1])		VII

Tabelle 2. Zusammenstellung der lieferbaren RAMs

Technologie	Kapazität (bit)	Organisation	Hersteller	Typ(en)	Chip-Enable- Zugriffszeit in ns	Adreß-	Zykluszeit in ns	Leistungsaufnahme in mW Ruheleistung in µW	Bemerkungen generell	
N-MOS (statisch)	1024	128 x 8	Motorola	MCM 6810 AL	300	500		650^{1})		
		256 x 4	AMD	Am 2101/2111/2112	800	1000	≙ Adreß-Zugriffszeit	350^{1}), 300^{2})		
				Am 2101-1/2111-1	350	500		350^{1}), 300^{2})		
				Am 2101-2/11-2/12-2	400	650		350^{1}), 300^{2})		
				Am 9101A/9111A	200	500		275^{1}), 250^{2})		
				Am 9101B/9111B	175	400		275^{1}), 250^{2})		
				Am 9101C/9111C	150	300		300^{1}), 275^{2})		
				Am 9101D/9111D	125	250		300^{1}), 275^{2})		
				Am 91L01A/L11A	200	500		165^{1}), 155^{2})		
				Am 91L01B/L11B	175	400		165^{1}), 155^{2})		
				Am 91L01C/L11C	150	300		180^{1}), 170^{2})		
				Am 9112A/L12A	175	500		275/165^{1}), 250/155^{2})		
				Am 9112B/L12B	150	400		275/165^{1}), 250/155^{2})		
				Am 9112C/L12C	125	300		300/180^{1}), 275/170^{2})		
				Am 9112 D	100	250		300^{1}), 275^{2})		
			Fairchild	3538/-1	400/200	650/450		300^{1})		
				3538 F	180	350		300^{1})		
				35L38/A/B	350/200/200	650/500/400		165^{1})		
			Gen. Instr.	RA-3-4256/A/B		500/650/650		500		
			Intel	2101/2111/2112	800	1000		350^{1})		
				2101-1/2111-1	350	500		350^{1})		
				2101-2/11-2/12-2	400	650		350^{1})		
				2101A/11A/12A		350		300^{1})		
				2101A-2/11A-2/12A-2		250		350^{1})		
				2101A-4/11A-4/12A-4		450		300^{1})		
			Nipp.El.	µPD 412	430	1000		260^{3})		XI
			Nat.Semic.	MM 2101/11/12	800	1000		350^{1}), 300^{2})		
				MM 2101-1/11-1	350	500		350^{1}), 300^{2})		
				MM 2101-2/11-2/12-2	400	650		350^{1}), 300^{2})		
				MM 5269	500	1000		350^{1})	Versorgungsspannung 5 V (falls keine Bemerkung): ^{1}) bei 0...70 °C; ^{2}) bei 25 °C; ^{3}) bei -10...70 °C	
			RCA	MW 7040 D	(200)	(350)		(450)		XI
			Signetics	2606		750		400^{1}), 350^{2})		
				2606-1	300	500		400^{1}), 350^{2})		
			Tex. Instr.	TMS 4039/4042/4043	800	1000		350^{1}), 300^{2})		
				TMS 4039-1/42-1	400	650		350^{1}), 300^{2})		
				TMS 4043-1	500	650		350^{1}), 300^{2})		
				TMS 4039-2/42-2/43-2	350	450		350^{1}), 300^{2})		
		1024 x 1	AMD	Am 9102/02A/02B	200/175/150	650/500/400	≙ Adreß-Zugriffszeit	250^{1}), 225^{2})		
				Am 9102C/02D	125/100	300/250		275^{1}), 250^{2})		
				Am 91L02/L02A/L02B	250/200/200	650/500/400		150^{1}), 140^{2})		
				Am 91L02C	125	300		165^{1}), 155^{2})		
			EMM	SEMI 1801		90		630^{2})		XII
			Fairchild	2102/02-1/02-2	500/200/400	1000/450/650		350^{1})		
				2102 F	180	350		350^{1})		
				21L02/L02A/L02B	250/200/200	650/500/400		158^{1})		
				3542/42-2	100/90	150/120		250^{1})		
			Intel	2102A/A-4/A-6	180/230/400	350/450/650		275^{1})		
				2102 AL/AL-4	180/230	350/450		165^{1})		
				2102 A-2/AL-2	130	250		325^{1})		
				2115/2125	45	95		500^{1})		
				2115-2/25-2	40	70		625^{1})		
				2115L/25L	50	95		325^{1})		
			Intersil	IM 7552/52-1/52-2	200	1000/500/650		350^{1})		
			Mostek	4102P/P-1	300/200	1000/450		350^{1})		
				4102P-6	150	275		400^{1})		
			Nat.Semic.	MM 2102/02-1/02-2	500/350/400	1000/500/650		350^{1}), 300^{2})		
			SGS	M330A/B/C	500/400/350	1000/650/500		350^{1}), 300^{2})		
			Siemens	SAB 2102/02-1	500/350	1000/500		350^{1})		
			Signetics	2102/02-1/02-2	500/350/400	1000/500/650		350^{1}), 300^{2})		
				21F02/F02-2/F02-4	(180/130/230)	350/250/450		350^{1}), 300^{2})		
				21L02/-1/-2/-3	500/350/400/300	1000/500/650/400		200^{1})		
				2602/02-1	600/300	1000/500		200^{1})		
			Tex. Instr.	TMS 4033/34/35	200/300/500	450/650/1000		350^{1})		
	2048	256 x 8	Fairchild	3539/91/92	650/400/500		650/400/500	500^{1})		
	4096	1024 x 4	AMD	Am 9130A/B/C/E	500/400/300/200		840/690/530/370	675^{1}), 600^{2})		
			Intel	2114	200...450		200...450	500		
		4096 x 1	AMD	Am 9140A/B/C/E	500/400/300/200		840/690/530/370	675^{1}), 600^{2})		
			EMM	SEMI 4200	215		400	615^{2})		XI
				SEMI 4402/A/B	200/150/100		350/350/300	615^{2})		IX
			Gen. Instr.	RA-3-4200	215		400	615^{1})		XI
				RA-3-4402	200		350	285^{2})		IX

Bemerkungen zur Tabelle: typ. Werte in Klammern, sonst Maximalwerte

I spannungskompensiert, II temperaturkompensiert, III Vers.-Spg. 4...11 V, IV Vers.-Spg. 4.5...6 V, V Vers.-Spg. 4...7 V, VI Vers.-Spg. 4.5...10 V, VII Taktpegel 12 V, VIII Taktpegel TTL, IX Vers.-Spg. 12 V/-5 V, X Vers.-Spg. 12 V/5 V/-3 V, XI Vers.-Spg. 12 V/± 5 V, XII Vers.-Spg. 15 V/5 V/-3.5 V



Da Schreib-/Lesespeicher in CMOS-Technik nur eine sehr geringe Leistung aufnehmen, kann man sie mit Batterien bzw. mit NiCd-Akkumulatoren puffern, so daß man „quasi-nichtflüchtige" Speichersysteme erhält. Ein solches Speichersystem mit einer Kapazität von 4 K x 8 bit ist im Bild dargestellt, das von der Firma Frank & Britting auf einer Europakarte angeboten wird

Allerdings bekommt dieser Baustein demnächst Konkurrenz von einem weiteren 16-Kbit-Chip, der von Fairchild angekündigt ist. Dieses Unternehmen hat bereits einen 9-Kbit-CCD-Speicher – den CCD 450 – herausgebracht. Er ist aus neun Schieberegistern mit je 1024 bit aufgebaut. Der neue 16-Kbit-Baustein soll kürzere Zugriffszeiten und höhere Datenraten haben als die Intel-Version [30].

Auch im Zentrallaboratorium der Firma Siemens beschäftigt man sich mit CCD-Halbleiterspeichern. So wird derzeit an der Entwicklung eines sog. C³RAM *(Continously Charge-Coupled Random-Access Memory)* gearbeitet [44], der aus 1-Transistor-Speicherzellen aufgebaut ist und deshalb auf jedes Bit in etwa 450 ns zugegriffen werden kann. Ein vollständiger Schreib-/Lesezyklus erfordert etwa 1 µs. Auf der gleichen Chipfläche wie bei den neuen 16-K-N-MOS-RAMs sollen bei diesem CCD-Speicher 32 Kbit untergebracht werden können.

6 Vergleich

In diesem Abschnitt werden die einzelnen Techniken noch einmal kurz mit ihren wichtigsten Eigenschaften gegenübergestellt. Die *Tabelle 1* gibt eine Übersicht über Produktionsschritte, Flächenbedarf, Geschwindigkeit und Leistungsbedarf. Daraus ist ersichtlich, daß die I²L-Technik sehr vielversprechend ist. Sie hat den geringsten Flächenbedarf und liefert das kleinste Geschwindigkeits-Leistungs-Produkt. Es wird nur ein Diffusionsschritt mehr benötigt als bei der am einfachsten herzustellenden P-MOS-Technik.

Bild 11 zeigt die Kostenentwicklung der letzten Jahre und eine Vorausschau auf die zukünftige Entwicklung [50]. In *Bild 12* ist die Aufteilung des Weltbedarfs für die verschiedenen Techniken dargestellt. Daraus ist ersichtlich, daß der Anteil der bipolaren und der 4-Kbit-MOS-Bausteine ständig steigt, während der Einsatz von Kernspeichern und 1-Kbit-MOS-Bausteinen zurückgeht. Für 1980 werden die neuen 16-Kbit-Bausteine das Hauptspeicherelement sein [45].

7 Übersicht über erhältliche Speicherbausteine

In diesem Abschnitt wird eine Übersicht über erhältliche Speicherbausteine gegeben *(Tabelle 2)*. Als Gliederungsmerkmale wurden dabei die verwendete Technik und die Speicherkapazität benutzt. Folgende Daten erscheinen für den Anwender am wichtigsten:

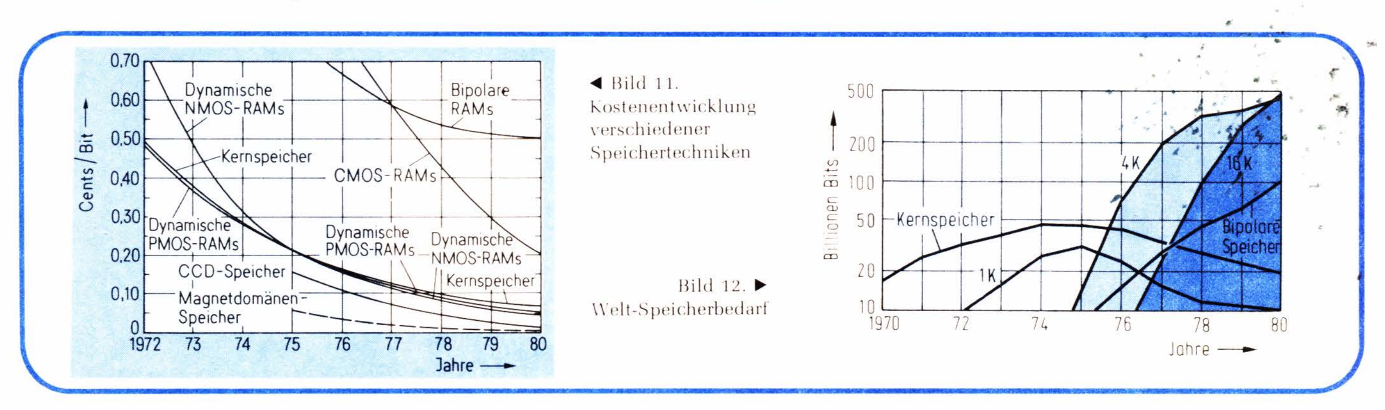
a) Chip-Enable-Zugriffszeit = Verzögerungszeit vom gültigen Chip-Enable-Signal bis zu den gültigen Ausgangsdaten;
b) Adreß-Zugriffszeit = Verzögerungszeit von der gültigen Adresse bis zu den gültigen Ausgangsdaten (bei den dynamischen 4-Kbit-Bausteinen im 16poligen Gehäuse sind statt dessen Spalten- und Reihenadreß-Zugriffszeit angegeben);
c) Leistungsverbrauch (bei den CMOS-Bausteinen ist neben der Aktivleistung auch der Ruheleistungsverbrauch interessant).

Die nicht markierten Werte sind Maximalwerte. Da nur sie vom Hersteller garantiert werden, sollten sie bei einem Schaltungsentwurf ausschließlich benutzt werden. Einige Hersteller geben allerdings nur typische Werte an. Diese sind in der Tabelle in Klammern gesetzt.

8 Anwendungen

Da die Halbleiterspeicher in einem weiten Spektrum an Geschwindigkeit und Integrationsgrad erhältlich sind, können sie für alle Anwendungen eingesetzt werden, in denen Speicher gebraucht werden [4, 34...36]. Als „Notizzettelspeicher" *(scratch-pad memory)* werden kleine, schnelle Speicher benötigt, um Zwischenergebnisse vorübergehend zu speichern und zur Weiterverarbeitung schnell wieder abrufen zu können. Nur ECL- und bipolare Bausteine haben die dafür erforderliche kleine Zugriffszeit (10...20 ns). Außerdem ist ihre Zykluszeit gleich der Zugriffszeit, so daß die Systemgeschwindigkeit nicht beeinträchtigt wird. Die benötigten Kapazitäten liegen zwischen 64 und 256 bit.

Die zweite wichtige Anwendung für Bipolarspeicher und kleinere, schnelle MOS-Bausteine (50...100 ns, 256...1024 bit) sind die Pufferspeicher *(cache memory)* in Speicherhierarchien. Sie sind zwischen das Rechenwerk und den Arbeitsspeicher geschaltet und enthalten oft benötigte Daten. Da man auf diese Weise viele Zugriffe zum langsameren Arbeitsspeicher spart, kann die Geschwindigkeit größerer Systeme ohne große Kostensteigerung erheblich erhöht werden.



◄ Bild 11. Kostenentwicklung verschiedener Speichertechniken

Bild 12. ► Welt-Speicherbedarf

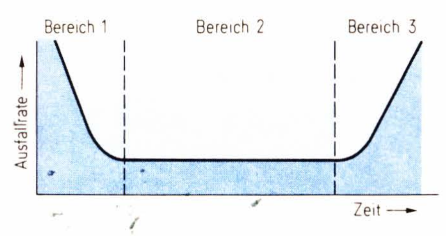


Bild 13.
Verlauf der Ausfallrate

Seit die Halbleiterspeicher preislich konkurrenzfähig zu den magnetischen Speichern sind, werden sie auch als Arbeitsspeicher in Mikro-, Mini- und Großcomputern sowie für Steuerfunktionen eingesetzt. Hierfür kommen MOS-Speicher mit Kapazitäten von 1024...4096 bit in Frage.

Mit CCD-Speichern lassen sich billige, hochintegrierte Speicher aufbauen. Wegen ihres seriellen Charakters sind sie hauptsächlich als Massenspeicher geeignet. Echt wettbewerbsfähig mit den herkömmlichen Massenspeichern werden sie aber erst mit den 64-Kbit-Bausteinen, von denen Prototypen für das nächste Jahr angekündigt sind.

CMOS-Speicher werden hauptsächlich dort eingesetzt, wo es auf geringen Leistungsverbrauch ankommt (transportable Datenverarbeitungsanlagen, Weltraumanwendungen). Wegen ihres extrem geringen Ruheleistungsverbrauches lassen sich mit CMOS-Bausteinen auch quasi-spannungsunabhängige Speichersysteme aufbauen. Eine Hintergrund- bzw. Pufferbatterie übernimmt beim Ausfall der Versorgungsspannung die Stromversorgung und sorgt so dafür, daß die gespeicherte Information erhalten bleibt.

9 Zuverlässigkeit

9.1 Ausfallmechanismen

Die grafische Darstellung der Ausfallrate [37] in Abhängigkeit vom Haupteinflußparameter (z. B. Zeit, Temperaturzyklen, Lastspiele) wird wegen ihres typischen Verlaufes „Badewannenkurve" genannt *(Bild 13)*. Bei elektronischen Bauteilen ist der Haupteinflußparameter im allgemeinen die Zeit. Aus dem Verlauf der Badewannenkurve lassen sich drei Bereiche erkennen:

Bereich 1: Frühausfälle

Sie entstehen hauptsächlich durch Herstellungsfehler und können daher durch sorgfältige Produktionskontrollen reduziert werden. Die restlichen Fehler sollten anschließend durch verschiedene Testmethoden (z. B. Temperaturtests) erkannt werden. Das Ende dieses Bereiches sollte mit dem Zeitpunkt übereinstimmen, zu dem das Bauteil das Prüffeld verläßt.

Bereich 2: Zufallsausfälle

In diesem Abschnitt ist die Ausfallrate konstant. Er sollte die normale Betriebsdauer umfassen. Die auftretenden Fehler lassen sich in zwei Gruppen aufteilen: Chipausfälle und Gehäuseausfälle. Bei den Gehäuseausfällen treten Fehler hauptsächlich an den Bondierungen auf. Bei den Chipausfällen stehen Mikrorisse der Metallisierungen und Oxidfehler an erster Stelle.

Bereich 3: Verschleißausfälle

Infolge Abnutzungserscheinungen steigt die Ausfallrate in diesem Bereich stark an. Hierfür gibt es bei Halbleiterbausteinen im wesentlichen zwei Gründe: Elektromigration (Wanderung der Metallatome in den Metallisierungen aufgrund von Strömen) und elektrolytische Korrosion in Plastikgehäusen.

Alle eben erwähnten Fehler führen zu einem endgültigen Ausfall des betreffenden Bausteins. In Speichersystemen können zusätzlich noch temporäre Fehler auftreten durch Störungen auf den Leitungen, durch Auffrischfehler (bei dynamischen Speichern) oder durch Empfindlichkeit der Bausteine gegenüber Informationsmustern, wenn beim Schreiben eines Bits benachbarte Bits verfälscht werden.

9.2 Ausfallraten bei Speicherbausteinen [13, 38, 39]

Ausfallraten sind Erfahrungswerte und können daher nur angegeben werden, wenn eine große Anzahl von Bausteinen über eine lange Zeit getestet oder betrieben wurden. Daher gibt es im Augenblick zuverlässige Angaben nur für bipolare Bausteine mit Kapazitäten bis 256 bit (λ = 0,01 %/1000 h). Für die 1024-bit-Bausteine wird eine Ausfallrate von λ = 0,015 %/1000 h angegeben. Für die MOS-Speicher sind entweder gar keine Angaben für die Ausfallrate zu bekommen oder aber sie schwanken in einem weiten Bereich (λ = 0,01...0,1 %/1000 h).

9.3 Erhöhung der Systemzuverlässigkeit

Durch schaltungstechnische Maßnahmen kann die Zuverlässigkeit eines Speichersystems erheblich erhöht werden. Hierbei stehen an erster Stelle die Fehlererkennung und Fehlerkorrektur (EDC = *error detection and correction*). Dazu werden dem Datenwort ein oder mehrere Paritybits zugefügt. Am gebräuchlichsten ist eine 1-bit-Fehlerkorrektur mit Hilfe des Hamming-Codes [40]. Hierfür sind bitorganisierte Speicherbausteine am geeignetesten, da beim Ausfall eines Bausteins nur ein Bit verfälscht wird.

Es gibt aber auch Spezial-Codes, um mehrere benachbarte Fehler (z. B. 4 Fehler bei Verwendung 4 bit breiter Bausteine) zu korrigieren [41].

10 Ausblick

Der Integrationsgrad von Speicherbausteinen ist in den letzten Jahren mit einer Schnelligkeit gestiegen, die selbst Optimisten nicht vermutet hätten. Bis 1980 werden bereits 64-Kbit-Speicher auf dem Markt erwartet; an ihnen wird zur Zeit eifrig in den Labors gearbeitet. Durch Anwendung neuer Techniken und verfeinerter Herstellungsverfahren (Elektronenstrahl-Lithografie, Ionenätzung) ist aber wahrscheinlich eine weitere Steigerung möglich.

Literatur

1 *Vlutters:* Ferromagnetische Kernspeicher. Der Elektroniker, H. 4/1972, S. 153...161.

2 *Metzdorf:* Schnelle magnetische Speicher. Der Elektroniker, H. 4/1972, S. 162...172.

3 *Gibson, Trunley:* Magnetschichtdrahtspeicher. Der Elektroniker, H. 4/1972, S. 173...174.

4 *Riley:* Special report: Semiconductor memories are taking over data-storage-applications. Electronics, August 2, 1973, S. 75...90.

5 *Koehler:* Advances in Memory Technology. Computer Design, Juni 1974, S. 71...77.

6 *Gilder:* The Great Memory Battle goes on, but semiconductors appear the ultimate victors. Electronic Design, Oktober 25, 1974, S. 40...48.

7 *Frankenberg:* A Minicomputer Designer Chooses Semiconductor Over Core Memory. Computer Design, März 1975, S. 59...68.

8 *Dames:* Kernspeicher sind weiter gefragt. Siemens Bauteile Report 13, H. 1/1975, S. 27...29.

9 *Dirks:* Lange Datenworte in RAM mit kleiner Wortlänge gespeichert. ELEKTRONIK 1973, H. 6, S. 219...220.

10 Intel 4-K RAM speeding up to 80 ns access. Electronics, Februar 20, 1975, S. 29...30.

11 *Henn:* Bipolar Dynamic Memory Cell. IEEE Journal of Solid-State Circuits, Vol. SO-6, Nr. 5, Oktober 1971, S. 297...300.

12 *Kuo et al.:* Sense amplifier design is key to 1-transistor cell in 4096-bit RAM. Elektronics, September 13, 1973, S. 116...121.

13 *Carr et al.:* Semiconductor Memory-Design and Application. Texas Instruments Electronics Series, Mc Graw-Hill Book Company, 1973.

14 Das Isoplanar-Verfahren. ELEKTRONIK 1971, H. 9, S. 324...325.

15 *Fields:* The great bipolar RAM race. Electronics, Juli 3, 1972, S. 65...66.

16 *Mudge, Taft:* V-ATE memory scores a new high in combining speed and bit density. Electronics, Juli 17, 1972, S. 65...69.

17 *Polke, Oestreich.:* CDI – ein neuer bipolarer Prozeß für LSI-Schaltungen. ELETRONIK 1972. H. 1. S. 29...30.

18 *Bast:* I^2L: Neue bipolare Logik mit hoher Packungsdichte. Elektronikpraxis. H. 10/1975. S. 7...10.

19 *Berger, Wiedmann.:* The bipolar LSI breakthrough. Electronics. Sept. 4. 1975. S. 89...95 (Teil 1) und Okt. 2. 1975. S. 99...103 6Teil 2).

20 *Carlyle, Leibbrand:* Die MOS-Technik. ELEKTRONIK 1969, H. 1, S. 3...6 (Teil 1) und H. 2. S. 47...52 (Teil 2).

21 *Kvamme:* MOS-Speichersysteme. ELEKTRONIK 1971. H. 3. S. 75...78 (Teil 1): H. 4. S. 133.136 (Teil 2) und H. 5. S. 169...174 (Teil 3).

22 *Haseloff:* Ein MOS-Speicher und seine Schaltungstechnik. ELEKTRONIK 1972. H. 8. S. 263...266 (Teil 1) und H. 9. S. 295...298 (Teil 2).

23 *Vadasz et al.:* Silicon-Gate technology. IEEE Spectrum 1969. H. 10. S. 28...35.

24 *Holle, Nöchel:* Die COSMOS-Technik. ELEKTRONIK 1971. H. 4. S. 111...116.

25 *Schütte:* Silicon on Sapphire: SOS. Elektronikpraxis. H. 12/1974. S. 7...12.

26 Statischer 4096-bit-RAM mit besonders hoher Packungsdichte. ELEKTRONIK 1974. H. 4. S. 116.

27 *Macdougall et al.:* Ion implantation offers a bagful of benefits for MOS. Electronics. Juni 22. 1970. S. 86...90.

28 *Goser, Pfleiderer:* Ladungsverschiebeschaltungen. ELEKTRONIK 1974. H. 1. S. 3...8.

29 *Parzefall:* „Magnetic Bubbles", ein zukunftsreiches Speicherprinzip. ELEKTRONIK 1974. H. 2. S. 39...42.

30 CCD serial-memory capacity climbs to 16 Kbits of storage. Electronic Design 4. Febr. 15. 1975. S. 100.

31 *Kuo et al.:* 16-K-RAM built with proven process may offer high start-up reliability. Electronics. Mai 13. 1976. S. 81...86.

32 *Coe, Oldham:* Enter the 16 384-bit RAM. Electronics. Febr. 19. 1976. S. 117...121.

33 Intel Applikationsbericht: N-MOS: Dynamisches 16-K-RAM mit Adreß-Multiplexer. Elektronikpraxis. H. 5/1976. S. 18...22.

34 *Altman:* Semiconductor random-access memories. Electronics. Juni 13. 1974. S. 108...110.

35 *Davis:* Selection and Application of Semiconductor Memories. Computer Design. Jan. 74. S. 65...77.

36 *Kaplan, Winder:* Cache-based Computer Systems. Computer. März 1973. S. 30...36.

37 *Brümmer:* Einführung in die Zuverlässigkeit elektronischer Bauelemente. Geräte und Systeme. Der Elektroniker. H. 2/1976. S. EL1...EL11.

38 Intel: Reliability Report RR-7 und RR-9.

39 Motorola: Semiconductor Data Library. MOS memories.

40 *Hamming:* Error detecting and error correcting codes. Bell Syst. Techn. J., vol. 29. 1950. S. 147.

41 *Bossen:* b-Adjacent Error Correction. IBM Journ. Res. Develop., Juli 1970. S. 402...408.

42 *Timm:* Im Blickpunkt: ROMs. PROMs und PLAs. ELEKTRONIK 1976. H. 5. S. 38...47.

43 *Brown:* Magnetdomänen-Speicher. ELEKTRONIK 1976. H. 9. S. 45...50.

44 CCD-Halbleiterspeicher können auch als RAM arbeiten. ELEKTRONIK 1976. H. 8. S. 25.

45 Texas Instruments: First Quarter and Stockholders Meeting Report 1976.

46 *Sander et d.:* Dynamic I^2L random-access memory competes with MOS designs. Electronics. Aug. 19. 1976. S. 99...102.

47 *Münchrath:* Integrierte Halbleiterspeicher. ELEKTRONIK 1973. H. 5. S. 169...174.

48 *Kirchner:* Halbleiterspeicher. Der Elektroniker. H. 4/1972. S. 175...184.

49 *Torrero:* Focus on Semiconductor memories. Electronic Design. April 1. 1975. S. 98...107.

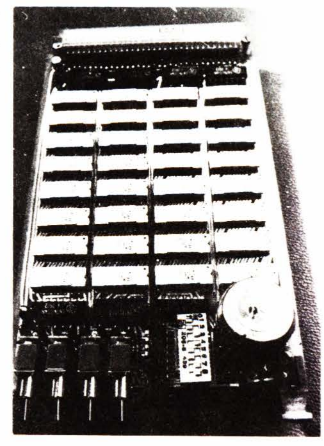
50 *Allan:* Semiconductor memories. IEEE Spectrum. Aug. 1975. S. 40...45.

51 *Hodges:* A Review and Projection of Semiconductor Components for Digital Store. Proceedings of the IEEE. Nr. 8. 1975. S. 1136...1147.



Manfred Schlenther ist in Arys (Ostpreussen) geboren. Er stud. in Braunschweig Elektrotechnik (Fachrichtung Datenverarbeitung). Seit 1970 ist er als wissenschaftlicher Mitarbeiter am Institut für Datenverarbeitungsanlagen der Technischen Universität Braunschweig tätig. Sein Hauptarbeitsgebiet ist die Entwicklung von Speichersystemen für Weltraumanwendungen. Außerdem hat er sich mit der Entwicklung von Ringkernmagnetometern beschäftigt. Hobby: Segeln, Skiwandern. Telefon: d (05 31) 3 91-37 42 p (05 31) 50 43 83 ELEKTRONIK-Leser seit 1970

Statisches 4-KByte-CMOS-Speichersystem auf Europakarte



Durch die Verwendung statischer CMOS-RAMs, die eine sehr geringe Verlustleistung haben, ist es der Firma Frank & Britting gelungen, auf einer Europakarte ein Speichersystem mit einer Kapazität von 4 K zu je 8 bit aufzubauen. Diese Speicherkarte Typ FBCMR 4 K x 8/1 eignet sich beispielsweise a) zur Realisierung großer und schneller Arbeitsspeicher, die man gegebenenfalls über einen zentralen Akkumulator puffern kann; b) zum Aufbau nicht flüchtiger Speicher für Mikrocomputer-Entwicklungssysteme. Diese Anwendung ist besonders interessant. So können Programme und Daten beim Austesten gegen Überschreiben geschützt werden (Speicherschutzschalter für jedes KByte). Außerdem bleiben beim Abschalten des Systems oder bei Stromausfall die eingegebenen Daten erhalten, weil die Speicher über einen Puffer-Akkumulator versorgt werden. Darüber hinaus kann man bei der Systementwicklung auf die Verwendung von löschbaren PROMs verzichten, weil z.B. Programme bis zu ihrer endgültigen Festlegung auf der Karte erhalten bleiben. Löschungen und Modifikationen können selektiv durch übliche Schreib-Operationen vorgenommen werden; es ist keine UV-Lösch- oder Reprogrammiereinrichtung notwendig. Steht das Programm nach den Tests endgültig fest, kann es nach Ausgabe, z.B. auf Band oder Lochstreifen, sofort in bipolare PROMs oder (bei größeren Stückzahlen) in Masken-ROMs eingespeichert werden. Für viele Anwendungen, wie z.B. Monitorprogramme usw., kann auch dieser Schritt entfallen. In diesem Fall kann das Programm bis auf weiteres in der geschützten RAM-Karte verbleiben. Somit bilden diese CMOS-RAM-Karten eine preisgünstige, schnelle und platzsparende Alternative zu Kernspeichersystemen. Der Preis für die Version S (Zugriffszeit 500 ns) beträgt etwa 2000 DM, für die Version L (Zugriffszeit 750 ns) ungefähr 1700 DM.

□ Hersteller: Frank & Britting GmbH, Postfach 80, 6831 Oberhausen-Rheinhausen, Tel. (0 72 54) 24 15.

Statische 1024-bit-MOS-RAMs ersetzen bipolare Typen

Durch ständige Verbesserungen beim Herstellungsverfahren ist die Firma Intel nunmehr in der Lage, statische RAMs in N-Kanal-Silizium-Gate-MOS-Technik anzubieten, deren Zugriffszeiten exakt denen heutiger bipolarer Typen entsprechen. Die 1-K-Typen 2115 und 2125 sind pinkompatibel mit den statischen, bipolaren Isoplanar-RAMs 93 415 und 93 425 von Fairchild und ebenso wie diese mit „Three-State" – oder „Open-Collector"-Ausgang lieferbar. Die max. Zugriffszeit der Standard-Version beträgt 95 ns, während die Ausführungen 2115-2/2125-2 eine Zugriffszeit von nur 70 ns besitzen! Im Gegensatz zu den genannten bipolaren Typen, die eine max. Verlustleistung von 815 mW aufweisen, beträgt diese bei den MOS-Typen nur 656 mW; sie ist damit um etwa 20 % niedriger, was nicht zuletzt kleinere Netzteile und weniger Kühlaufwand bedeutet. Darüber hinaus ist unter der Bezeichnung 2115L/2125L auch eine Low-power-Ausführung mit max. 95 ns Zugriffszeit lieferbar, die aus einer 5-V-Versorgungsspannung maximal 65 mA benötigt. Die angegebenen Werte sind im Temperaturbereich 0...75 °C garantiert.

Diese TTL-kompatiblen, statischen MOS-RAMs der sog. dritten Generation haben gegenüber dynamischen Ausführungen erhebliche Vorteile. So erfordern sie z.B. keine Datenauffrischung sowie keine Leseverstärker, und sie können auch ohne Taktsteuerung arbeiten. Außerdem ergeben sich bei dynamischen RAMs durch Interfaceschaltungen wie Pegelumsetzer, Treiber und Leseverstärker zusätzliche Laufzeitverzögerungen.

Die neuen Intel-Typen 2115/2125 kosten je nach Version im 16poligen Keramikgehäuse zwischen 43 und 61 DM und im Plastikgehäuse zwischen 36 und 57 DM bei 100er-Stückzahlen.

□ Vertrieb: Intel Semiconductor GmbH, Seidlstr. 27, 8000 München 2, Tel. (0 89) 55 81 41.

Dipl.-Ing. Reinhard Gößler

Ein/Ausgabe-Bausteine für Mikroprozessoren

Einführung – Übersicht – Zusammenstellung

Ein Mikroprozessor-System ist in seiner Minimalkonfiguration bereits mit der Zentraleinheit und dem Arbeits- und Programmspeicher funktionsfähig. Das reicht jedoch in den wenigsten Einsatzfällen aus, weil zum Datenaustausch mit den übrigen Komponenten eines Geräts oder einer Anlage spezielle Ein/Ausgabe-Bausteine erforderlich sind. Den damit verbundenen Erfordernissen wird oft viel zu wenig Bedeutung beigemessen, und so lag es nahe, in einem Report die Problematik des Datenverkehrs vom und zum Mikroprozessor darzustellen und eine umfassende Übersicht über das heutige Angebot an Ein- und Ausgabe-Bausteinen zu geben. Dabei wurde versucht, eine Einteilung nach Funktionen vorzunehmen, um den Überblick und die Einarbeitung zu erleichtern. Allerdings kann eine solche Klassifizierung nur bedingt erfolgen, weil ein Großteil der Bausteine spezifisch für ein Mikroprozessor-System oder eine ganz bestimmte Aufgabe vorgesehen ist. Nach der grundlegenden Einführung in die Mikroprozessor-Praxis [1] und den beiden Reports über die Programm- und Arbeitsspeicher [2, 3] soll mit der vorliegenden Arbeit die Beitragsreihe zur Mikroprozessor-Hardware vervollständigt werden.

1 Einführung

Im Datenverkehr mit dem Mikrocomputer stellt der Ein/Ausgabe-Baustein die Schnittstelle (*Interface*) zur peripheren Schaltung dar (*Bild 1*). Der Datenfluß erfolgt bidirektional über einen oder mehrere Ein/Ausgabe-Kanäle (*I/O-Ports*), deren Breite in der Regel der Wortlänge des Mikroprozessors entspricht, wenn die Übertragung parallel erfolgt. Daneben spielt der bitserielle Datenverkehr eine wichtige Rolle, z. B. bei der Kommunikation mit der Fernschreibmaschine. In den meisten Fällen muß bei der Datenübertragung eine Synchronisation zwischen Mikrocomputer und Peripherie herbeigeführt werden, um unterschiedliche Arbeitsgeschwindigkeiten anzupassen; dazu dienen besondere Zustandssignale, die neben der eigentlichen Information übertragen werden.

Eine Vielzahl der heute angebotenen E/A-Bausteine verfügt über eine sehr hohe Leistungsfähigkeit, die sich darin ausdrückt, daß diese Einheiten weitgehend selbständig arbeiten. Ihr Verhalten läßt sich vom zentralen Prozessor her programmieren, und die Tendenz geht dahin, daß diese Bausteine dem Mikroprozessor die Routinearbeit abnehmen und ihn dadurch entlasten. Die Vorstellung der einzelnen Typen erfolgt hier jeweils am Beispiel eines realen Bausteins; das ist selbsverständlich mit keinerlei Bewertung gegenüber etwaigen Konkurrenztypen verbunden. Ebenso wurde bei der Illustration durch Programmbeispiele auf eine firmenspezifische Assemblersprache verzichtet, um durch eine vereinfachte Symbolik einen leichteren Einstieg zu ermöglichen.

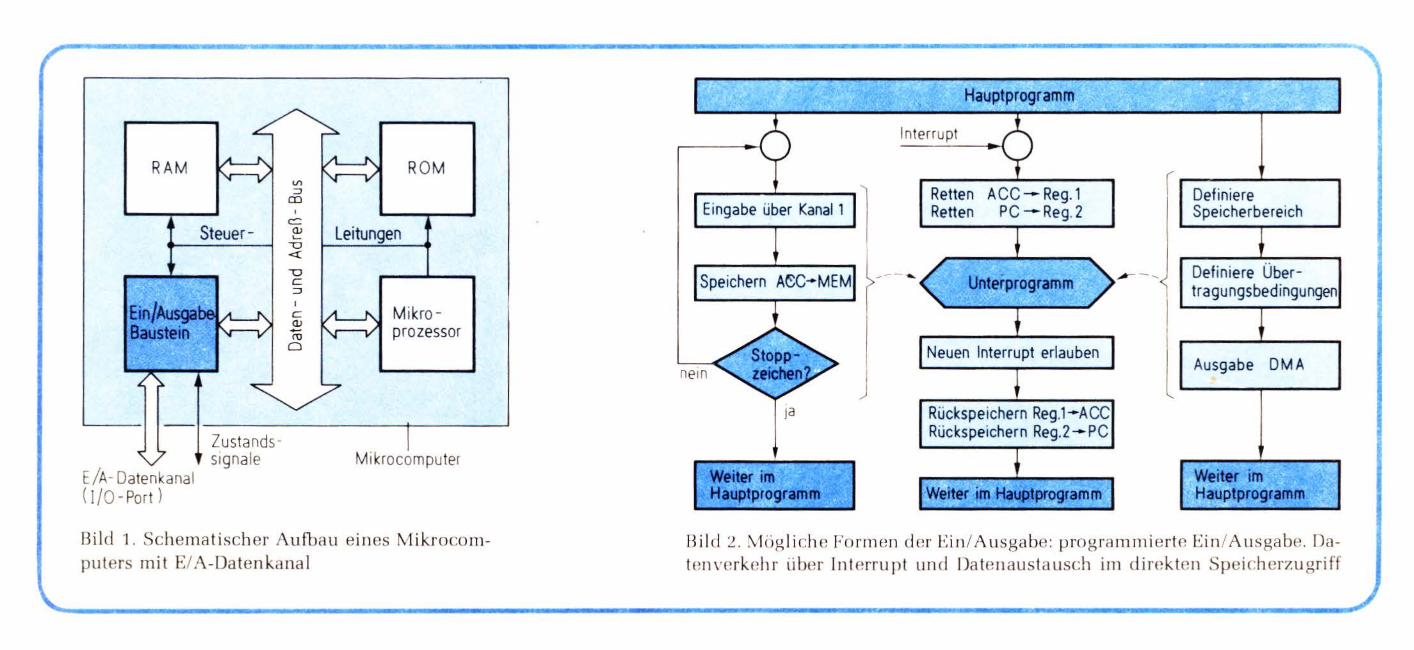


Bild 1. Schematischer Aufbau eines Mikrocomputers mit E/A-Datenkanal

Bild 2. Mögliche Formen der Ein/Ausgabe: programmierte Ein/Ausgabe, Datenverkehr über Interrupt und Datenaustausch im direkten Speicherzugriff

1.1 *Unterschiedliche Ein/Ausgabeformen*

Ohne die weitere Verarbeitung durch die peripheren Elemente zu betrachten, lassen sich drei prinzipielle Möglichkeiten der Daten-Ein- und Ausgabe unterscheiden (*Bild 2*):

- Programmierte Ein/Ausgabe
- Datenverkehr über Interrupt
- Datenaustausch im direkten Speicherzugriff

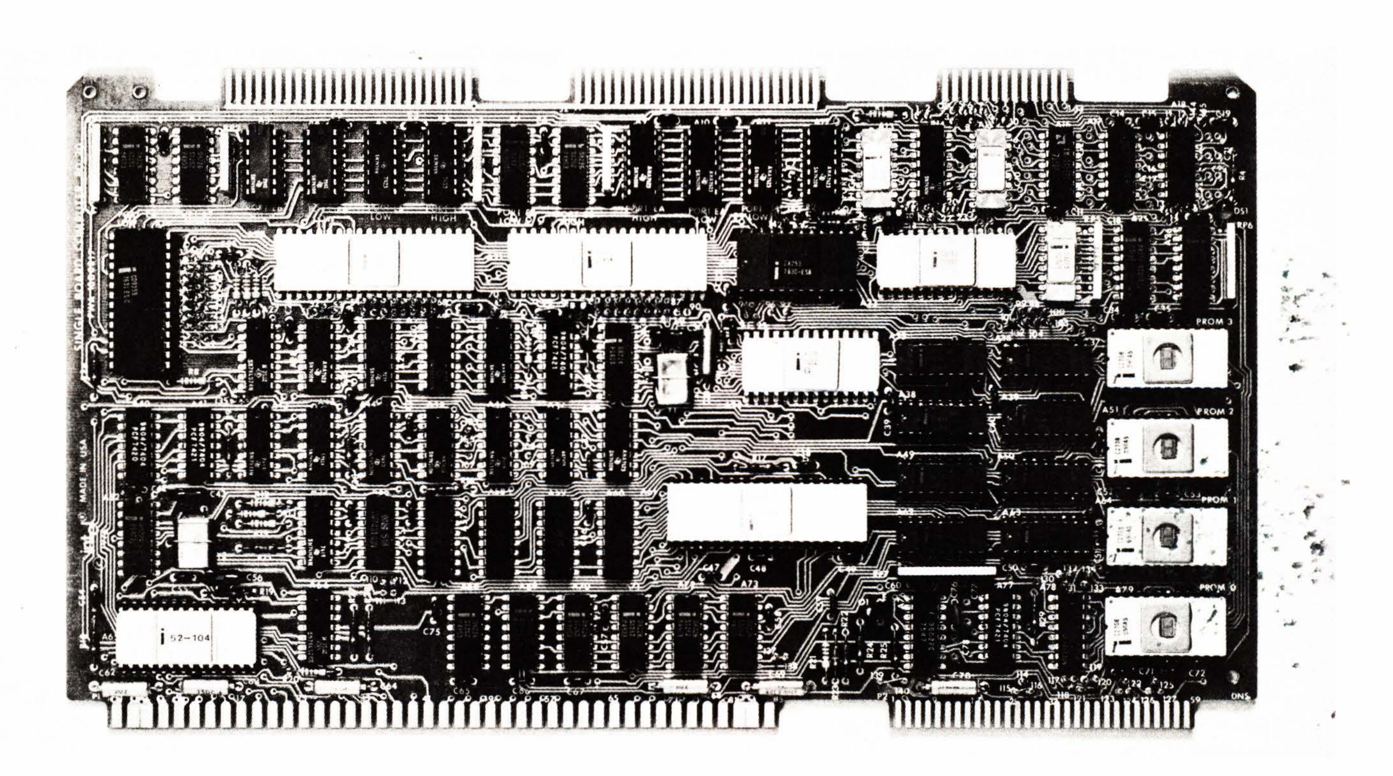
Bei der programmierten Ein/Ausgabe ist ein Programmabschnitt vorgesehen, bei dessen Durchlaufen die Zentraleinheit des Prozessors mit nichts anderem beschäftigt ist als mit dem Ein- bzw. Auslesen. Die Datenworte gelangen in ein vorher bestimmtes Speicherfeld, dessen Adreßzähler bei jedem Durchlauf der Programmschleife so lange um Eins hochgezählt wird, bis z.B. ein zuvor definiertes Stoppzeichen erscheint. Die Übertragungsgeschwindigkeit richtet sich hierbei nach der langsamsten Komponente der Schaltung, und das ist in der Regel das Peripheriegerät. In dieser Betriebsart ist der Mikroprozessor nicht optimal ausgenutzt, weil er nur einen Bruchteil der Zeit aktiv ist und während der übrigen Zeit auf die „Bereit"-Meldung der Peripherie wartet.

Eine wirtschaftlichere Lösung stellt der Datenverkehr über Interrupt dar; hier wird der Prozessor nur dann mit der Ein/Ausgabe-Routine belastet, wenn auch das angeschlossene Gerät unmittelbar dazu bereit ist. Bei der Unterbrechung des laufenden Programms werden die augenblicklichen Zustände der CPU „gerettet", um das Hintergrund-Programm nach Abarbeiten der Interrupt-Routine mit den alten Parametern fortsetzen zu können. Solange die CPU die Rettungsroutine durchführt, kann eine eventuelle zweite Unterbrechung nicht verarbeitet werden; sie wird zurückgestellt, bis die Interrupt-Leitung durch einen speziellen Befehl (*Enable Interrupt*) wieder freigegeben ist.

Im Vergleich zu den beiden erstgenannten Ein/Ausgabeformen stellt der Datenaustausch im direkten Speicherzugriff (DMA) die zeitsparendste Möglichkeit dar. Hierbei braucht die CPU nur einmal den angesprochenen Speicherbereich und die Übertragungsbedingungen an den DMA-Steuerbaustein zu geben und ist danach frei für andere Aufgaben. Den eigentlichen Datenverkehr wickelt der Baustein für die DMA-Steuerung selbständig ab. Natürlich ist es denkbar, die erst- oder letztgenannte Möglichkeit als Unterprogramm zu speichern und über Interrupt aufzurufen, wie es in Bild 2 angedeutet ist. Dabei braucht die Unterbrechung keineswegs von außen zu kommen, sondern sie kann beispielsweise auch über eigene Zeitgeber (*Timer*) erzeugt werden. Einige E/A-Bausteine ermöglichen diese Betriebsart, die den Mikroprozessor-Einsatz optimieren kann, wenn der Zeitpunkt des Datenaustauschs vorher exakt bekannt ist.

2 Floppy-Disk-Anschluß

Am Beispiel des Steuerbausteins FDC 10936 der Firma Rockwell sollen verschiedene Aspekte verdeutlicht werden, die insbesondere beim Anschluß komplexer Peripheriegeräte von Bedeutung sind. Diese Betrachtungen treffen auch auf die übrigen E/A-Bausteine aus dem breitgefächerten Angebot dieses Herstellers zu. Das Vorhandensein eines speziellen Steuerbausteins bedeutet nämlich nicht, daß sich zwischen Mikroprozessor und Peripheriegerät nur eben dieser eine Baustein befindet. Spezialbausteine für die Ein/Ausgabe fassen in der Regel nicht alle, sondern nur einen Großteil der erforderlichen Steuerfunktionen zusammen und brauchen also für den Einsatz noch eine zusätzliche Logik, die „diskret" realisiert werden muß. Das kommt daher, daß man die Integration nur bis zu dem Grad treibt, der den Baustein bei aller Spezialisierung noch möglichst flexibel sein läßt. Im vorliegenden Beispiel würde eine in herkömmlicher Logik aufgebaute IBM-kompatible Floppy-Disk-Steuerung einschließich der Formatierung etwa 150...200 TTL-Schaltungen erfordern. Bei Verwendung des Rockwell-Steuerbausteins benötigt man lediglich 15...20 zusätzliche Bausteine, um die Floppy-Disk-Einheit in freier Formatierung oder IBM-kompatibel anzusteuern. Diese Hardware-Einsparung ist aber nur einer der Vorteile. Als



Der neue „Computer auf einer Leiterplatte" SBC 80/20 von der Firma Intel enthält auch wichtige Ein/Ausgabe-Bausteine: die programmierbare Interrupt-Steuereinheit 8259, das programmierbare Interface (USART) 8251 und das programmierbare Peripherie-Interface 8255



Mit dem Baustein FDC 10936 von der Firma Rockwell läßt sich eine Floppy-Disk-Steuerung einschließlich Formatierung mit nur 15...20 zusätzlichen TTL-Schaltungen aufbauen; 150...200 ICs braucht man, wenn man nur TTL-Schaltungen verwendet

mindestens gleichbedeutend einzuschätzen ist die drastische Reduzierung der CPU-Beanspruchung, die beim Einsatz dieses Bausteins im Mittel lediglich 3 % der CPU-Zeit beträgt und auch bei der Übertragung mit einer Datenrate von 256 kbit/s nicht mehr als 12,5 % der Zeit beansprucht. Daraus resultiert wiederum ein verringerter Aufwand für den Programmspeicher, was die Systemkosten weiter senkt. Aus diesen Angaben geht hervor, welch große Bedeutung den E/A-Bausteinen zukommt und wie vorteilhaft sich die Verteilung der „Intelligenz" auf die peripheren Elemente auswirkt [4].

2.1 *Hardware-Realisierung*

Zum Aufbau der vollständigen Schaltung sind neben dem zentralen Steuerbaustein FDC 10936 noch weitere E/A-Bausteine erforderlich (*Bild 3*). In dieser Konfiguration können zwei Laufwerke angeschlossen werden, so daß damit auf einen schnellen Massenspeicher mit einer Kapazität von 2 x 256 KByte zugegriffen werden kann. Diese Angaben beziehen sich auf zwei Floppy-Disk-Einheiten mit formatierter, einfacher Datendichte (*Formatted Single Density*) und setzen sich aus 128 Byte mal 26 Sektoren mal 77 Spuren zusammen; die mittlere Zugriffszeit liegt bei etwa 10 ms. Der Baustein FDC 10936 übernimmt neben der Generierung der Schreib- und Lesefunktionen auch noch die Aufgaben der Sektor-Adressierung, Datenformatierung, Ablaufsteuerung und des Prüflesens nach dem Einschreiben. Der Datenverkehr zum Arbeitsspeicher läuft über drei DMA-Kanäle ab, deren Verwaltung die DMA-Steuereinheit DMAC 10817 übernimmt. Die Paralleldatensteuerung PDC 10453 dient zur Statusabfrage der Laufwerke, zur Kopfsteuerung und Anwahl der gewünschten Einheit. Es lassen sich alle marktüblichen Laufwerke anschließen. Die Detailschaltung für die Floppy-Disk-Steuereinheit ist ebenso wie ein Leiterplatten-Entwurf von der Herstellerfirma verfügbar.

2.2 *Datenverkehr*

Der eigentliche Datenaustausch mit dem Arbeitsspeicher läuft über den DMA-Kanal 2 ab; er erfolgt stets blockweise, wobei in der IBM-Formatierung jeweils 128 Byte zu einem Datenblock gehören. Über die DMA-Kanäle 1 und 7 gelangen die Steueranweisungen an den E/A-Baustein; dieser stellt die Synchronisierung zwischen dem überlaufenden Magnetkopf und dem jeweiligen Datenzugriff her. Jedem Datentransfer geht eine Adreßüberprüfung voraus. Hierzu und zur Kontrolle der eingeschriebenen Informationen führt der FDC-Baustein ein Prüflesen durch, den sogenannten *Cyclic Redundancy Check (CRC)*. Dieser Test ist kompatibel mit demjenigen der IBM-Floppy-Disk-Einheiten, und er besteht darin, beim Schreiben und Lesen der Daten ein Vergleichspolynom zu erzeugen. Dieser Vorgang läuft ähnlich ab, wie die bekannte Bildung der *Checksum*, nur ist das CRC-Verfahren wesentlich sicherer. Bei Erkennung eines Übertragungsfehlers ist es per Programm möglich, die Übertragung zu wiederholen oder Fehlermeldungen aufzuzeichnen. Hinsichtlich des Formats der zu übertragenden Daten ist dieser E/A-Baustein sehr flexibel; über die Steuerinformationen sind die Anordnung der Informationen, die Aufzeichnungslänge sowie die Lage der Kennungen programmierbar [5, 6, 7].

3 Universeller Datensender/-empfänger (UART)

Zur Abwicklung des seriellen Datenverkehrs in Mikroprozessor-Systemen gibt es ein reiches Angebot an Datensendern/-empfängern, für die sich die Bezeichnung UART (*Universal Synchronous/Asynchronous Receiver/Transmitter*) eingebürgert hat; am Beispiel des MOS-Bausteins 8251 der Firma Intel, der bei diesem Hersteller mit *Programmable Communication Interface* bezeichnet wird, sol-

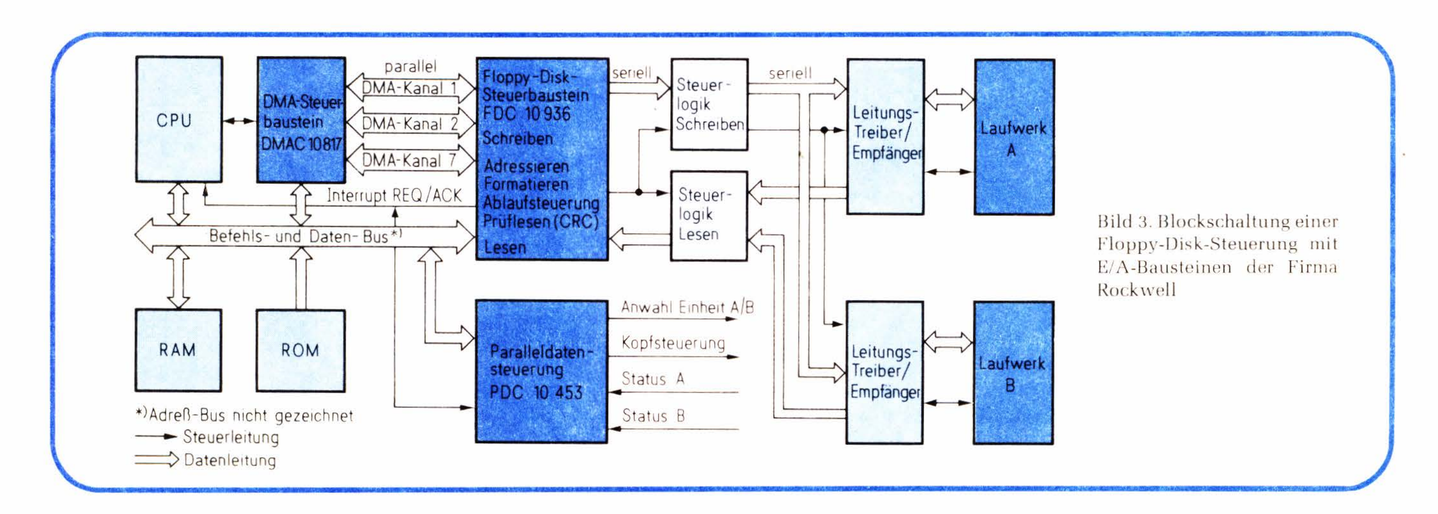


Bild 3. Blockschaltung einer Floppy-Disk-Steuerung mit E/A-Bausteinen der Firma Rockwell

len dessen verschiedene Einsatzmöglichkeiten gezeigt werden [8, 9].

In Abhängigkeit von den im Programm enthaltenen Steuerbefehlen nimmt der Baustein parallele Daten von der CPU auf und setzt sie für die Übertragung in eine kontinuierliche Folge serieller Informationen um *(TxD: Transmit Data)*; gleichzeitig kann er serielle Daten aufnehmen und sie in paralleler Form an die CPU weiterleiten *(RxD: Receive Data; Bild 4)*. Der E/A-Baustein gibt jedesmal dann eine Bereitmeldung ab, wenn die Übertragung eines Zeichens abgeschlossen ist und er mit dem Aussenden eines neuen Zeichens beginnen kann *(TxRDY: Transmitter Ready; TxE: Transmitter Empty)*; ebenso quittiert er der CPU den Empfang eines aufgenommenen Datenwortes *(RxRDY: Receiver Ready)*.

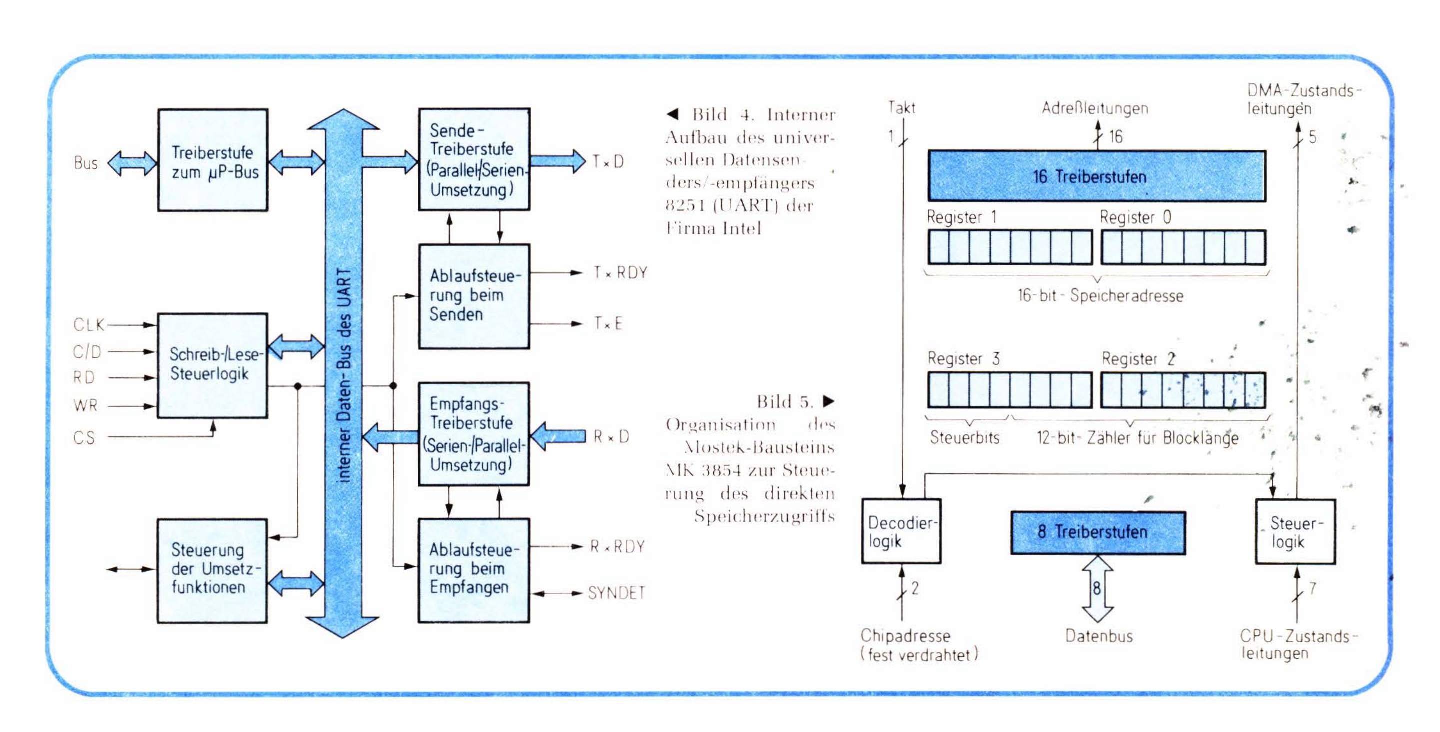
Die Zentraleinheit kann zu jeder Zeit den augenblicklichen Betriebszustand des UART abfragen. Dazu gehört beispielsweise das Signal *SYNDET*, das beim Empfang in der synchronen Betriebsart die Detektion des Synchronisierzeichens meldet. Zum Einstellen eines bestimmten Betriebszustandes *(Mode)* wird von der CPU über den Systembus ein erstes Befehlswort *(Mode Instruction)* in den UART eingeschrieben. Die entsprechenden Logikpegel an den Steuereingängen bewirken, ob eine Information auf dem Bus als Steuerbefehl oder als Datenwort aufgefaßt wird *(C/D: Control or Data; RD: Read Data; WR: Write Data or Command; CS: Chip Select)*. Nach dem Programmieren der Betriebsart erfolgt mit dem Einschreiben eines zweiten Befehlswortes *(Command Instruction)* die Festlegung der einzelnen Übertragungsparameter.

Nach diesen vorbereitenden Operationen kann der eigentliche Datenverkehr ablaufen. Das geschieht entweder im synchronen Betrieb, wenn das periphere Gerät die Übertragungsrate bestimmt, oder im asynchronen Betrieb mit voreinstellbarer Taktfrequenz. Die Zeichenlänge kann wahlweise 5...8 bit betragen, und es können 1, 1 $^1/_2$ oder 2 Stoppbits erzeugt werden. Der Baustein führt außerdem eine Paritätsprüfung durch und gibt eine entsprechende Fehlermeldung aus. Natürlich ist dieser UART primär für den Einsatz in Systemen mit dem Mikroprozessor 8080 vorgesehen, doch läßt er sich ohne weiteres auch mit anderen Prozessoren verwenden. Die TTL-Kompatibilität aller Ein- und Ausgänge und das Erfordernis von nur einer Versorgungsspannung machen den Baustein zu einer sehr flexiblen Komponente.

Die Möglichkeit der *gemischten Bestückung* wird im allgemeinen viel zu wenig beachtet, und bei der Zusammenstellung eines Mikroprozessor-Systems kann die Kombination aus Bausteinen verschiedener Hersteller leistungsfähiger sein als die produktbezogene Realisierung mit dem Angebot einer Firma. Eine eventuell erforderliche Hardware-Anpassung wird durch die damit verbundenen Vorteile der erhöhten Flexibilität aufgewogen.

4 DMA-Steuerung

Zur Steuerung des direkten Speicherzugriffs in einem F-8-Mikroprozessor-System ist der Baustein MK 3854 vorgesehen [10, 11]. Über den Datenbus werden die vier internen Register Reg 00...Reg 03 von der CPU geladen *(Bild 5)*. Die Inhalte der Register 0 und 1 gehen auf den Adreß-Bus und bestimmen die Startadresse des zu übertragenden Datenblocks. Register 2 bildet mit den vier unteren Bits von Register 3 einen 12-bit-Zähler, dessen Inhalt die zu übertragende Blocklänge festlegt. Die restlichen vier Bits von Register 3 dienen zur Steuerung und bestimmen unter anderem die Übertragungsrichtung. Die Decodierlogik auf dem Chip ermöglicht den parallelen Einsatz von vier DMA-Bausteinen; jedem einzelnen ist eine feste Adresse zugeordnet, bei der er aktiv wird. Die Adressierung erfolgt von der CPU aus und wird beim Ansprechen des jeweiligen E/A-Datenkanals *(I/O-Port)* berücksichtigt. Mit der 16-bit-Adresse kann ein Speicherumfang von 64 K angesprochen werden, und die maximale Länge eines geschlossenen Datenblocks kann 4 K betragen, resultierend aus den 12 bit des Blocklängen-Zählers; mit der Übertragung eines jeden Datenwortes wird dessen Zählerstand um Eins vermindert. Da dieser Baustein wie alle anderen an den Adreß- und Datenbus des Gesamtsystems angeschlossen ist, müssen seine Aktivitäten auf den übrigen Arbeitsablauf abgestimmt werden. Dazu dienen verschiedene Signalleitungen, aus denen der Zustand der CPU hervorgeht. So können die Tri-State-Treiber an den Bus-Leitungen natürlich nur dann in den aktiven Zustand gebracht werden, wenn die Übertragung anderer Informationen auf dem betreffenden Bus abgeschlossen ist bzw.



◀ Bild 4. Interner Aufbau des universellen Datensenders/-empfängers 8251 (UART) der Firma Intel

Bild 5. ▶ Organisation des Mostek-Bausteins MK 3854 zur Steuerung des direkten Speicherzugriffs

noch genügend freie Zeit bis zur nächsten Übertragung zur Verfügung steht. Alle dazu erforderlichen Informationen gehen aus der Decodierung der Zustandsleitungen hervor. Der Datenverkehr zwischen dem Hauptspeicher und dem sendenden bzw. anfordernden Gerät spielt sich nach der Programmierung des DMA-Bausteins so ab, daß mit der Freimeldung des Bus der Speicherzugriff erfolgt und die Daten für die bzw. von der adressierten Speicherzelle auf dem Bus anliegen. Dabei hat die CPU nichts mehr mit dem Datentransport zu tun, der sich nach dem programmierten Ablauf unter Steuerung des DMA-Bausteins abwickelt.

5 Prioritätsbehaftete Interrupt-Verarbeitung

Die Firma Motorala bietet mit dem Baustein MC 6828 einen sogenannten *Priority Interrupt Controller* an, der prinzipiell für den Einsatz in jedem beliebigen Mikroprozessor-System geeignet ist und dort die Verarbeitung externer Programmunterbrechungen unter Einhaltung eines vorgegebenen Prioritäts-Schemas ermöglicht. Aufgabe dieses Steuerbausteins ist es, jeder unterbrechenden Stelle eine eigene Programmadresse zuzuordnen, unter der die jeweilige Interrupt-Routine zu erreichen ist. Dabei wird für die angeschlossenen Einheiten, die ein Unterbrechungssignal aussenden

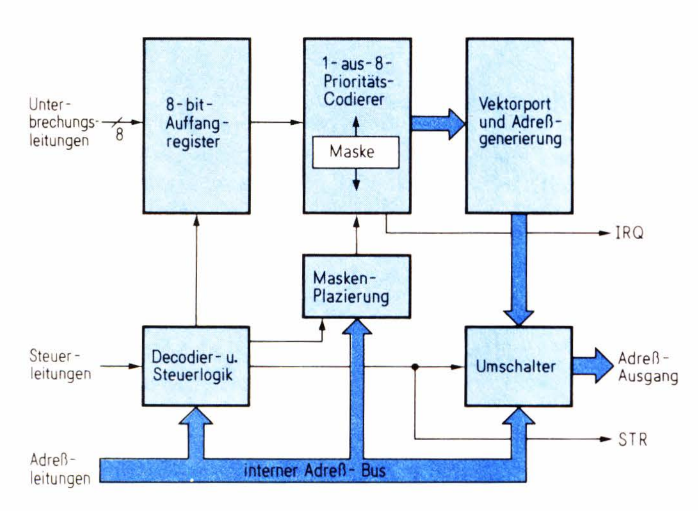


Bild 6. Schematischer Aufbau des hochintegrierten Interrupt-Steuerbausteins MC 6828 von Motorola

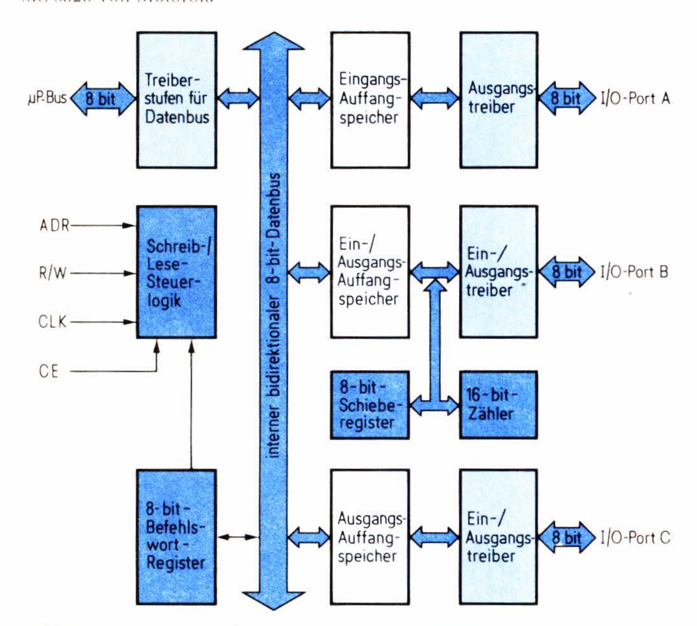


Bild 7. Der programmierbare Interface-Baustein 2655 von Signetics ermöglicht den Peripherie-Anschluß über drei I/O-Ports

können, eine Rangfolge festgelegt, so daß der Unterbrechungsanforderung einer untergeordneten Stelle so lange nicht stattgegeben wird, wie eine Stelle höherer Priorität die Programmunterbrechung verlangt. Die feste Zuordnung von externer Einheit und direktem Hinsprung zur Interrupt-Routine bezeichnet man als *Vectored Interrupt*; der Vektor steht sinnbildlich für den Zeiger, der unmittelbar auf die unterbrechende Stelle weist.

Eine Unterscheidung der Priorität ist auf einfache Weise möglich, wenn die Unterbrechungsleitung (*Interrupt Request, IRQ*) in fortlaufender Folge von einer zur anderen Einheit bis zur CPU geschleift wird (*Daisy Chaining*); bei der Unterbrechungsanforderung einer Stelle sind alle anderen, die in der Kette weiter von der CPU entfernt liegen, automatisch gesperrt. Bei dem Motorola-Baustein erfolgt die Zuordnung einer Priorität über den internen Prioritäts-Codierer (*Bild 6*). Er wählt aus den möglichen acht Unterbrechungsleitungen diejenigen aus, deren Priorität gleich ist oder höher liegt als eine eingeschriebene „Maske". Unter der Maske ist ein Datenwort zu verstehen, das wie eine veränderliche Trennwand wirkt: Wenn beispielsweise die Maske 4 gesetzt ist, bleiben die Unterbrechungsleitungen 00...03 unberücksichtigt, und nur Leitungen mit einer Priorität von 4 oder höher können wirksam werden. Das Unterbrechungssignal gelangt zunächst in ein Auffangregister. Von dort wird es dem Prioritäts-Codierer zugeführt, der den eben beschriebenen Vergleich mit der Maske durchführt. Die Maskierung erfolgt in Abhängigkeit von den Daten auf den ankommenden Adreß- und Steuerleitungen. Solange keine Unterbrechung vorliegt, sind die Eingangsadressen direkt zum Ausgang durchgeschaltet. Wird einer Unterbrechung stattgegeben, legt der Umschalter eine modifizierte Adresse an den Ausgang und bewirkt damit den Sprung ins Unterprogramm. Eine herausgeführte Signalleitung (*Stretch, STR*) meldet diesen Zustand an die CPU, um den zeitlichen Ablauf zu koordinieren. Die Adreßgenerierung sorgt gleichzeitig für die Festlegung der Rücksprungadresse, von der aus die Fortsetzung des Hintergrund-Programms erfolgt, nachdem das Unterprogramm abgearbeitet worden ist [12].

6 Programmierbarer Peripherie-Anschluß

Zu den universellsten Komponenten eines Mikroprozessor-Systems gehören die sogenannten programmierbaren Bausteine zum Peripherie-Anschluß. Beim Mikroprozessor-System 2650 der Firma Signetics trägt dieser Baustein die Bezeichnung 2655 und wird *Programmable Peripheral Interface (PPI)* genannt. Sein Verhalten ist mit keinem herkömmlichen Hardware-Element mehr vergleichbar, weil in Abhängigkeit von der internen Programmierung die einzelnen Anschlußstifte des Bausteins vollkommen verschiedene Funktionen ausführen. So kann beispielsweise ein und derselbe Anschlußstift als Eingangs- oder Ausgangsleitung arbeiten oder als Taktsignal für die internen Auffangregister oder auch als Interrupt-Request-Leitung, je nachdem, welche Aufgabe ihm vom Programm her zugewiesen worden ist.

Diese Vielseitigkeit erscheint zunächst verwirrend, und das um so mehr, je tiefer man in den herkömmlichen Logiksystemen verwurzelt ist. *Besser noch als der Mikroprozessor selbst demonstriert ein solcher Interface-Baustein die vollkommene Verknüpfung von Hard- und Software.* Die richtige Einschätzung dieser Leistungsfähigkeit ist ausschließlich im praktischen Betrieb möglich. Hierbei wird unmittelbar die mit der Programmierbarkeit verbundene Flexibilität deutlich, die jede überlieferte Vorstellung von Logikbausteinen übersteigt.

Zusammenstellung der heute erhältlichen Ein/Ausgabe-Bausteine

Hersteller	µP-System	Steuerbaustein für							Datensender/-empfänger (UART)	Programmierbare Interface-Bausteine	Allgemeine Anwendungen	Paritätsgenerator/-prüfer	Zeitgeber	Bus-Anschluß
		Anzeige	Tastatur	Drucker	Bandeinheit	Floppy-Disk	DMA	Interrupt						
Advanced Micro Devices (AMD)	Am 2900													Am 25LS377 Am 25LS07 Am 25LS09 Am 25LS14 Am 25LS22
AMI Microsystems									S 2350					
Electronic Arrays	EA 9002		EA 2000											
General Instrument	LP 8000 CP 1600								AY-5-1013	PIC 1640 PIC 1650	LP 1010 IOB 1680			
Intel	MCS-40		4269							4265	4209/11 4207			4003
	MCS-80						8257	8214 8259	8251	8255	8212		8253	
	3000							3214						3212 3216/26
Intersil	IM 6100								6402 6403	6101				
Monolithic Memories	6701/02						6717	6716			6718			
Mostek	F 8						3854				3861 6820			
Motorola	6800							6828	6850 6852 6860 6862 6863 2260 2259 2257		6820			6880 6881 6885 6886 6887 6888 6889
NEC Electronics				µPD 758	µPD 371D	µPD 372			µPD 369		µPD 752D			µPD 754D µPB 243D µPB 246D µPC 77 C µPC 171C
Nitron									NC 2257 NC 2260					
Raytheon	Am 2900							Am 2914 Am 2919						Am 2905/15 Am 2906/16 Am 2907/17 Am 2954 Am 2918
RCA	CDP 1801/02								CDP 1854		CDP 1852			
Rockwell	PPS-4 & PPS-8	10814	10788 10815	10789 10736 15380					10371		10696 10930			10738
	PPS-8					10936	10817				10453			
Signetics	2650						DMAI		2651	2652 2655 SMI			(2655)	
Standard Micro-systems (SMC)									COM 2601 COM 2505/17 COM 2502 H COM 2517 H					
Texas Instruments	TMS 8080		TMS 5001					'148/49	TMS 6011A		TMS 5501	'S 180/280		'S 412/273 '240/41 '365...68 '125/26 '425/26 'S 226 '373/74/77 '259
Western Digital									AT 1662 A TR 1402 A TR 1402 A-03 TR 1402 A-05 PT 1482 B PR 1472 B					

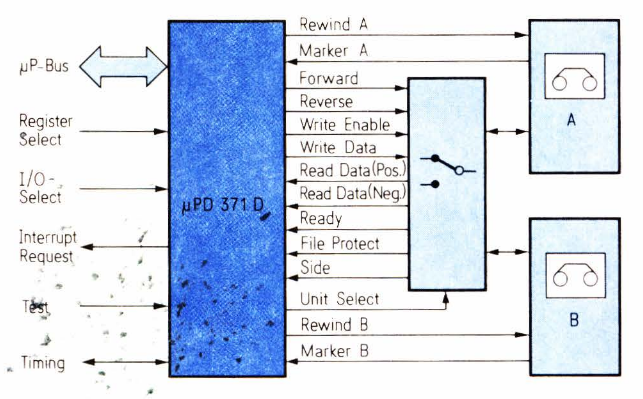


Bild 8. Der E/A-Baustein µPD 371 D der Firma NEC Electronics erzeugt alle Steuerfunktionen zum Anschluß von zwei Magnetband-Einheiten

Insofern kann die Vorstellung eines solchen Elements in diesem Rahmen nur eine Andeutung bleiben: Der PPI-Baustein 2655 besitzt drei I/O-Ports mit einer Breite von je 8 bit, die den Anschluß peripherer Elemente an den Mikroprozessor-Bus ermöglichen (*Bild 7*). Beim parallelen Datenverkehr können alle Ports im statischen Betrieb als Ein- oder Ausgangsschnittstelle arbeiten. Für die Datenkanäle A und B sind außerdem der getaktete Betrieb und die bidirektionale Ein/Ausgabe möglich. Der Kanal B besitzt darüber hinaus ein Schieberegister, das die Parallel-/Serien-Umsetzung von Datenworten vornehmen kann. Außerdem ist in diesem Kanal ein 16-bit-Zähler verfügbar, der im praktischen Betrieb sehr nützlich ist. Er kann beispielsweise als Ereigniszähler eingesetzt werden oder beim Anschluß einer Taktfrequenz auch als Zeitgeber arbeiten. Bei Erreichen des Zählerstandes Null gibt der Baustein eine Unterbrechungs-Anforderung an die CPU ab.

Die Programmierung erfolgt über ein 8-bit-Befehlswort, das die jeweilige Betriebsart festlegt. Beim Betrieb als Zeitgeber sind zusätzliche Steuereingänge notwendig, beispielsweise zur Einspeisung der Taktfrequenz; in diesem Fall dient der Datenkanal C als Erweiterung der vorhandenen Steuerleitungen, und einzelnen Anschlußstiften werden hierbei bestimmte Funktionen zugewiesen. Es ist möglich, jedes einzelne Bit eines Datenkanals als Ein- oder Ausgang zu definieren, so daß damit auch gemischte Datenübertragung möglich ist |13|.

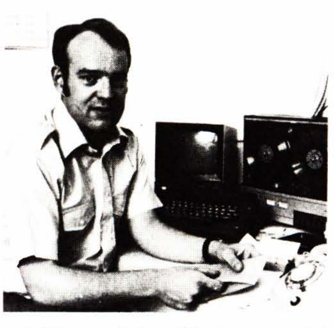
7 Anschluß von Magnetbandkassetten-Einheiten

Aus dem Angebot hochintegrierter E/A-Bausteine soll abschließend eine Neuentwicklung der japanischen Firma NEC Electronics vorgestellt werden. Es handelt sich hierbei um den Steuerbaustein µPD 371D zum Anschluß von Magnetbandkassetten-Einheiten (*Cassette Magnetic Tape*), der in der vorliegenden Form einzigartig auf dem Markt ist. Der Baustein generiert alle Steuerfunktionen, die zum Anschluß von zwei Bandeinheiten erforderlich sind (*Bild 8*). Es ist das Umspulen einer Einheit möglich, während die andere gleichzeitig schreibt oder liest, und es können auch beide Bänder zur gleichen Zeit umgespult werden. Der Baustein enthält im wesentlichen sechs Funktionsblöcke: Steuerung des Schreib- und Lese-Ablaufs, Daten-Ein- und Ausgabe mit Parallel-/Serien- und Serien-/Parallel-Umsetzung, Erzeugung eines Unterbrechungssignals, Ausgangstreiber und eine Logik für den Eigentest. Die letztgenannte Eigenschaft ist deshalb besonders wesentlich, weil die Funktionsprüfung derartig komplexer Bausteine nicht mehr ohne weiteres möglich ist.

Beim hier betrachteten Steuerbaustein geht der Eigentest so vor sich, daß auf einen Befehl von der CPU hin alle Eingangssignale, die von den Bandeinheiten kommen, elektrisch abgetrennt werden und an ihrer Stelle Pseudo-Eingangssignale simuliert werden. Mit ihnen kann die Zentraleinheit die ordnungsgemäße Arbeitsweise überprüfen, indem sie die Ausgangssignale mit den erwarteten Werten vergleicht. Im übrigen Betrieb führt der Baustein den eingangs bereits erwähnten *Cyclic Redundancy Check* durch und erlaubt die individuelle Anpassung der Übertragungsgeschwindigkeit an die jeweiligen Anforderungen |14|.

8 Marktübersicht

In der *Tabelle* sind die Ein/Ausgabe-Bausteine zusammengestellt, die zur Zeit – zumindest in Musterstückzahlen – lieferbar sind. Die Einteilung in verschiedene Funktionsgruppen geschieht der besseren Übersichtlichkeit wegen und erfolgt unter dem Vorbehalt, daß hierbei nur die *wesentlichste* Funktion eines Bausteins erfaßt wird und keinesfalls seine volle Leistungsfähigkeit. Deshalb können auch keine allgemeingültigen Spalten mit Detaileigenschaften eingeführt werden, weil die Leistungsdaten der einzelnen Bausteine innerhalb der Funktionsgruppen zu sehr variieren. Im Einzelfall ist darum das Studium der entsprechenden Datenblätter unerläßlich.



Reinhard Gößler, 29, wurde in Thüringen geboren und wuchs in Berlin auf. Nach dem Studium an der TU Hannover war er von 1973 an als Entwicklungsingenieur in der Industrie tätig. Er befaßte sich dort mit dem Bau eines schnellen Rechners für die Echtzeit-Signalverarbeitung, ehe er den Aufgabenbereich für Mikroprozessoren übernahm. Seit 1976 ist er fester externer Mitarbeiter im FRANZIS-Verlag, schreibt für alle drei Fachzeitschriften und übernimmt Auftragsentwicklungen. Neben der Beschäftigung mit dem Mikroprozessor ist eins seiner Elektronik-Hobbys der Ausbau der FUNKSCHAU-Mini-Meßgeräte-Serie.
Telefon (04 21) 25 03 47
ELEKTRONIK-Leser seit 1969.

Literatur

|1| *Gößler, R.* und *Schwerte, J.*: Auf dem Weg zur Mikroprozessor-Praxis. ELEKTRONIK 1976, H. 3, S. 74...85.

|2| *Timm, V.*: Im Blickpunkt: ROMs, PROMs und PLAs. ELEKTRONIK 1976, H. 5, S. 38...47.

|3| *Schlenther, M.*: Bipolare und MOS-Schreib-/Lesespeicher (RAMs). ELEKTRONIK 1976, H. 10, S. 57...68.

|4| *Frühauf, T.*: Meßgeräte werden intelligent. ELEKTRONIK 1975, H. 7, Leitartikel.

|5| PPS-8 Floppy Disk Controller (Product Description). Datenbuch der Firma Rockwell.

|6| PPS-8 Microcomputer Basic Devices (Product Description). Datenbuch der Firma Rockwell.

|7| PPS Devices (Electrical and Mechanical Specifications). Datenbuch der Firma Rockwell.

|8| Programmable Communication Interface. Produktbeschreibung im großen Datenbuch der Firma Intel, S. 5 – 135...146.

|9| Data Catalog 1976. Intel Corporation.

|10| The F 8 from Mostek. Gelbes Benutzerhandbuch der Firma Mostek.

|11| Programming DMA. Programmer's Guide, S. 8 – 33...35. Rotes Benutzerhandbuch der Firma Mostek.

|12| Priority Interrupt Controller MC 8507/MC 6828. Datenblatt und Produktbeschreibung der Firma Motorola.

|13| Programmable Peripheral Interface. Product Proposal. Produktbeschreibung der Firma Signetics.

|14| Cassette Magnetic Tape Controller µPD 371D. Datenblatt und Produktbeschreibung der Firma NEC Electronics.

|15| *Steinkamp, W.*: Schaltungstechnik zyklischer Binärcodes. ELEKTRONIK 1973, H. 2, S. 57...60 und H. 3, S. 101...104.

|16| *Münchrath, R.*: Datensicherung auf Übertragungswegen mit zyklischen Codes. ELEKTRONIK 1976, H. 8, S. 55...59.

Der erste europäische Mikroprozessor

Das Mikroprozessor-System CP 3-F, das zur Electronica erstmals vorgestellt wird, wurde systemseitig von den Olympia-Werken konzipiert und entwickelt. Die Realisierung mittels MOS-Großintegration erfolgte durch die drei Halbleiterhersteller AEG-Telefunken, General Instrument und SGS-Ates. Ausgehend von den bisherigen Erfahrungen im Einsatz von MOS-Schaltungen in Großserien wurden die Forderungen nach bewährter und fertigbarer Technologie, untereinander kompatiblen Zweit- und Drittlieferanten, breitem Anwendungsfächer und einer möglichst umfassenden Integration zum Entwicklungsziel (siehe auch unseren Bericht im „Elektronik-Markt", H. 10/74, S. A28).

Dementsprechend liegen die Stärken dieses Mikroprozessor-Systems neben der Flexibilität im Einsatz und der modularen Ausbaufähigkeit (*Bild 1*) mit nur vier unterschiedlichen Chips besonders darin, daß die zur Verbindung der Chips erforderlichen Bauelemente und die peripheren Ein-/Ausgänge mit in das System integriert wurden. Dadurch ist dieses System für den Benutzer transparenter und einfacher erlernbar. Er benötigt außer den für die Programmierung erforderlichen Systemkenntnissen praktisch keine weiteren Kenntnisse über den Hardwareaufbau.

Das Mikroprozessor-System besteht aus insgesamt vier verschiedenen Chips. Auf sie sind die Funktionsgruppen CPU, ROM, RAM und Ein-/Ausgabe so aufgeteilt, daß bereits mit zwei Chips ohne Verwendung zusätzlicher externer Logik und Register eine funktionsfähige Elektronik aufgebaut werden kann (*Bild 2*). Die Rechen- und Steuereinheit (RSE) ist eine 8-bit-CPU, in der ein 48-Byte-RAM und ein 8-bit-I/O-Kanal enthalten sind. In dem aus 48 Befehlen bestehenden Befehlssatz sind unter anderem Befehle für logische, binäre und dezimale Rechenoperationen, Verschieben, bedingte, unbedingte und Unterprogramm-Verzweigungen, Konstantenrechnungen und Ein-/Ausgabe enthalten. Die Programm-Speichereinheit (PSE) enthält ein 1024 x 8-bit-ROM, vier als Adressenzähler und Rückkehradressenspeicher dienende Register und zwei I/O-Kanäle zu je 8 bit. Die Daten-Speichereinheit (DSE) enthält ein 128 x 8-bit-RAM, ein Adreßregister und einen 8-bit-I/O-Kanal. Die Programm- und Daten-Speichereinheit (PDE) enthält ein 768 x 8-bit-ROM und ein 18 x 8-bit-RAM.

Jeder I/O-Kanal hat eine Breite von 8 bit. Jedes der Bits ist entweder als gepufferter Ausgang oder als abfragbarer Eingang zu verwenden, so daß eine optimale Ausnutzung der Ein-/Ausgänge gewährleistet ist. Die Verbindung der Bausteine untereinander erfolgt über einen standardisierten Modulbus ohne zusätzliche Bauelemente. Der Modulbus besteht aus einem 8-bit-Datenbus, sechs Adreßleitungen und vier Steuerleitungen.

Alle vier MOS-LSI-Bausteine haben 40polige Dual-Inline-Gehäuse. Sie sind in p-Kanal-Technologie realisiert und benötigen −5 V und −17 V als Betriebsspannungen. Dem Mikroprozessor wird ein Systemtakt von 800 kHz zugeführt, der in den einzelnen Chips so untersetzt wird, daß der Maschinenzyklus 5 µs beträgt. Durch die Anordnung des RAMs in der CPU und des Befehlszählers in den ROMs ist es möglich, Befehlsausführung und Befehlsaufruf überlappt auszuführen. Daher werden die meisten Befehle in einem 5-µs-Zyklus abgearbeitet. Nur für Doppelwortbefehle und Ein/Ausgabebefehle werden 2 bis 4 Zyklen benötigt. Der Adressenbereich zur Adressierung von ROM, RAM und I/O-Kanälen beträgt 16 K. Über den Modulbus können ohne zusätzliche Verstärkung bis zu 16 Chips miteinander verbunden werden.

Der kleinste, mit dem Mikroprozessor-System CP3-F aufbaubare Mikrocomputer besteht aus zwei Chips. Mit einer RSE und einer PSE stehen ein 48-Byte-RAM als Datenspeicher, ein 1024-Byte-ROM als Programmspeicher und 24 Ein/Ausgänge zur Verfügung. Damit läßt sich bereits ein kompletter Tischrechner darstellen. Neben der Ausbaufähigkeit durch weitere ROMs und RAMs am Modulbus sind für komplexere Anwendungen besonders Systemaufbauten mit mehreren CPUs geeignet. Durch den universellen Aufbau der Ein/Ausgänge ist eine Kopplung mehrerer Mikroprozessoren zu einem System mit „verteilter Intelligenz" leicht möglich.

Um die für Entwicklungen dieser Art erforderlichen hohen Stückzahlen zu erreichen, wurde das Mikroprozessor-System CP3-F für den Einsatz in Tischrechner (*Bild 3*), kleinen Terminals, Abrechnungsautomaten und intelligenten Schreibgeräten geplant. Aufgrund seiner vorstehend geschilderten Eigenschaften ist es aber ebenso zur Steuerung von Geräten und Anlagen und zur Überwachung von Prozessen geeignet. Sofern nicht extreme Geschwindigkeitsforderungen vorliegen, kann man praktisch alle Schaltungen ab etwa 50 digitalen SSI-Schaltungen durch die CP3-F ersetzen. Für die Erstellung und den Test der notwendigen Programme stehen in Fortran geschriebener CROSS-Assembler, Simulationsprogramm und Testaufbauten mit PROMs zur Verfügung.

Ing. (grad.) Jürgen Sorgenfrei

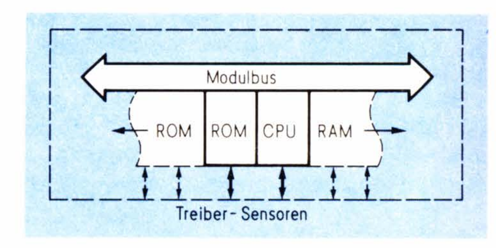


Bild 1. Ausgehend von der aus CPU und ROM bestehenden Zwei-Chip-Minimalkonfiguration werden durch Hinzunahme weiterer Chips ROM, RAM und Ein/Ausgänge erweitert

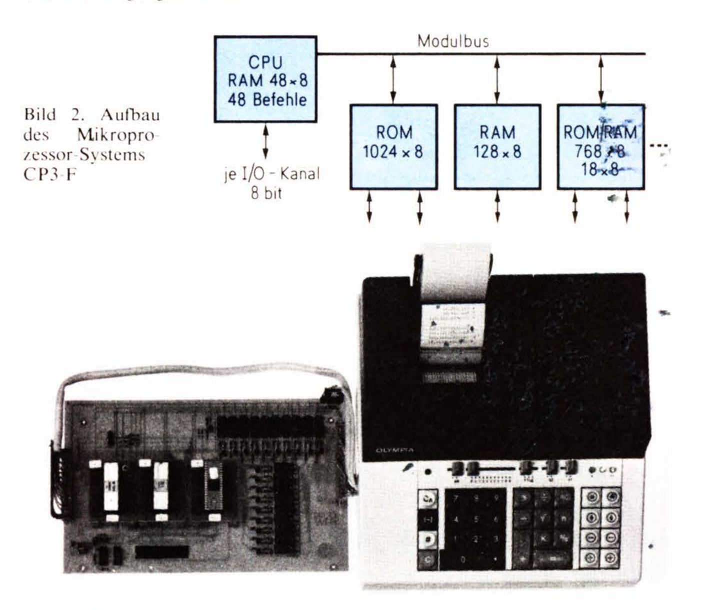


Bild 2. Aufbau des Mikroprozessor-Systems CP3-F

Bild 3. Tischrechner, bestückt mit untereinander kompatiblen Mikroprozessor-Chips aller drei Chiphersteller

Der Autor ist Konstruktionsleiter der Olympia-Werke AG, Braunschweig

Die Schlacht der 80'er

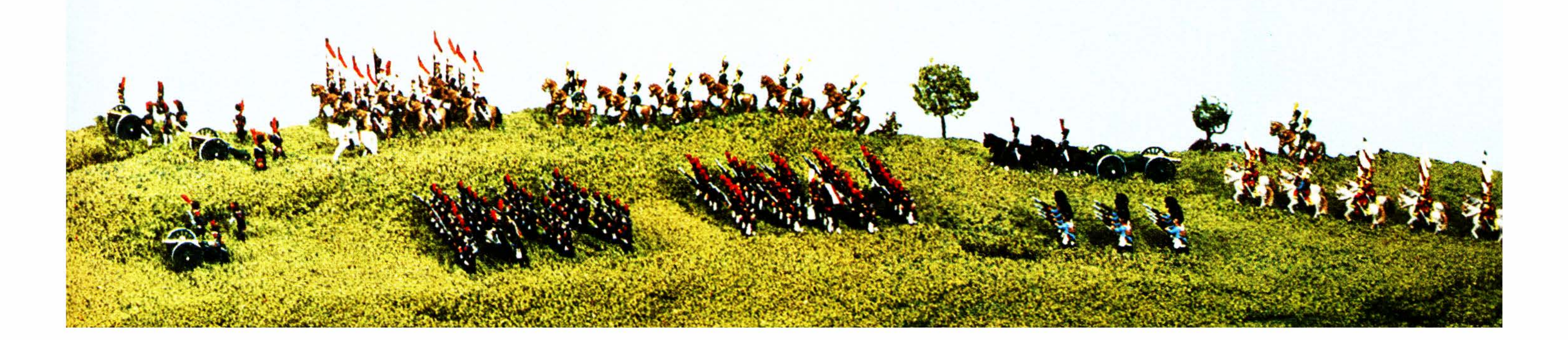
Denken Sie bei Ihrer Neuentwicklung an die Kosten in einem Mikrocomputersystem! Sie haben beim Übergang auf das System Z80 nichts zu verlieren, aber ein Vermögen an Entwicklungs- und Speicherbaustein-Kosten zu gewinnen!







Oskar-von-Miller-Str. 1
8057 Eching b. München
Tel. 08165/771, Telex 0527531



Die Schlacht der 80'er

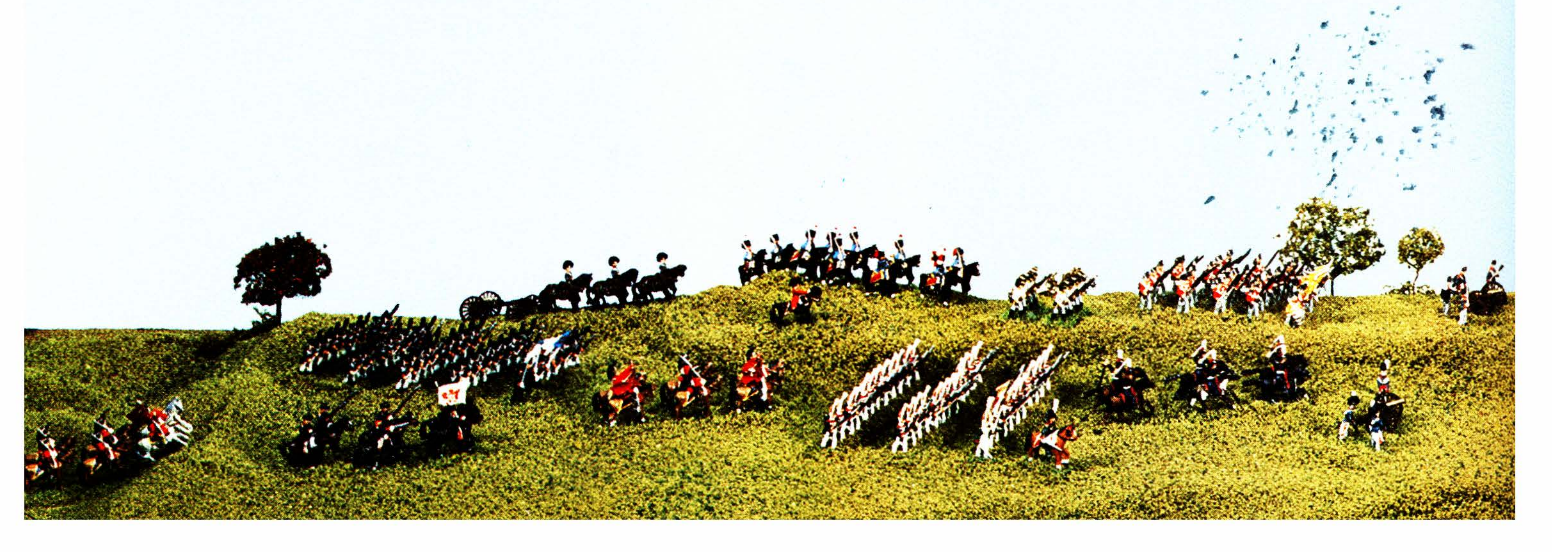
Denken Sie bei Ihrer Neuentwicklung an die Kosten in einem Mikrocomputersystem! Sie haben beim Übergang auf das System Z80 nichts zu verlieren, aber ein Vermögen an Entwicklungs- und Speicherbausteinkosten zu gewinnen! Der Grund dafür liegt in der gesteigerten Effizienz der neuen Waffe um den Markt, dem System Z80.

Eigenschaften:		Z80-CPU
Stromversorgung	+5, —5, +12	+5
Takt	12 V 2 Phasen-Takt	5 V 1 Phasen-Takt
Taktfrequenz	2 MHz	2,5 MHz
Beschaltung	3 Hilfsschalt-kreise nötig	keine Hilfsschalt-kreise nötig, auch nicht für Interupt- und Refresh-Steuerung
Interupt	1 Betriebsart mit festen Vektoren	2 Betriebsarten mit festen, 1 Betriebsart mit beliebigen Vektoren. Interuptbearbeitung bis zu 6× schneller
Nichtmaskierbarer Interrupt	Nein	Ja

Eigenschaften:		Z80-CPU
Befehle	78	158*
OP Codes	244	696
Adressierweisen	7	11
Arbeitsregister	8	17
Durchsatz		**5 × höher**
Programm-speicherbedarf		**50% weniger**

* Beinhaltet alle bekannten Befehle





Bekanntmachung des Zilog Z-80 Mikrocomputers.

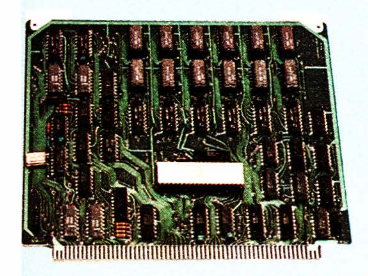
Das System Z80 umfaßt neben den hochintegrierten MOS-Bausteinen fertig zusammengebaute und geprüfte Baugruppen im USA-Standard-, Doppeleuropa- und Einzeleuropa-Format.

Für das System Z80 ist ein universelles, hochleistungsfähiges Entwicklungssystem auf Floppy Disk-Basis zur rationellen Anwender-Hard- und Software-Erstellung verfügbar. Alle Tests werden in Echtzeit durchgeführt.

Das System Z80 verfügt selbstverständlich über benutzerfreundliche Entwicklungs- und Betriebssoftware, u. a. Makro-Assembler und residenten PL/Z-Compiler.

Das System Z80 wird von mehreren Herstellern gefertigt.

Ihre Munition: Ein IC aus einem neuen Gurt.



Der Mikroprozessor Z80-CPU bietet Ihnen 158 Maschinenbefehle, die sämtliche Op-Codes des Systems 8080 beinhalten (volle Aufwärtskompatibilität). Neu sind im Befehlssatz der Z80-CPU eine Reihe Befehle zur Verarbeitung von 16 bit-, 8 bit- und 4 bit-Worten und volle Einzelbitbehandlung, darüber hinaus Schleifen-, Schiebe-, Blocksuch-, Blocktransfer- und Ein/Ausgabebefehle.

Vergessen Sie nicht, daß Z80-Programme bis zu 5 × schneller und halb so umfangreich sind!

Rechnen Sie sich selbst aus, welche Verluste an Programmspeicher-Bausteinkosten und Softwareentwicklungszeit Sie sich ersparen können.

Sie haben bei sämtlichen Z80-Bausteinen nur noch eine einzige 5V-Speisespannung, überall volle TTL-Kompatibilität und aufgrund fortschrittlicher Technologie wesentlich verringerten Leistungsverbrauch.

Das Hardwarekonzept erlaubt es, ohne zusätzliche Bausteine alle Z80-Ein/Ausgabe-Chips mit priorisiertem Vektorinterupt und dynamische RAM-Bausteine ohne Refresh-Controller arbeiten zu lassen! Dabei ist der Preis erstaunlich niedrig, denn unsere Technologie erlaubt einen höheren Integrationsgrad und dadurch kleinere Chipfläche. Und — Z80 wird auf 4 inch-Siliziumscheiben gefertigt! Diese Rationalisierung im Herstellungsprozeß gibt ihnen einen strategischen Vorteil.

Eine mächtige Waffe gegen verschanzte feindliche Streitkräfte: Das Z-80 Entwicklungssystem

Mit dem Z-80-Entwicklungssystem werden Sie eine Ausrüstung haben, die von keinem anderen Mikrocomputer-Entwicklungssystem an Zuverlässigkeit und Flexibilität übertroffen wird. Aufgrund eines Floppy-Disc-Operating-Betriebs-Systems zusammen mit einem fortschrittlichen Echtzeittestadapter und zusätzlichem Echtzeit-Speicher/Test-Modul.

In unserem aggressiven Preis ist folgendes inbegriffen:

- Zentralgerät mit Z80-CPU, 16 KByte-Speicher (bis 64 KByte ausbaubar).
- Betriebs- und Test-Software.
- Echtzeit-Testadapter zum Echtzeit-Austesten des Anwender-Systems.
- Echtzeit-Speicher/Test-Modul zum Rückverfolgen von 255 Adreß-, Daten- und Steuerbus-Aktivitäten.
- Doppel-Floppy-Disk
- Disketten-residente Entwicklungssoftware: Editor, Datenverwaltung und Makro-Assembler. Option: residenter PL/Z-Compiler.
- Weitere Optionen: periphere Geräte.



Auf Abruf: Software-Unterstützung.

Und für den Fall, daß Sie Probleme haben — die KONTRON ELEKTRONIK GmbH vertreibt das System Z80 nicht nur, sondern setzt es auch selbst in seiner eigenen Geräte-Entwicklung und -Fertigung ein! Deswegen stellen wir den idealen Partner für Sie dar — Distributor, Geräteentwickler und Systemhaus — alles aus einer Hand!



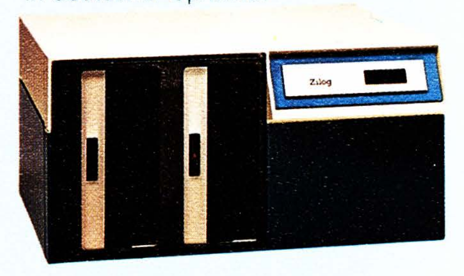
Auf Abruf: Anwender-Unterstützung.

Die KONTRON ELEKTRONIK GmbH hält laufend Anwenderkurse in deutscher Sprache mit praktischen Übungen zur Programmierung des Z80 ab.

Referenten sind hochqualifizierte Applikations- und Entwicklungsingenieure aus hauseigenen Entwicklungsabteilungen.

Darüberhinaus können Sie von uns auf Anfrage Standardprogramme aus unserer Anwenderprogrammbibliothek beziehen.

Die gesamte Schlüsselinformation des Systems Z80 liefern wir Ihnen übrigens in deutscher Sprache!



Nachschub: Eine Reserve an technischen Fortschritten.

Der Zilog Z80 bringt neue Größenordnungen an Leistung und Programmeffektivität an die Front. Und während alle anderen beschäftigt sind, um die Technologie des Z80 zu erreichen, entwickeln wir die nächste Generation — um Ihnen zu zeigen, daß wir immer eine Generation Vorsprung halten.

Die Zilog-Truppen sind die Spezialisten, die selbst die bisher erfolgreichsten Mikroprozessoren der ersten und zweiten Generation entwickelt haben. Nirgendwo anders in der Welt gibt es eine Truppe solch erfahrener Kämpfer mit einem derartigen Erfolg.



Zilog MICROCOMPUTERS

Schreiben Sie uns, wir bewaffnen Sie sofort.



Ing. (grad.) Horst Huse

I^2L: Die Technologie und ihre Anwendung in einem schnellen 4-bit-Mikroprozessorelement

In der ersten Phase der Mikroprozessoren-Entwicklung, die bekanntlich im Begriffe ist, in weiten Bereichen der Steuerungs- und Rechentechnik die bisher nach Kundenwünschen ausgelegten Spezialbausteine durch programmierbare Universaleinheiten zu ersetzen, gab man sich mit der Durchführung der geforderten Funktionen zufrieden und stellte keine besonderen Anforderungen an die Zykluszeit. Gerade in dieser Richtung steigen aber nun die Erwartungen, und da sie sich mit der herkömmlichen N-Kanal-MOS-Technologie nicht mehr erfüllen lassen, griff man zu der vielversprechenden I^2L-Technik, welche, vereinfacht ausgesagt, die Schnelligkeit der Bipolartechnik (z. B. TTL) mit der hohen Packungsdichte der MOS-Technik vereint. Die neue Technologie und ihre Anwendung in einem schnellen, leistungsarmen 4-bit-Mikroprozessorelement werden hier kurz beschrieben; weitere Anwendungen werden mit Sicherheit folgen, weshalb es von großem Nutzen ist, den vorliegenden Artikel als Basis für diesen ganzen Komplex zu studieren.

1 LSI-Bausteine in I^2L-Technik

1.1 Struktur und Wirkungsweise

Die Abkürzung I^2L steht für *Integrated Injection Logic*, eine bipolare Technologie, die nicht mit den sonst üblichen passiven Widerständen arbeitet, sondern mit aktiven Konstantstromquellen. Es wird zwischen der isolierten und der nichtisolierten I^2L-Technik unterschieden. In der isolierten Form befinden sich bereits seit längerem Uhren-ICs und andere GSI-Schaltkreise in Produktion [1]. Diese Form gestattet auch die Kombination mit allen anderen Standard-Bipolar- oder MOS-Technologien, benötigt jedoch mehr Maskenschritte und, wegen der erforderlichen Isolierung, mehr Chipfläche als die nichtisolierte Form. Nachfolgend wird nur die *nichtisolierte* I^2L-Technologie angesprochen, da sie von größerer Bedeutung für Mikroprozessoren ist.

Bild 1. Grundschaltung eines I^2L-Gatters

Die Grundschaltung eines I^2L-Gatters zeigt *Bild 1*. Der Transistor T 1 stellt einen lateralen PNP-Transistor dar; er dient als Konstantstromquelle *(Injektor)* zur Basisstromversorgung von T 2 und als Belastung der treibenden Transistoren. Der als Inverter arbeitende Transistor T 2 verfügt über mehrere Kollektorausgänge, die WIRED-OR-Verbindungen mit nachfolgenden Gattern ermöglichen. Je nach Geschwindigkeitsanforderungen können bis zu 50 Kollektorausgänge (verschiedener Transistoren) an die BASIS eines I^2L-Gatters angeschlossen werden.

Bild 2a zeigt die Schaltung eines aus nur zwei Transistoren bestehenden $\overline{RS}$-Flipflops. Diese Schaltung macht die Einfachheit der I^2L-Technik deutlich, die aus dem Eintransistorgatter resultiert. Im *Bild 2b* ist vergleichsweise eine Schaltung in TTL zu sehen, die aus acht Transistoren besteht. Vom Aufbau her entspricht ein I^2L-Gatter mit Multikollektorausgängen einem invers betriebenen TTL-Multiemittertransistor und arbeitet dementsprechend auch mit einer inversen Stromverstärkung.

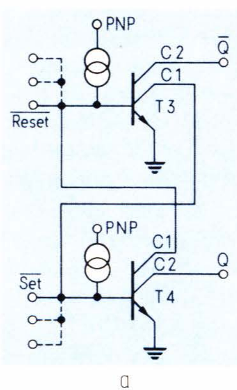


Bild 2a. Schaltung eines RS-Flipflops in I^2L-Technik

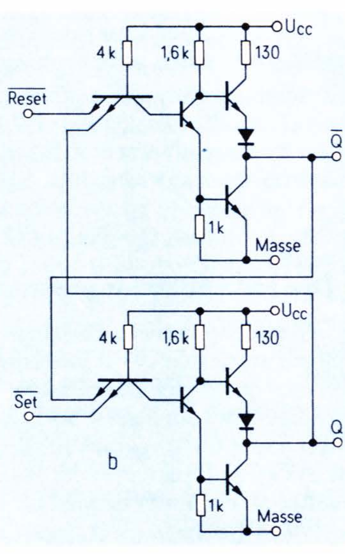


Bild 2b. ▶ Zum Vergleich: RS-Flipflop in Standard-TTL-Technik

Die Kristallstruktur eines I^2L-$\overline{RS}$-Flipflops wird in *Bild 3* gezeigt. Die Herstellung dieses Elementes beginnt mit einem N^+ Substrat, welches als gemeinsame Masse für alle Transistoren und den Injektor dient. Nach Aufwachsen einer epitaxialen N-Schicht wird eine P-Diffusion zur Herstellung des

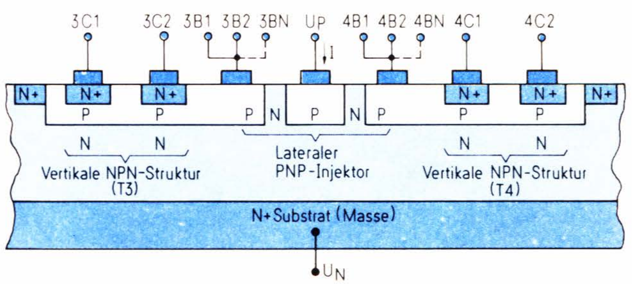


Bild 3. Kristallstruktur zweier Gatter in I^2L-Technik

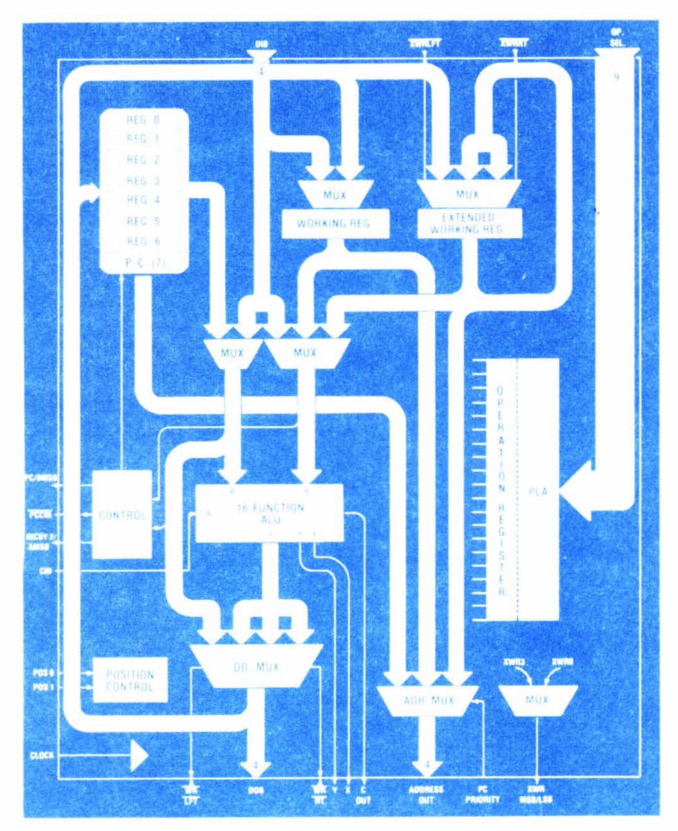


Bild 4. Funktions-Blockschaltbild des 4-bit-Mikroprozessors SBP 0400 (Original-Werkbild Texas Instruments)

Basisbereichs des NPN-Transistors und des Emitterbereiches des Injektors durchgeführt. Die nachfolgende N^+-Diffusion erzeugt die Multikollektorausgänge der I^2L-Gatter. Die Schaltverbindungen zwischen den Einzelelementen werden durch eine einzige Metallisierungsschicht erreicht.

Es sei hier noch bemerkt, daß der Strominjektor eine theoretisch unbegrenzte Anzahl von Transistoren gleichzeitig mit Basisstrom versorgen kann. Außer dem Injektorstrom sind auch keine weiteren Strom- oder Spannungsversorgungen für I^2L-Bausteine notwendig, und die Strom-/Spannungscharakteristik entspricht einer in Durchflußrichtung geschalteten Si-Diode ($U_F \approx 0{,}85$ V).

Tabelle zum Vergleich der typischen Parameter heutiger Technologien

Parameter	Standard TTL	Low Power Schottky TTL	CMOS	P-MOS	N-MOS (Silicon Gate)	I^2L	Einheit
Flächenbedarf	34.1	12.8	32.1	6.8	3.6	3.1	mm^2
Komponenten	3	3	3	2	2	1	$x10^{-3}$
Maskenschritte	7	7	6	4	7	4	
Diffusionen	4	4	3	1	3	2	
Verlustleistung	10	2	0.1–1.0*	0.1	0.2	0.07	mW
Durchlaufverzögerung	10	5	25	600–1000	100	50	ns

Alle Werte gelten für ein NAND-Gatter mit 4 Eingängen.
* frequenz- und spannungsabhängig!

1.2 Vorteile

Aus der einzigartigen I^2L-Struktur resultieren die großen Vorteile dieser neuen bipolaren Technologie:

- *Hohe Komplexität*
  Dies wird ermöglicht durch das einfache Eintransistorgatter, welches keine Isolierung der Einzelelemente und keine großflächigen Widerstände erfordert (120...200 Gatter/mm^2).
- *Geringe Prozeßkomplexität*
  Nur zwei Diffusionen, vier Masken und eine Metallisierung.
- *Geringe Verlustleistung*
  Als Resultat der geringen Versorgungsspannung von 0.85 V und eines konstanten Injektorstroms (keine Frequenzabhängigkeit, keine Stromspitzen) werden 6 nW...70 µW Verlustleistung pro Gatter erreicht.
- *Hohe Geschwindigkeit*
  Durch den kleinen internen Spannungshub von $U = U_{BE} - U_{satt} = 700$ mV und die hohe Ladungsträgerbeweglichkeit ergeben sich Verzögerungszeiten von derzeit 50 ns/Gatter.
- *Weiter Verlustleistungs- und Geschwindigkeitsbereich*
  Die Steuerung des Injektorstromes ermöglicht ein Variieren der Verlustleistung und der Geschwindigkeit über 5 Dekaden bei konstantem Produkt Geschwindigkeit · Verlustleistung.
- *Volle TTL-Kompatibilität*
  Offene Kollektorausgänge ($U_{CE} \geqq 6$ V) und Widerstandsteiler an den Eingängen ergeben ein einfaches TTL-Interface zu externen Bausteinen.

Die *Tabelle* zeigt zusammenfassend die wesentlichen Parameter der z. Z. üblichen Technologien im Vergleich zu I^2L. Der Flächenvergleich basiert auf einem NAND-Gatter mit vier Eingängen und zeigt, daß I^2L nur etwa 1/10 der Fläche von Standard-TTL oder CMOS benötigt. Selbst die schon sehr weit entwickelte P-MOS- bzw. N-MOS-Technologie hat einen größeren Flächenbedarf als I^2L. In bezug auf Einfachheit beim Herstellungsprozeß wird I^2L nur von P-MOS unterboten, da eine einzige Diffusion bei der Herstellung ausreicht.

Auch bei der Leistungsaufnahme liegen I^2L-Gatter weit unter den Werten, die mit CMOS erzielt werden. In der erreichbaren Durchlaufverzögerungszeit pro Gatter liegt I^2L mit 50 ns zwischen den Werten der MOS-Technologien und TTL (Standard und Low Power Schottky); im Labor ist man jedoch schon eine Größenordnung weiter [5].

Zusammenfassend kann festgestellt werden, daß die I^2L-Technologie die Vorzüge von P-MOS, N-MOS, C-MOS und TTL vereinigt und sich damit besonders für hochkomplexe Mikroprozessoren, Speicher und Ein-/Ausgabeelemente eignet.

2 Der erste Mikroprozessor in I^2L-Technik

In der soeben kurz beschriebenen nichtisolierten I^2L-Technologie wurde von Texas Instruments ein 4-bit-Mikroprozessorelement mit der Bezeichnung SBP0400 entwickelt, welches zweimal schneller ist als derzeit vergleichbare N-MOS-Mikroprozessoren. Dieses Element stellt auf diesem Sektor die erste I^2L-Generation mit einer typischen Verzögerungszeit von 50 ns/Gatter dar und hat eine Komplexität von 1500 äquivalenten Gatterfunktionen.

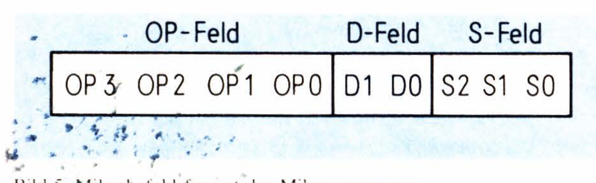


Bild 5. Mikrobefehlsformat des Mikroprozessors

Bild 4 zeigt als Original-Werkbild die Blockschaltung dieses 4-bit-Mikroprozessorelements mit der für 16 Funktionen ausgelegten arithmetisch/logischen Einheit (ALU), einem Registersatz, zwei Arbeitsregistern und dem PLA *(programmable logic array)* zur Mikrobefehlsdecodierung.

2.1 *Technische Eigenschaften*

Die nachfolgend aufgeführten technischen Eigenschaften sind teils charakteristisch für I^2L-Elemente, bzw. sie resultieren aus der Architektur des Mikroprozessorelements SBP0400 [2]:

- Paralleler Zugriff zu allen Steuer-, Daten-, Adreß- und Ein-/Ausgabefunktionen
- 4-bit-ALU mit 16 arithmetisch-/logischen Funktionen für vollen „*carry look-ahead*"-Betrieb
- Acht 4-bit-Register einschließlich kaskadierbarem Programmschrittzähler
- Zwei 4-bit-Arbeitsregister für einfache und doppelte Rechengenauigkeit
- Einfache Möglichkeit zur Kaskaden-Anordnung mit beliebigen Wortlängen
- Statische Arbeitsweise
- TTL-Kompatibilität (FO = 6/12) bei nominalem Injektorstrom (150 mA)
- Durchlaufverzögerungszeiten von typisch 110...530 ns bei 128 mW nominaler Verlustleistung
- Selektierbare Geschwindigkeit/Verlustleistung über einen Bereich von 5 Dekaden
- Kommerzieller und militärischer Temperaturbereich.

2.2 *Mikrobefehlssatz*

Der SBP0400 hat einen Mikrobefehlssatz von 512 Eintaktoperationen (459 nichtredundante), die im internen PLA aus einem 9-bit-Befehl decodiert werden. Im Handbuch des Herstellers [3] sind die verfügbaren Operationen tabellarisch zusammengestellt, geordnet nach den Datenquellen DIB *(data input bus)*, WR *(working register)*, XWR *(extended working register)* und RF 0...7 *(register file 0...7)*. Der 9-bit-Mikrobefehl *(Bild 5) (operation select word)* ist unterteilt in ein 4-bit-OP-Feld, welches die ALU-Funktion definiert, in ein 2-bit-D-Feld, welches einfache oder doppelte Genauigkeit bestimmt (und damit das OP-Feld erweitert) sowie schließlich in ein 3-bit-S-Feld, welches im wesentlichen die Datenquellen (DIB, RF, WR, XWR) und die Datensenken (DOB, RF, WR, XWR) adressiert. *Wesentlicher Unterschied zu dem Befehlssatz herkömmlicher Mikroprozessoren (z. B. TMS8080) ist, daß alle Befehle Transportbefehle mit ALU-Verknüpfung darstellen.* Daher ist beim SBP0400 ein direkter Sprungbefehl (JUMP beim TMS8080) ein Transportbefehl der Form:

DIB → RF7 (program counter) (ALU: F_n = B oder A)

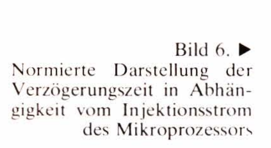
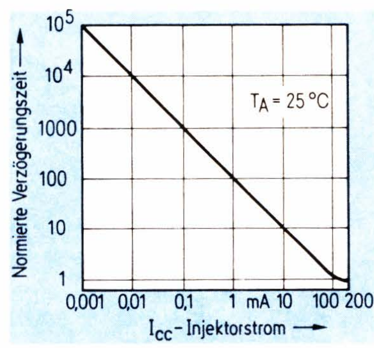


Bild 6. ▶ Normierte Darstellung der Verzögerungszeit in Abhängigkeit vom Injektionsstrom des Mikroprozessors



2.3 *Anwendungsmöglichkeiten*

Das hohe Maß an Flexibilität und die technischen Eigenschaften des SBP0400 eröffnen ein Anwendungsgebiet, das vom 4-bit-Mikro-Steuergerät bis zum 16-bit-Minicomputer reicht. Besonders interessant sind Anwendungen wie:

- Emulierung von bestehenden Mikro- oder Minicomputern
- Steuergeräte
- Tragbare Test- und Meßgeräte
- Militärische Geräte.

Bei der Emulierung (Nachbildung) von bestehenden Mikro- oder Minicomputern kommen die flexible Architektur und die volle Kaskadierbarkeit des Mikroprozessorelementes zur Geltung. Im System lassen sich derzeit mit dem SBP0400 Befehlszykluszeiten von 1,2...2 µs erreichen, was für einige Anwendungen ausreichend ist.

Für alle Geräte, die für möglichst geringen Leistungsverbrauch ausgelegt werden müssen (z. B. tragbare Meßgeräte), kann die Möglichkeit der Geschwindigkeits-/Verlustleistungsvariierung durch Veränderung des Injektorstromes genutzt werden. Wie aus *Bild 6* hervorgeht, kann der Injektorstrom von 150 mA auf 10 mA verringert werden, wobei sich die Verzögerungszeiten um den Faktor 10 vergrößern. *Bei Netzausfall kann ein Informationsverlust der internen Register durch einen Injektorstrom von 0,001 mA verhindert werden.*

Die benötigte Versorgungsspannung von nur 0,85 V macht eine Versorgung aus einer gängigen 1,5-V-Batterie problemlos. Ausgehend von den variablen Geschwindigkeiten, die die I^2L-Technologie bietet, überstreicht der SBP0400 den gesamten Bereich der Anwendungen, die bisher von N-MOS, P-MOS und C-MOS gemeinsam möglich waren. *Bild 7* ver-

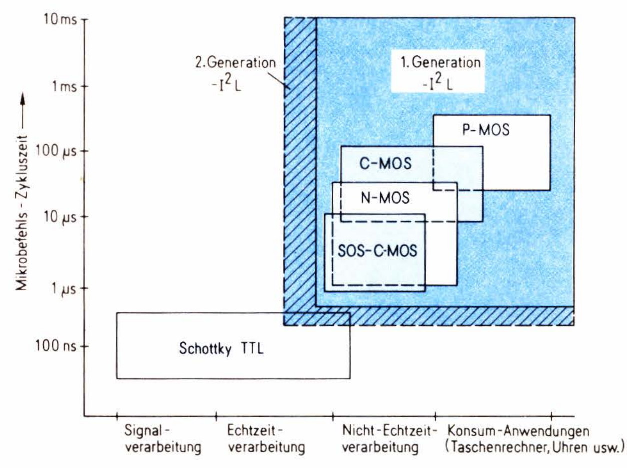


Bild 7. Mikrobefehls-Zykluszeit in Abhängigkeit von der Anwendung von Mikroprozessoren sowie Anwendungsbereiche der gängigsten Technologien

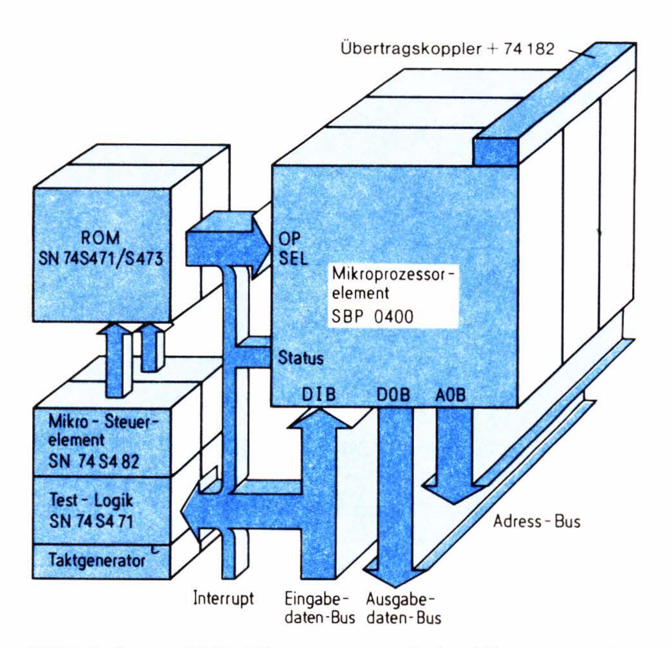


Bild 8. Aufbau von N-Bit-Mikroprozessoren mit dem Mikroprozessorelement SBP 0400; durch die räumliche Darstellung wird die Kaskadierung (hier in drei Stufen) mehrerer solcher Elemente anschaulich gezeigt

deutlicht dies in einem Diagramm, welches die Mikrobefehls-Zykluszeit in Abhängigkeit von der Anwendung zeigt.

2.4 Aufbau eines Mikroprozessors mit dem Baustein SBP0400

Bekanntlich besteht ein Mikrocomputer aus dem eigentlichen Mikroprozessor, den Ein-/Ausgabeelementen sowie dem Daten- und/oder Programmspeicher [6]. Der Mikroprozessor kann unterteilt werden in eine Gruppe mit festen Befehlen (z. B. TMS8080) und eine Gruppe mit veränderbaren Befehlen (mikroprogrammierbar). Da der SBP0400 ein kaskadierbares 4-bit-Mikroprozessorelement darstellt, beinhaltet er nicht die Steuerung zur Erzeugung der Sequenz eines Maschinenbefehls; nachfolgend eine typische Sequenz dieser Art:

a) Transport des nächsten Mikrobefehls aus dem Programmspeicher in das Mikrobefehlsregister
b) Mikrobefehl decodieren
c) Mikrobefehl ausführen

Je nach der Art des Mikrobefehls können bei der Ausführung noch weitere Speicherzugriffe notwendig sein. Der in *Bild 8* dargestellte Aufbau kann für die Emulierung bestehender Maschinenbefehle eines Mikro- oder Minicomputers oder für die Entwicklung eines neuen Befehlssatzes verwendet werden. Wesentliches Element zur Implementierung eines solchen Aufbaues ist der 4-bit-Mikro-Steuerbaustein *(microcontroller)* SN74S482, der ein Mikrobefehlsadreßregister mit Inkrementierer und vier Stackregister für Mikrounterprogrammsprünge enthält.

Vergleicht man den Aufbau eines 16-bit-Mikroprozessors in Schottky-TTL-Technik mit einem SBP0400-Aufbau, so benötigt letzterer nur 3.5 W gegenüber 22.5 W des Schottky-Aufbaus. Allerdings kommt die I^2L-Version noch nicht an die Mikrobefehlszykluszeit von 150 ns heran, die mit Schottkyelementen erreichbar ist.

Als ein Beispiel für die Leistungsfähigkeit eines Mikroprozessors, aufgebaut mit dem SBP0400, ist eine 16-bit-Multiplikation zu nennen, welche nur 20 µs dauert. Vergleichbare 8-bit-N-MOS-Mikroprozessoren benötigen hierfür 10... 15mal größere Programmzeiten.

Detaillierte Hinweise für die Entwicklung kleiner, leistungsfähiger mikroprogrammierter Steuergeräte sind unter [4] zu finden.

Literatur

[1] I^2L boots bipolar-microprocessor integration. Electronics, Bd. 48, H. 3, S. 83...90.

[2] SBP0400 4 bit Parallel Binary Processor Element. Datenblatt der Texas Instruments Deutschland GmbH.

[3] SBP0400 Processor Element „Product Spezification Manual"

[4] Design Techniques using the SBP0400 (Applikationsschrift).

[5] I^2L-Technik: Durch hohe Komplexität zu günstigen Kosten. ELEKTRONIK 1975, H. 8, S. 6 (Titelbild-Text).

[6] *Habgood, D.:* Wie wär's mit einem Mikroprozessor? ELEKTRONIK 1974, H. 10, S. 379...382.



Ing. (grad.) Horst Huse ist an der Ostsee (Dego/Kolberg) geboren und in Mainz aufgewachsen. Er studierte allgemeine Elektrotechnik in Rüsselsheim und trat 1970 bei der Philips Electrologica in Eiserfeld ein. Dort spezialisierte er sich auf Peripheriegeräte für Bürocomputer. Seit Mitte 1973 ist er Mitarbeiter der Firma Texas Instruments Deutschland in Freising und im Produktmarketing für Mikroprozessoren zuständig. Hobbies: Fotografieren und Lesen. Privattelefon (08161) 4654. ELEKTRONIK-Leser seit 1966.

Programmierplatz für Mikroprozessor-Software

Die Firma Siemens bietet jetzt einen kompletten Programmierplatz an, mit dem man die Software für Mikroprozessor-Systeme entweder direkt oder über Timesharing-Betrieb mit Hilfe eines Großcomputers erstellen kann. Um einen zentralen Mikrocomputer sind ein PROM-Programmiergerät, ein Floppy-Disk-System ein Modem zur telefonischen Datenübertragung und eine Datensichtstation angeordnet. Das System wird über eine Tastatur vom Benutzer bedient. Der Monitor, ein Texteditor und ein Assembler bilden die „lokalen" Programmierhilfen. Mit dem Programmierplatz kann man ein Programm zunächst ohne Großrechner über die Datensichtstation erstellen. Auch die nachfolgende Übersetzung ist mit der Anlage an Ort und Stelle möglich. Bei umfangreichen Programmen empfiehlt sich jedoch, auf die Möglichkeit zum Anschluß an die Siemens-Rechenanlagen 4004/151 und 7.750 zurückzugreifen und die schnellen Compiler des Betriebssystems BS 2000 zu benutzen. Das erstellte Programm wird nach seiner Prüfung unmittelbar auf PROMs abgespeichert. Eventuelle Fehler können mit dem Texteditor korrigiert werden. Mit Hilfe von entsprechend zugeschnittenen Cross-Assemblern und Simulatoren kann auf dem Programmierplatz die Software für alle Siemens-Mikroprozessor-Systeme erstellt werden.

□ Hersteller: Siemens AG, ZVW-104, Postfach 103, 8000 München 1.

Das 8-bit-Mikrocomputer-Konzept M 6800

1 Einführung

Für den Aufbau kleinerer Datenverarbeitungseinrichtungen in Fällen, in denen man die Kosten für einen Kleinrechner einsparen will, wurde von der Firma Motorola eine Serie von monolithischen 8-bit-Mikrocomputer-Bausteinen entwickelt, die sich im Ionenimplantationsverfahren preisgünstig herstellen lassen und nahezu beliebig kombiniert werden können. Deshalb ermöglichen diese LSI-Bausteine den Aufbau sowohl sehr einfacher als auch komplexer Systeme. Ein speziell ausgearbeitetes, rechnergestütztes Entwurfs- und Prüfverfahren sowie umfangreiche Software erleichtern und verbilligen die Entwicklung, die Programmierung und die Auslegung der mit ihnen ausgerüsteten Mikrocomputer.

2 Die Serie M 6800

Zur Zeit besteht die von Motorola entwickelte Serie M 6800 [1] aus sechs LSI-Schaltungen, die ein Baukastensystem darstellen:

- Mikroprozessor MC 6800 (MPU = Microprocessing Unit)
- Statischer 128 x 8-bit-Schreib-/Lesespeicher MCM 6810 (RAM = Random Access Memory)
- Statischer 1024 x 8-bit-Festwertspeicher MCM 6830 (ROM = Read Only Memory)
- Bidirektionaler Peripherie-Interface-Adapter MC 6820 (PIA = Peripheral Interface Adapter)
- Interface-Adapter MC 6850 für asynchrone Datenübertragung (ACIA = Asynchronous Communications Interface Adapter)
- Modem MC 6860 für niedrige Datenübertragungsgeschwindigkeiten (LSM = Low Speed Modem)

Wie im *Bild 1* an einem Beispiel dargestellt ist, lassen sich schon mit diesen sechs Bausteinen zahlreiche Aufgaben lösen, denn die hier gezeigten Speicher und Interface-Adapter sind auch in den verschiedensten anderen Zusammenstellungen zu verwenden. Auch Multiprozessorbetrieb ist möglich. Für die Zukunft sind weitere Bausteine dieser Serie geplant – beispielsweise ein Modul für bidirektionale Bus-Erweiterung, ein Adapter für serielle Synchron-Datenübertragung, ein programmierbarer Taktgeber, ein Modul für Zugriffssteuerung, ein besonders vielseitig verwendbarer Interface-Adapter, ein Adapter für Multiplikation und Division sowie ein Unterbrechungs-Modul.

Alle Bausteine der Serie M 6800 sind in N-Kanal-Technik mit Si-Gates aufgebaut und verarbeiten Taktfrequenzen bis zu 1 MHz. Sie kommen mit einer Einfach-Stromversorgung mit +5 V Betriebsspannung aus, und ihre Eingänge und Ausgänge sind TTL-kompatibel, ohne daß man Pull-up-Widerstände benötigt. So ergibt sich eine einfache Zusammenschaltung ohne zusätzliche TTL-Pufferstufen. Sowohl der 8-bit-Daten-Bus als auch der 16-bit-Adreß-Bus sind für bidirektionalen Drei-Zustands (Three State)-Betrieb ausgelegt.

Die Adressiermöglichkeiten des Zentral-Bausteins MC 6800 ermöglichen die Speicherung von 65 K Bytes, bei indizierter oder erweiterter Adressierung sogar bis zu 74 K Bytes, in angeschlossenen Schreib-/Lese- oder Festwertspeichern. Auch periphere Speicher können verwendet werden, und der Anschluß von 4-K-N-Kanal-RAMs [2] bereitet keine Schwierigkeiten.

3 Mikroprozessor MC 6800

Kernstück des Mikrocomputer-Baukastensystems M 6800 ist der Mikroprozessor (MPU) MC 6800. Der monolithische N-MOS-Chip ist in einem Gehäuse mit 40 Anschlüssen untergebracht, wie es im *Bild 2* schematisch dargestellt ist. Der MC 6800 kann mit 8-bit-Worten im Parallelbetrieb binäre und dezimale Rechenoperationen durchführen und verfügt außerdem über eine Reihe von Hilfsfunktionen, welche die externe Beschaltung reduzieren.

Die 8-bit-Daten-Bus- und die 16-bit-Adreß-Bus-Anschlüsse sind mit Treibern mit Drei-Zustands-Ausgängen ausgerüstet,

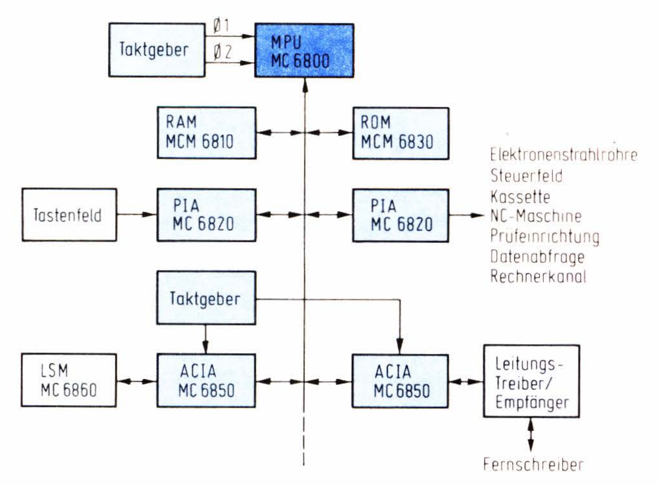


Bild 1. Beispiel für den Aufbau eines Mikrocomputers mit Bausteinen der Serie M 6800

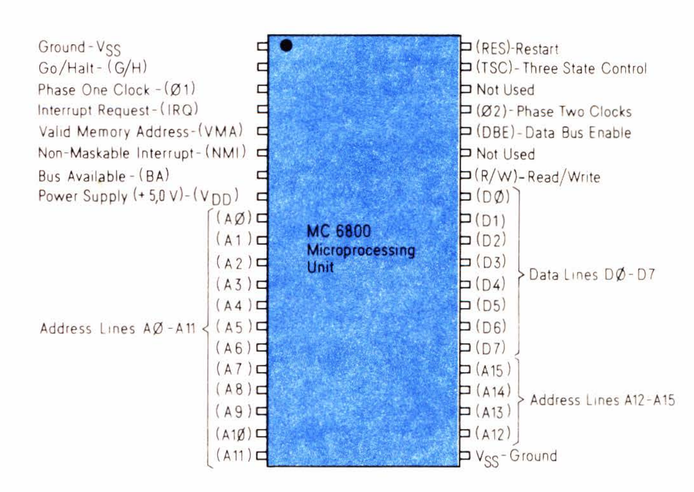


Bild 2. Anschlußschema des Mikroprozessors MC 6800

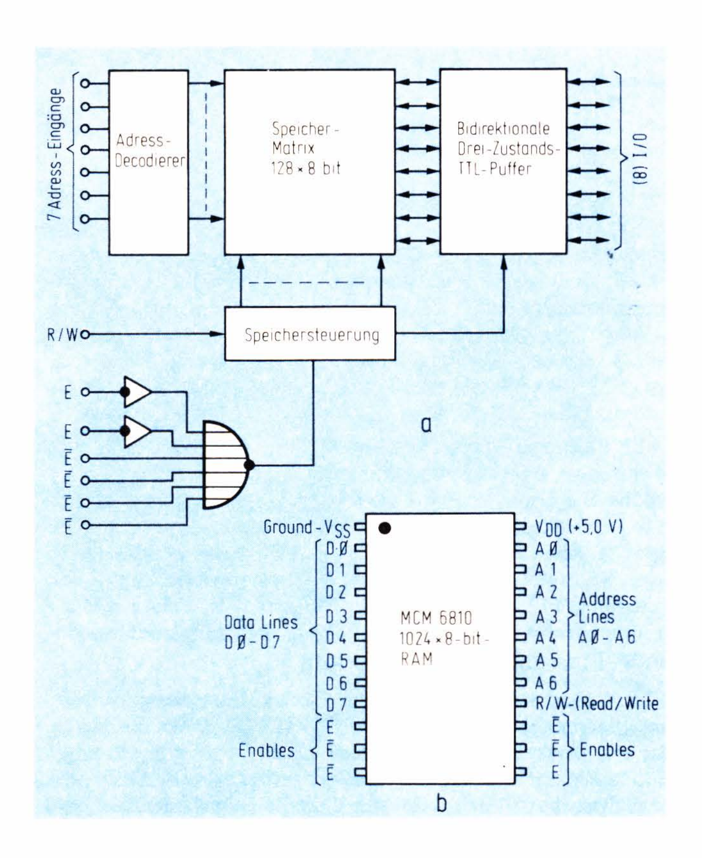


Bild 3. Blockdiagramm (a) und Anschlußschema (b) des Schreib-/Lesespeichers MCM 6810

Bild 4. Blockdiagramm (a) und Anschlußschema (b) des Festwertspeichers MCM 6830

welche für den Anschluß eines Standard-TTL-Eingangs mit zusätzlicher kapazitiver Belastung von 30 pF oder für den eines Low-Power-TTL-Eingangs mit 130 pF zusätzlicher Kapazität ausgelegt sind.

Die Adressierung kann auf sieben Arten erfolgen: Direkt-, Relativ-, befehlsbedingte, Immediate- und Akkumulator-Adressierung gestatten bei jeweils 16 bit die Speicherung von 65 K Bytes. Bei indizierter oder erweiterter Adressierung sind sogar bis zu 74 K Bytes zu speichern.

Intern verfügt der MPU MC 6800 über sechs Register, nämlich zwei 8-bit-Akkumulatoren, ein 16-bit-Index-Register, einen 16-bit-Programmzähler, ein 16-bit-Register für die Adresse der nächstverfügbaren Speicherstelle (Stack Pointer) sowie ein 8-bit-Konditionscode-Register. Die Stack-Länge ist variabel. 72 verschiedene Befehle mit unterschiedlicher Länge können standardmäßig verarbeitet werden. Außerdem sind unter anderem maskierbare Unterbrechung und nicht maskierbare Unterbrechung mit festgehaltenen Register-Inhalten, Speicher-Direkt-Adressierung, Go-Nogo- und Einzelbefehlsausführung möglich. Für den Betrieb des MPU ist ein zweiphasiges, nicht überlappendes Taktsignal erforderlich.

4 Der 128 x 8-bit-Schreib-/Lesespeicher MCM 6810

Der 128 x 8-bit-Schreib-/Lesespeicher (RAM) MCM 6810 arbeitet statisch und braucht deshalb für den Erhalt seines Inhalts keine Regenerierung. Seinen schematischen Aufbau zeigt *Bild 3a*, während im *Bild 3b* das Schema der 24 Anschlüsse dargestellt ist. Die 128 Speicherstellen (8 bit) werden mit Hilfe eines Binärcodes an den sieben entsprechenden Eingängen adressiert. Zur Aktivierung des RAM müssen alle vier negativen Enable-Eingänge (Ē) auf L-Potential, die positiven beiden (E) dagegen auf H-Potential liegen. Weicht eines der Enable-Signale von dieser Bedingung ab, dann ist der Speicher außer Betrieb, und seine Daten-Anschlüsse sind stromlos.

Da die Daten-Anschlüsse bidirektional arbeiten, muß zum Einschreiben vor der Aktivierung des Speichers über die R/W-Leitung ein Schreibbefehl (L-Potential) zugeführt werden. Andernfalls liefern seine Daten-Anschlüsse unerwünschte Signale auf den anderweitig belegten Daten-Bus. Zum Lesen wird nach der Aktivierung des Speichers der R/W-Anschluß auf H-Potential (Lese-Befehl) gelegt: Die auf der adressierten Speicherstelle gespeicherten Daten stehen dann auf dem Daten-Bus zur Verfügung.

5 Der 1024 x 8-bit-Festwertspeicher MCM 6830

Bild 4 zeigt den prinzipiellen Aufbau und das Anschlußschema des 1024 x 8-bit-Festwertspeichers (ROM) MCM 6830. Dieser maskenprogrammierbare Speicher enthält üblicherweise die Steuerprogramme für den MPU. Seine vier Enable-Eingänge sprechen je nach der vorgenommenen Programmierung auf L- oder auf H-Potential an. Die Aktivierung erfolgt, wenn alle positiven Enable-Eingänge auf H-Potential und alle negativen auf L-Potential liegen. Weicht nur eines der Enable-Signale von der bei der Programmierung festgelegten Bedingung ab, dann sind alle Daten-Bus-Drei-Zustands-Ausgänge stromlos.

Die Maskenprogrammierung des MCM 6830 erfolgt nach Kunden-Spezifikation mit Hilfe eines rechnergestützten Verfahrens in kürzester Zeit. Als Grundlage für die endgültige Fertigung dient dann ein Lochstreifen.

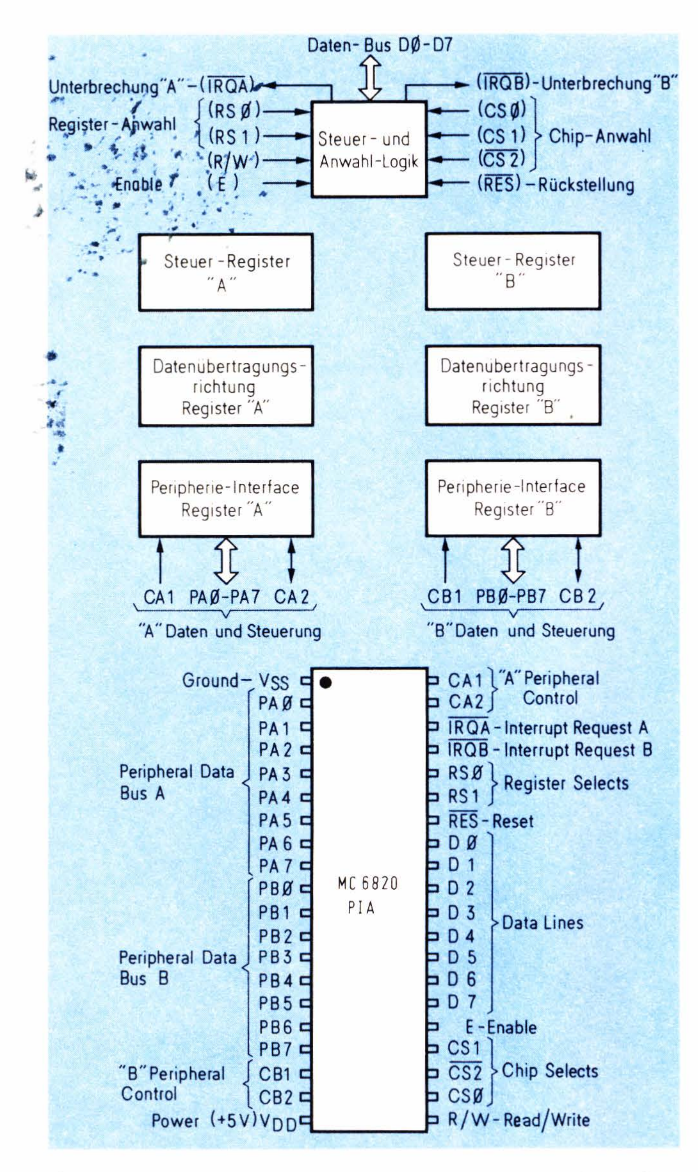


Bild 5. Blockdiagramm und Anschlußschema des Peripherie-Interface-Adapters MC 6820

6 Peripherie-Interface-Adapter MC 6820

Der Peripherie-Interface-Adapter (PIA) enthält alle Schaltungen, die für den Datenverkehr zwischen dem MPU und peripheren Einrichtungen oder anderen Mikroprozessoren erforderlich sind. In den meisten Fällen ist dann keine weitere Interface-Logik mehr notwendig.

Zur Verbindung mit dem MPU dient der bidirektionale 8-bit-Daten-Bus, die Peripherie ist über zwei 8-bit-Busse angeschlossen. Zwei programmierbare 8-bit-Steuer-Register ermöglichen die Schaltung von vier Peripherie-Steuerleitungen durch den MPU, die Aktivierung der Unterbrechungs-Leitungen sowie die Überwachung von Unterbrechungs-Kontroll-Bits (Flags). In zwei Interface-Registern werden die von der Peripherie eintreffenden beziehungsweise an sie zu liefernden Daten bis zum Abruf gespeichert – je nach der Programmierung der entsprechenden beiden für die Datenübertragungsrichtung zuständigen Register. Auch „Handshake"-Betrieb ist möglich. *Bild 5* zeigt das Blockdiagramm des PIA und das Schema seiner 40 Anschlüsse.

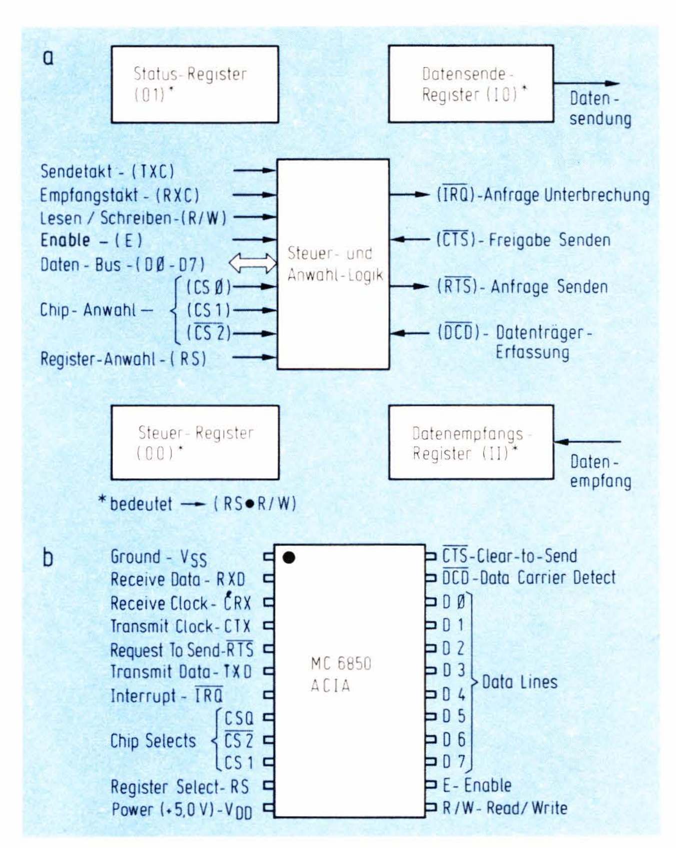


Bild 6. Blockdiagramm (a) und Anschlußschema (b) des Interface-Adapters MC 6850 für asynchrone Datenübertragung

7 Interface-Adapter MC 6850 für asynchrone Datenübertragung

Zur Formatierung und Steuerung bei asynchroner Datenübertragung – beispielsweise mit ASC II, erweiterter ASC II, EBCDIC und erweiterter EBCDIC bis zu 500 000 bit/s – dient der Interface-Adapter (ACIA) MC 6850. Mit seiner Interface-Logik stellt er nicht allein die Kompatibilität mit dem MPU sicher, sondern übernimmt auch die für die asynchrone Datenübertragung erforderliche Parallel/Serien-Umsetzung, die Ausgabe von Start-, Stop- und Paritäts-Bits sowie die serielle Übermittlung von Daten-Worten üblicher Länge.

In umgekehrter Richtung sorgt er bei Asynchron-Empfang serieller Daten üblicher Wortlänge für die Serien/Parallel-Umsetzung, für die Unterdrückung der Start- und Stop-Bits sowie für die Paritäts- und Fehlerkontrolle. Zusätzlich übernimmt der ACIA noch bestimmte Modemsteuerfunktionen und löst die bei Unterbrechung erforderlichen Vorgänge aus. *Bild 6* zeigt Blockdiagramm und Anschlußschema für diesen Baustein.

8 Modem MC 6860 für niedrige Datenübertragungsgeschwindigkeiten

Kompatibilität eines nach dem Konzept M 6800 aufgebauten Mikrocomputers mit Modems der Serie 100 des Bell-Telephone-Systems und ähnlichen Einrichtungen mit ihrer geringen Datenübertragungsgeschwindigkeit von 300 oder 600 bit/s mit Frequenzumtastung läßt sich mit Hilfe des Modems MC 6860 (LSM) erreichen. Dieser Baustein gestattet Simplex-, Halb-Duplex- und Duplex-Betrieb und ist mit allen erforderlichen Steuer- und Kontrolleinrichtungen ausgestattet. Seine Quarz-

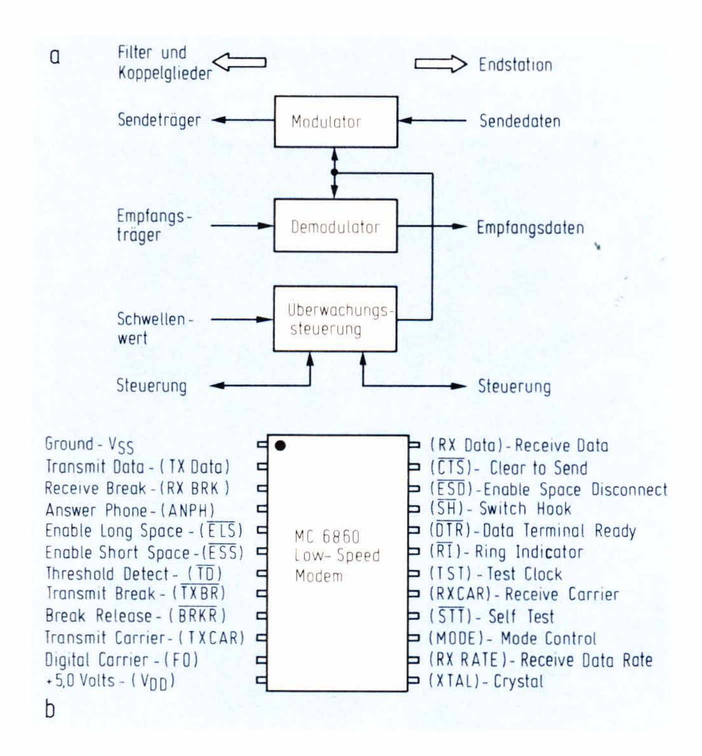


Bild 7. Blockdiagramm (a) und Anschlußschema (b) des Modems MC 6860 für niedrige Datenübertragungsgeschwindigkeiten

steuerung sorgt für gute Stabilität. Selbstverständlich ist der MC 6860 mit dem Interface-Adapter MC 6850 für asynchrone Datenübertragung kompatibel. Blockdiagramm und Anschlußschema des LSM sind im *Bild 7* gezeigt.

9 Mit der Serie M 6800 kompatible Zusatz-Bausteine

Mit der Serie M 6800 konzipierte Logiksysteme lassen sich mit einer Reihe kompatibler Bausteine des gleichen Herstellers erweitern. In diesem Zusammenhang sind vor allem der Vierfach-Bus-Treiber/Empfänger MC 8 T 26, der dynamische 4096-bit-Schreib-/Lesespeicher MCM 6605, der statische 1024-bit-Schreib-/Lesespeicher MCM 6602 und der quarzgesteuerte Taktgeber MC 14441 zu nennen.

10 Programm-Erstellung

Die Erstellung von Anwender-Programmen für Mikrocomputer nach dem Konzept M 6800 erfolgt nach einem rechnergestützten Verfahren, für welches das Timesharing-Netz von GE zur Verfügung steht. *Bild 8* veranschaulicht den Ablauf. Source-Programme mit 72 Befehlen, sieben Adressier-Arten und 12 Assembler-Anweisungen stehen für die Serie 6800 in einem mnemotechnischen Code zur Verfügung. In diesem leicht zu überblickenden Code wird das gewünschte Programm geschrieben und einem Cross-Assembler zugeleitet. Dieser liefert nun einerseits ein für die im Timesharing durchzuführende Simulation geeignetes Programm, andererseits einen Lochstreifen für die ROM-Herstellung. Ist dann die Simulation erfolgreich verlaufen, steht ein weiterer Lochstreifen zur Verfügung, der zusammen mit dem inzwischen fertiggestellten Muster-ROM eine Hardware-Simulation in einem „EXORciser" genannten Erprobungs- und Übungsgerät ermöglicht. Etwaige Fehler lassen sich dann mit Hilfe einer Sammlung von Soft-

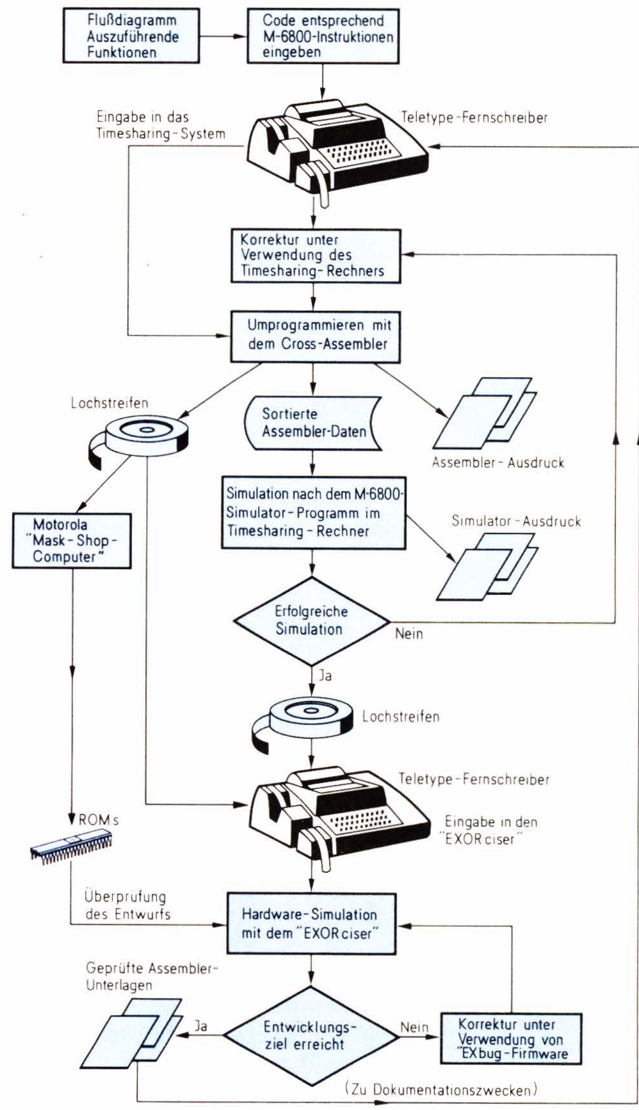


Bild 8. Rechnergestützte Programmierung und Erprobung eines Mikrocomputer-Systems nach dem Konzept M 6800

und Hardware, die als „EXbug"-Firmware bezeichnet wird, korrigieren, und schließlich steht dann ein geprüftes und als richtig befundenes Assembler-Programm zur Verfügung, welches als Grundlage für die Fertigung dient.

Dipl.-Phys. Hanns-Peter Siebert

Literatur

[1] 8-bit-Mikroprozessor-Bausteine (Elektronik-Markt). ELEKTRONIK 1974, H. 7, S. A 7.

[2] Der dynamische 4-K-MOS-RAM auf dem Vormarsch (Elektronik-Markt). ELEKTRONIK 1974, H. 6, S. A 32...A 33.

[3] Micro Computer Reference Handbook. Firmendruckschrift der Motorola Semiconductor Products Inc.

[4] M 6800 Programmable Logic. Firmendruckschrift der Motorola Semiconductor Products Inc.

[5] M 6800 Support Software. Firmendruckschrift der Motorola Semiconductor Products Inc.

[6] Programming Manual M 6800 Micro Processor. Firmendruckschrift der Motorola Semiconductor Products Inc.

[7] International Access Directory – Command and Language Summary. Firmendruckschrift der General Electric Comp.

Wir bauen nicht nur die Schwierigen…

PPS-Mikroprozessor-Systeme. Gestern Utopie — heute Realität



Einsatzmöglichkeit: z. B. in der Medizin.

Unser Name steht weltweit für Entwicklungs-Know-How und Fertigungsqualität auf allen Gebieten moderner Elektronik und Elektrotechnik.

Ein neues Beispiel: unsere **PPS-Mikroprozessor-Systeme.** Diese „Entwicklungs-Beschleuniger" sind universell einzusetzen. Im Haushaltsbereich, in Maschinensteuerungen, in der Medizin, Wissenschaft und Forschung usw.

PPS heißt: Parallel Processing System. Das bedeutet: während der Eingabe neuer Befehle werden vorhandene Informationen weiterverarbeitet. Die Folge: höhere Verarbeitungsgeschwindigkeit.

Zur Verfügung stehen das 4-Bit-System PPS-4, das 8-Bit-System PPS-8. Für besonders wirtschaftliche Lösungen die Systeme PPS-4/2 – bestehend aus 2 Schaltungen und PPS-4/1, das 1-Chip-Mikroprozessorsystem.

Spezielle Peripheriebausteine wie z. B. Display, Bus-Interface, I/O-Bausteine usw. sind für alle Systeme einsetzbar.

Als Applikationshilfe steht eine umfangreiche Hard- und Software zur Verfügung.

Wir haben das Know-How. Und die komplette Palette. Überzeugen Sie sich von unseren Mikro Prozessor-Systemen auf der Electronica, Halle 14, Stand 14107.

Neue, genaue Unterlagen bei
AEG-TELEFUNKEN,
Serienprodukte AG
Fachbereich Halbleiter
Theresienstraße 2
7100 Heilbronn
Telefon (0 71 31) 88 21

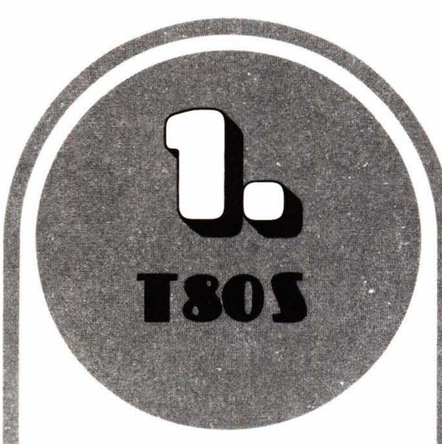


Halbleiter-Bauelemente von AEG-TELEFUNKEN

B2 76 BWB 4 004



Gründe, bei Ihrem nächsten Projekt Mikroprozessoren*) einzusetzen...



... ein modulares Mikrocomputer-System auf *Europakarten* mit dem TMS 8080 als CPU!

- Steckkartensystem im Europaformat
- Modularer Aufbau – beliebig erweiterbar
- Einheitlicher Systembus für alle Moduln
- Sehr flexibel – aufeinander abgestimmte Baugruppen
- Ausgereifte, zuverlässige Konstruktion hoher Qualität

Besonders geeignet zum Aufbau von Prototypen:

- Hardware-Entwicklungszeit entfällt – schnelle Markteinführung des Produkts
- Leichte Abänderung bestehender Systeme

Bisher erhältlich:

CPU 801 ● MEM 802 ● I/O 805
RAM 806 ● ROM 807
INT 808 ● RX/TX 809

Weitere Moduln wie DMA, A/D-D/A, Konsole, etc. in Vorbereitung



... das universelle 8080-µP-Prototypensystem; mit I.C.E. und Software in ROMs!

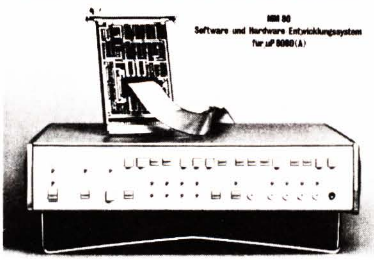
Zum Entwickeln und Testen von Soft- und Hardware des 8080!

SOFTWARE-ENTWICKLUNG:

- Monitor, Assembler, Editor, De-Assembler resident in ROMs (ständig abrufbereit, kein Laden, kein Überschreiben)
- Komfortable Debug- und Systembefehle (z.B. Memory-Test)
- PROM-Programmiergerät (als Option)

HARDWARE-ENTWICKLUNG:

- In-circuit-Emulator für den µP-8080 bereits im Basismodell
- Einfaches Umschalten zwischen Anwender- und Monitor-Bereich
- Alle Funktionen in einem Gerät



KLEIN – LEICHT – HANDLICH

3.
TI990
Prototypen-System

... die komfortable Entwicklungshilfe für TMS 9900 µPs - die Mikroprozessor-Familie der dritten Generation ...

TI 990 ist ein Software-Entwicklungssystem das keine Wünsche offen läßt:

- Basierend auf dem 990/4-Mikrocomputer bietet es bis zu 56 k-Byte-Speicherbereich für den Anwender
- Kassetten-Terminal 733 ASR SILENT im Preis inbegriffen, PROM-Programmiergerät als Option
- Umfangreiche Software: Debug-Monitor, One-pass Assembler, Source Editor, Linking Loader, Trace, Routine, PROM-Routinen
- Anwenderfreundliche Systembefehle, u.a. 31 Monitor-Befehle und 18 Editor-Befehle
- Lückenlose Dokumentation: 5 ausführliche Manuals und ein Softwarekurs zum Selbststudium (Ordner mit 580 Seiten und 10 Audio-Kassetten)
- Advanced-Prototyping System mit I.C.E. usw. demnächst erhältlich.

I.C.E. = In-circuit-Emulator.

*)... natürlich von Texas Instruments!

Bitte fordern Sie detaillierte Broschüren und Datenblätter an bei



Zweigniederlassung der
Texas Instruments Deutschland GmbH
Haggertystr. 1 8050 Freising Tel. 08161/80-1
Telex 05-26529

tm 1978

Dr. H. Hoffmann

Der Mikroprozessor 2650, ein leicht zu handhabendes 8-bit-System

Die stark gewachsene Komplexität und die steigenden Herstellungskosten moderner elektronischer Systeme zwingen den Systementwickler, jedes erreichbare Hilfsmittel zur Verbesserung des Kosten/Nutzen-Verhältnisses einzusetzen. Eines dieser Hilfsmittel ist der Valvo/Signetics-Mehrzweck-Mikroprozessor 2650. Er bietet, zusammen mit standardisierten MOS- und Bipolar-Speichern sowie Interface-Schaltungen, eine langfristige und attraktive Alternative zu den Standard-Logikserien. Mit den dazugehörigen Hardware- und Software-Hilfen ist er aufgrund seiner vielfältigen Eigenschaften ein interessanter Vertreter der auf dem Markt befindlichen 8-bit-Modelle. Seine Hauptaufgaben sind:

- Erweiterung bestehender TTL-Systeme
- Kostensenkung bisheriger Systeme, die in TTL-Technik oder mit kundenspezifischen MOS-LSI-Bausteinen aufgebaut sind
- Ersatz von bestehenden elektromechanischen Systemen
- Ermöglichen völlig neuer Produkte aufgrund des günstigeren Preis/Leistungsverhältnisses.

Bei der Entwicklung des Typs 2650 wurde besonderer Wert auf einfache, billige Schnittstellen gelegt. Der Prozessor zeichnet sich durch die folgenden Eigenschaften aus:

- Nur eine 5-V-Spannungsversorgung bei 0,5 W Verlustleistung
- alle Ein- und Ausgänge voll TTL-kompatibel
- Einphasen-Takteingang, voll TTL-kompatibel
- statische Logik.

Hierdurch erspart man sich außer den Kosten für mehrere Versorgungsspannungen auch die Mehraufwendungen für einen komplexen Mehrphasen-Taktgenerator. Durch die volle TTL-Kompatibilität kann man aus Standard-TTL-, Low-Power-Schottky-TTL-, CMOS- und N-MOS-Bausteinen die geeigneten Schaltungen für das System auswählen. Eine besonders nützliche Eigenschaft dieses Mikroprozessors besteht darin, daß man die Taktfrequenz (maximal 1,25 MHz) beliebig verringern kann; das erleichtert die Synchronisation. Außerdem kann man den Takt anhalten, ohne Status-Informationen oder Daten zu verlieren. Diese Eigenschaft erleichtert die Fehlersuche während der Entwicklung und bietet eine weitere Möglichkeit für einen direkten Speicherzugriff (DMA). Da die Spannungsversorgung und der Taktgenerator zusammen nur drei Anschlüsse benötigen, stehen für Steuer- und Statusleitungen so viele Anschlüsse zur Verfügung, daß ein Multiplexen dieser Signale entfallen kann.

Schematische Darstellung des internen Ablaufs

Die Blockschaltung *(Bild 1)* des Mikroprozessors 2650 zeigt die wesentlichen internen Funktionseinheiten und die wichtigsten Verbindungen. Die Ausführung einer Instruktion wird vom Prozessor im allgemeinen in folgenden Schritten vorgenommen:

1. Das Instruktionsadreßregister gibt die Adresse für den Programmspeicher auf den Adreßbus.
2. Das erste Byte der Instruktion wird vom Programmspeicher über den Datenbus geholt und im Instruktionsregister gespeichert.
3. Der Inhalt des Instruktionsregisters wird decodiert, um die Adressierungsart und die Instruktion zu erkennen.
4. Benötigt man einen Operanden aus dem Speicher, so wird seine Adresse ermittelt und in das Operandenadreßregister geladen.
5. Der Operand wird vom Programmspeicher geholt und die durch die Instruktion gegebene Operation ausgeführt.

Das Instruktionsregister speichert das erste Byte einer jeden Instruktion und veranlaßt die weiteren Operationen zur Ausführung dieser Instruktion. Der Inhalt dieses Registers wird decodiert und zusammen mit den Taktsignalen zur Steuerung aller anderen Elemente des Mikroprozessors benutzt. Das Auffangregister wird bei einigen Mehr-Byte-In-

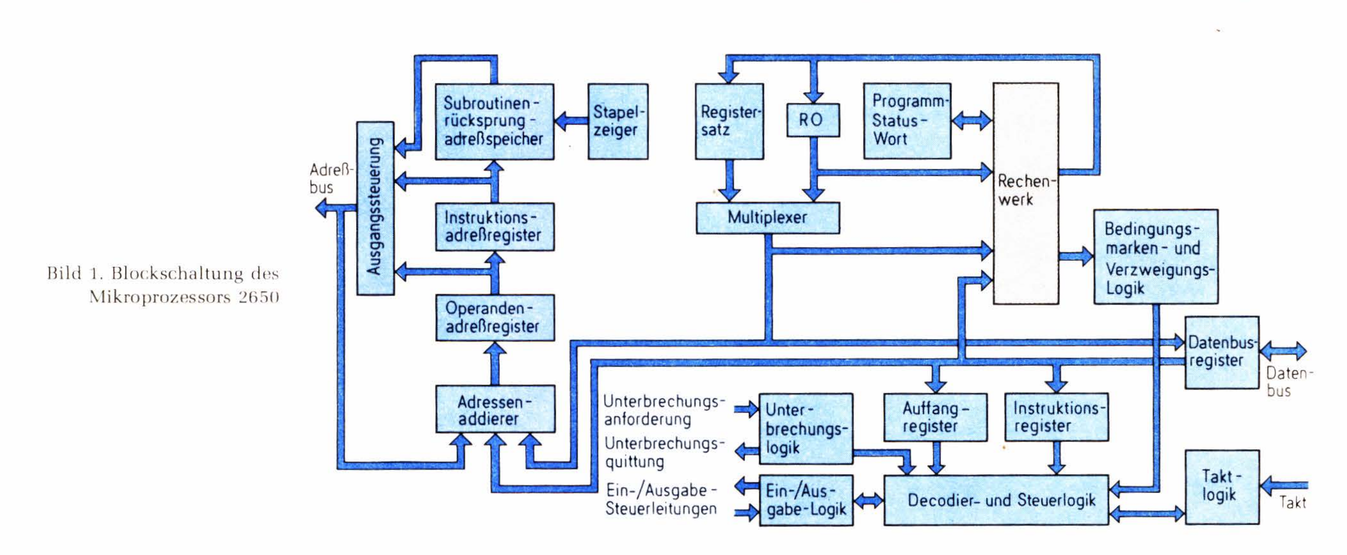


Bild 1. Blockschaltung des Mikroprozessors 2650

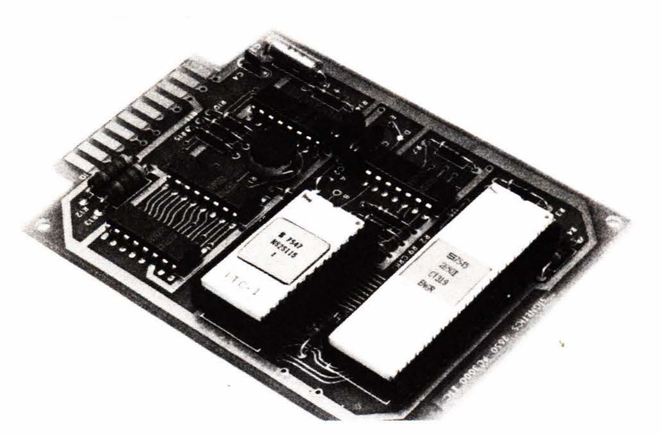


Bild 2. Mit dem Mikroprozessor 2650, zwei RAMs, einem ROM und wenigen TTL-Gattern kann man aus einer Fernschreibmaschine (mit Standard-TTL-Schnittstelle) einen Schreibautomaten für maximal 250 Zeichen machen

struktionen benutzt, um zusätzliche Informationen über Instruktionen und Teile der absoluten Adresse zu speichern.

Das Rechenwerk führt die Datenverarbeitungsoperationen aus, wie z. B. Laden, Speichern, Addieren, Subtrahieren, Vergleichen, Inkrementieren und boolesche Verknüpfungen. Es enthält und steuert das Übertragsbit, das Überlaufanzeigebit und die Statusregister.

Der Typ 2650 enthält einen Satz von sechs Registern, die in zwei Registerbänke mit je drei Registern aufgeteilt sind. Das Registerauswahlbit kennzeichnet eine von den beiden Bänken, auf die die Instruktionen anwendbar sind. Um das Durchführen der Registerinstruktionen zu erleichtern, ist das Register 0 außerhalb dieses Registersatzes angebracht. Auf diese Weise ist Register 0 immer zusammen mit einem Satz von 3 Registern verfügbar.

Der Adressenaddierer wird benutzt, um die Instruktionsadresse zu erhöhen und um relative und indizierte Adressen zu berechnen. Das Instruktionsadreßregister speichert die Adresse des nächsten Instruktionsbytes, auf das zugegriffen werden soll. Das Operandenadreßregister speichert die Operandenadresse und enthält manchmal Zwischenergebnisse bei der Durchführung von Adressenrechnungen. Der Subroutinen-Rücksprungadreßspeicher ist ein 8 Ebenen tiefer Stapelspeicher *(stack, LIFO)*. Er speichert automatisch diejenige Adresse, die auf einen Subroutinen-Verzweigungsbefehl folgt.

Datenverkehr und Programmunterbrechung

Sowohl der Datenverkehr zwischen dem Speicher und den Ein-/Ausgabe-Geräten als auch die Programmunterbrechungsprozedur werden durch einfachen Quittungsbetrieb *(handshaking)* gehandhabt. Der Zeitbedarf dieses Vorganges ist taktunabhängig: Der Prozessor wartet auf die Quittung, ehe er das Programm weiter abarbeitet. Dies erleichtert die Zusammenarbeit mit langsameren externen Baugruppen ganz wesentlich.

Um asynchrone bit-serielle Geräte wie Fernschreiber *(Bild 2)* mit geringem zusätzlichen Aufwand anschließen zu können, wurde ein vom Programm steuerbarer 1-bit-Ein-/Ausgabe-Anschluß zur Verfügung gestellt. Dieser Anschluß ist unabhängig vom 8-bit-Datenbus und den dazugehörigen Steuersignalen, so daß man diese Eigenschaft des Systems auch für andere Anwendungen benutzen kann, z. B. zur Erweiterung des Adressierungsraumes von 32 K auf 64 KWorte.

Der Mikroprozessor 2650 enthält eine gerichtete Programmunterbrechungsmöglichkeit *(vectored interrupt)*, die bis zu 64 unterschiedliche Ein-/Ausgabe-Geräte durch spezifische Subroutinen bedienen kann. Die Adresse der Subroutine wird vom anfordernden Gerät auf dem Datenbus abgelegt und kann eine beliebige Speicheradresse von 128 möglichen sein. Zusätzlich kann das anfordernde Gerät eine Angabe darüber machen, ob eine direkte oder indirekte Adresse angefordert wird. Auf diese Art kann die Subroutine irgendwo in dem zur Verfügung stehenden Adressierungsraum von 32 K untergebracht werden.

Erhält der Mikroprozessor eine Unterbrechungsanforderung, so wird intern ein Bit gesetzt, das die Annahme weiterer Unterbrechungsanforderungen verhindert, bis die laufende Routine durchgeführt worden ist.

Übersichtlicher Instruktionssatz

Der Instruktionssatz enthält viele Charakteristika konventioneller Rechensysteme aller Größenklassen. Er besteht aus 75 Befehlen; 40 % davon sind arithmetische Operationen. Diese Klasse enthält boolesche, arithmetische und Vergleichsoperationen. Jede dieser Operationen kann durch eine der acht möglichen Adressierungsarten ausgeführt werden. Weitere 30 % des Instruktionssatzes bestehen aus Verzweigungsbefehlen mit sechs Adressierungsarten. In den verbleibenden 30 % sind unter anderem Ein-/Ausgabe-Befehle enthalten sowie Befehle zur Ausführung von Operationen in den zwei Statusregistern, ein Korrekturbefehl für Dezimaladdition und der Haltbefehl. Die Instruktionen selbst sind 1, 2 oder 3 Byte lang, abhängig vom Inhalt der Instruktion und der Adressierungsart.

Die im Mikroprozessor enthaltenen sieben Mehrzweckregister (Registersatz und R0) können als Index-Register benutzt werden, wobei außerdem automatisches Inkrementieren oder Dekrementieren der Index-Register vorgegeben werden kann, ohne zusätzliche Ausführungszeiten zu beanspruchen. Für die Register-Adressierung werden 1-Byte-Instruktionen benutzt, während für unmittelbare und relative Adressierungen 2 Bytes benötigt werden. Absolut adressierte Instruktionen benutzen 3 Bytes. Besondere Bedeutung wurde der Verzweigungsklasse beigemessen, um mit geringem Aufwand Programmschleifen ausführen zu können. Eine einzige 2-Byte-Instruktion kann z. B. ein Indexregister dekrementieren, das Register selbst testen und zum Anfang der Schleife zurückspringen, falls der Inhalt des Registers nicht null ist. Verzweigungen können auch abhängig gemacht werden von einem wahren oder falschen Ergebnis im Statusregister, das nach jeder arithmetischen Operation gesetzt wird. Da fast jedes Programm Schleifen und bedingte Verzweigungen enthält, wirkt sich diese Struktur des Instruktionssatzes in fast allen Anwendungsfällen günstig aus.

Anwenderhilfen

Um den System-Entwickler zusätzlich zu unterstützen, liefert Valvo einen in FORTRAN IV geschriebenen Cross-Assembler und einen Cross-Simulator in 16-bit- und 32-bit-Versionen. Zusätzlich stehen der Assembler und der Simulator auf NCSS- und General-Electric-Timesharing-Systemen zur Verfügung. Eine bestückte Leiterplatte zum Herstellen und Austesten von Prototypen ist unter der Bezeichnung PC 1001 lieferbar. Sie enthält einen quarzgesteuerten Taktgenerator, 1 KByte Schreib/Lese-Speicher-Kapazität und 1 KByte Festspeicher-Kapazität, programmiert mit einem Fehlersuchprogramm (PIPBUG). Ein komplettes Prototypenentwicklungssystem (TWIN) befindet sich in der Entwicklung.

Das „Super"-Bauelement:

Mikrocomputer auf einer Platine mit softwaregesteuerten Ein-/Ausgabeeinheiten

Die Realisierung eines preiswerten Computersystems auf einer Platine mit vielseitigen Einsatzmöglichkeiten war schon immer eines der Hauptziele der Entwickler von LSI-Schaltungen. Denn ein Computer mit einer Zentraleinheit, Schreib-/Lesespeichern, Festwertspeichern sowie parallelen und seriellen Ein-/Ausgabeeinheiten auf einer Platine kann die gebräuchlichen Prozeß- und Steuerungsaufgaben für Hersteller elektronischer Systeme erfüllen. Darüber hinaus können damit neue Anwendungsgebiete erschlossen werden, wo bisher eine Lösung mit konventionellen Computern oder den verschiedenen Minicomputer-Varianten aus Kosten- und Platzgründen oder wegen zu hoher Verlustleistung nicht möglich war.

Allerdings waren bis zum heutigen Zeitpunkt hochintegrierte Bauelemente nicht vorhanden, um Festwertspeicher (EPROM/ROM) mit genügend hoher Bit-Dichte sowie flexible Ein-/Ausgabeelemente auf der CPU-Platine mit unterzubringen. Außerdem lag der Schwerpunkt der bisherigen LSI-Entwicklung auf dem Gebiet der Schreib-/Lesespeicher und der Zentraleinheiten. Hinter dieser Konzentration verbirgt sich eine gewisse Ironie, da die wirkliche Leistungsfähigkeit und Vielseitigkeit einer Großzahl von OEM-Computern besonders von einer einfachen Programmspeicherung und den Fähigkeiten der Ein-/Ausgabekanäle abhängt. Aufgrund der fehlenden LSI-Bausteine waren zusätzliche ROM-Speicherplatinen und weitere TTL-Logikschaltungen sowie diskrete Bauelemente erforderlich, um die sogenannten Computer auf einer Platine in das Gesamtsystem zu integrieren. Häufig waren sogar zwei, drei oder mehrere Platinen notwendig, um die gesetzten Aufgaben zu erfüllen.

Jedoch ist jetzt der Computer auf einer Platine, gewissermaßen als „Super-Bauelement", durch die Entwicklung neuer LSI-Bausteine der Firma Intel Wirklichkeit geworden. Es sind dies ein löschbarer programmierbarer 8192-bit-Festwertspeicher (EPROM) und zwei programmierbare LSI-Schaltungen für die Ein-/Ausgabe, die von der Software des Systems gesteuert werden. Durch die Software vereinfacht sich die Anpassung an parallele und serielle Ein-/Ausgabekanäle erheblich und die bisherige Notwendigkeit, festverdrahtete Platinen speziell für Kundenanwendungen zu entwickeln, entfällt weitgehend.

Bei dem neuen „Computer auf einer Platine" Modell SBC 80/10 (*Bild 1*) handelt es sich um einen 8-bit-Mehrzweckcomputer mit der vielfach angewendeten 8080A-CPU, der für die meisten Anforderungen von Systemherstellern in bezug auf Rechnerleistung, Speicherkapazität und Ein-/Ausgabefähigkeiten ausreichend ist. Da die Ein-/Ausgabekanäle softwaregesteuert sind, werden kundenspezifische Hardware-Entwicklungen für den größten Teil aller Systeme nicht mehr benötigt. Ferner sind alle gängigen Peripherie-Schnittstellen vorhanden. Er wird darüber hinaus mit allen erforderlichen Entwicklungshilfsmitteln unterstützt: unter anderem Makro-Assembler, PL/M-Compiler, Text-Editor und einem Entwicklungssystem sowie Zugriff zu der umfassenden Anwender-Programmbibliothek. Der SBC 80/10-Computer wird in Stückzahlen von 100 für unter DM 1000.– geliefert. Die äußerst günstige Preisstruktur ist nur deshalb möglich, weil alle verwendeten LSI-Bausteine von Intel in Großstückzahlen produziert werden.

Zentraleinheit

Der gesamte Computer, bestehend aus der 8-bit-CPU 8080A, einem 1-KByte-RAM, Fassungen für 8-KByte-EPROM/ROMs, parallelem I/O-Interface für 48 Kanäle, seriellem Interface für verschiedene Datenträger, aller erforderlichen Schnittstellenanpassungen, Steuerschaltungen und Quarzoszillator, ist auf einer Platine der Größe 17,2 cm x 30,5 cm (6,75 Zoll x 12 Zoll) untergebracht (siehe auch Blockschaltung *Bild 2*).

Die Zentraleinheit mit Unterbrechungssteuerung (Interrupt), Bus-Steuerlogik, Quarzoszillator, Puffertreiber für Speicher, I/O-Erweiterung und andere zugehörige Funktionen werden hier nicht eingehend beschrieben. Die meisten dieser Funktionen werden mit der 8080A-CPU und zwei bipolaren Schottky-LSI-Elementen realisiert (für eine detaillierte Beschreibung wird auf die Literatur [2, 3] verwiesen). Es soll hier nur bemerkt werden, daß der SBC 80/10-Computer mit einer Taktfrequenz von 2,048 MHz arbeitet und eine Grundbefehlszykluszeit von 1,95 µs hat. Die Speicher auf der Platine sind so gewählt, daß alle Schreib-/Lesevorgänge mit maximaler Geschwindigkeit ablaufen.

Speicher

Auf der Platine sind alle Speichertypen vorhanden, die für ein modernes Computersystem erforderlich sind. Der Schreib-/Lesespeicher besteht aus acht statischen 1024-bit(256 x 8)-RAMs vom Typ 8111. Obwohl herkömmliche Computer auch Schreib-/Lesespeicher mit auf der CPU-Platine hatten, fehlte bisher ein Festwertspeicher von genügender Bit-Dichte, um die Systemprogramme fest abzuspeichern. Um Programme nicht jedesmal wieder neu laden zu müssen, war es zwangsläufig erforderlich, eine zusätzliche ROM-Platine einzusetzen. Durch den von Intel neuentwickelten löschbaren, wiederprogrammierbaren 8192-bit-PROM (EPROM) Typ 8708 ist es nun möglich genügend EPROM auf der Computerplatine unterzubringen, um Systemprogramme ohne zusätzliche Platinen zu speichern. Es können bis zu 4 KByte EROM/ROM auf der SBC 80/10-Platine eingesetzt werden. Die EROMs werden normalerweise für Entwicklungszwecke benutzt, da sie sich leicht löschen und wieder programmieren lassen.

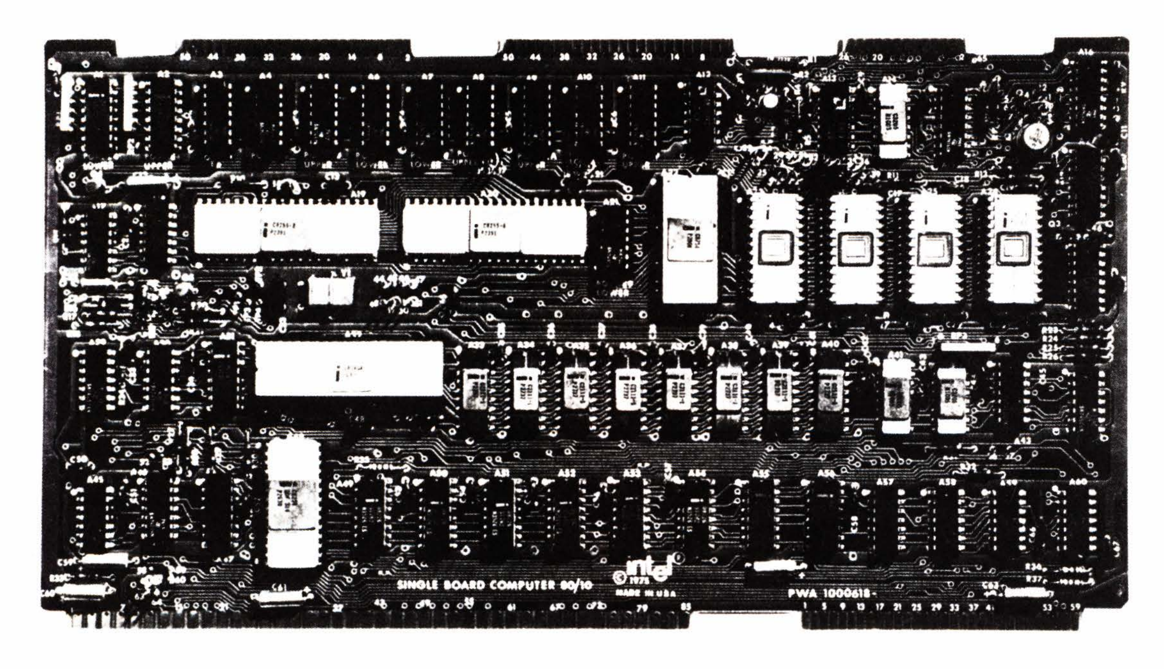


Bild 1. Als „Super"-Bauelement bezeichnet die Firma Intel diesen OEM-Computer auf einer Platine

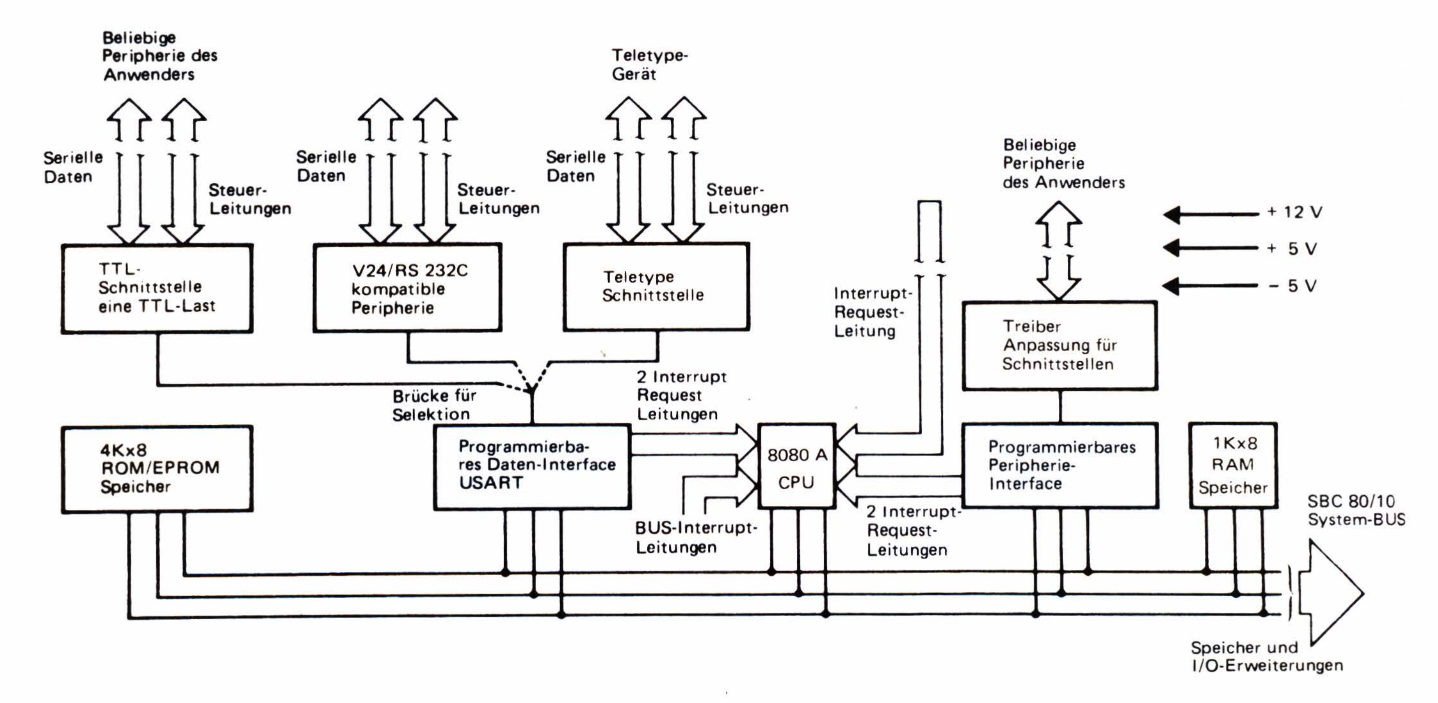


Bild 2. Blockschaltung des Mikrocomputers SBC 80/10

Viele Systemhersteller ziehen aber auch EPROMs vor, um speziellen Kundenwünschen gerecht zu werden oder um Neuentwicklungen auf dem Markt zu testen. Wenn größere Serien es rechtfertigen, können die 8708-EPROMs gegen die 8192-bit-ROMs Typ 8308 ausgetauscht werden, um Kosten zu reduzieren.

Ein-/Ausgabe (I/O)

Computer, die in einem Endprodukt eines Herstellers benutzt werden, müssen in der Lage sein, mit einer Vielzahl von externen Geräten interaktiv zu arbeiten. Dazu gehören Schaltvorrichtungen, Motoren, Sensoren, A/D- und D/A-Umsetzer, Displays verschiedenster Art, Drucker, Teletypes, Modems, Kassettenrecorder und Computer. Da die möglichen Systemkonfigurationen praktisch unbegrenzt sind, wurden von Intel zwei programmierbare LSI-Interface-Bausteine entwickelt. Sie sind sozusagen der Schlüssel für kosteneffektive Systeme, da sie programmgesteuert verschiedene Betriebsarten und Datenprotokolle bewältigen und damit zahlreiche zusätzliche Spezialbausteine ersetzen. Diese I/O-Peripheriebausteine werden mit dem Systemprogramm auf die Erfordernisse der Schnittstelle mit einem entsprechenden Steuerwort von der CPU angepaßt. Als einzige zusätzliche elektrische Anpassung sind dann lediglich die gewählten Leitungstreiber oder Widerstandskombinationen in die vorgesehenen Fassungen einzusetzen.

Mit zwei programmierbaren LSI-Peripherie-Bausteinen Typ 8255 erhält der Anwender 48 parallele Ein-/Ausgabeleitungen. Sie können mit der Systemsoftware des SBC 80/10-Computers in beliebigen Gruppen und Kombinationen unidirektional als Ein-/Ausgabekanal oder bidirektional programmiert werden. Ferner besteht die Möglichkeit, die internen Zwischenspeicher (Latches) einzuprogrammieren und die Daten getaktet oder direkt zu behandeln, sowohl für die Eingabe als auch für die Ausgabe von Daten. Ferner sind acht Leitungen auch als Steuerleitungen verwendbar. Entsprechende Leitungstreiber können dann in die vorgesehenen Fassungen gesteckt werden, z. B. für TTL-kompatible Leitungstreiber-Schnittstellen.

Für die serielle Datenübertragung wird der universelle synchrone/asynchrone Sender/Empfängerbaustein (USART) vom Typ 8251 eingesetzt. Er wird ebenfalls von der Systemsoftware programmiert, um praktisch jedes serielle Datenübertragungsprotokoll abzuwickeln (auch IBM-BI-Sync.). Das Programm gibt entsprechende Steuerworte, um die Betriebsart (synchron oder asynchron), Datenformat, Parität, Steuerzeichen usw. zu bestimmen. Voll-Duplex-Übertragung und Fehlerfeststellung werden selbständig vom USART behandelt. Durch eine Brücke auf der SBC 80/10-Platine können Schnittstellen-Anpassungen für Teletype, V24/RS232C oder TTL-Logik gewählt werden, so daß verschiedene Ein-/Ausgabegeräte, u. a. Kassettengeräte und Modems, direkt angeschlossen werden können.

Interrupts

Auf einer Ebene können verschiedene Interrupts erzeugt und gesteuert werden, zum Beispiel vom USART oder den parallelen Ein-/Ausgabeleitungen sowie über zwei vom Anwender bestimmte Unterbrechungsleitungen. Bis zu sechs Interrupt-Quellen können abgefragt werden. Wenn eine Unterbrechungsanfrage vorliegt, unterbricht die 8080A-CPU das Programm und speichert die nötigen Daten im RAM, um den Interrupt zu bedienen. Mit maskierbarer Interruptsteuerung kann ferner festgestellt werden, ob der Service sofort oder später gebraucht wird.

Entwicklungshilfsmittel

Der Systemhersteller kann Entwicklung, Testen, Fehlersuche und Ablauf von Software-Programmen direkt auf dem SBC 80/10 ausführen, und zwar durch Einsatz des MDS-800-Mikrocomputer-Entwicklungssystems und des dazugehörigen Emulators ICE-80, der softwaregesteuert die CPU für Entwicklungs- und Debugging-Zwecke ersetzt. Das Erstellen von Programmen ist durch die vorhandene Software wie Makro-Assembler, Texteditor und das Diskette-Betriebssystem des MDS-800 sehr vereinfacht.

Die Programmiersprache PL/M gibt darüber hinaus die Möglichkeit, Programme in einer natürlichen algorithmischen Sprache zu erstellen. Hierfür verfügt die Intel-Anwenderbibliothek über viele Programme für Herstelleranwendungen, wie z. B. zur Steuerung von Peripheriegeräten und Testprogrammen.

Mit dem angebotenen Spektrum von „Entwicklungshelfern" ist der SBC 80/10-Computer für den Hersteller ein sehr attraktives Bauteil, das leicht in ein Gesamtsystem integriert werden kann. Programmierbare Ein-/Ausgabe gibt dem Entwickler die Möglichkeit, bestehende Produkte zu modifizieren und für neue Entwicklungen die gleichen Computer einzusetzen. Damit kann im Endeffekt ein preiswertes Standardsystem, wie es der SBC 80/10 darstellt, die Kosten erheblich senken.

Gerd H. Schlitt

Literatur

[1] *Garrow, B., Johnson, J.* und *Maerz, M.*: The „Super Component": The One-Board Computer with programable I/O. Electronics, Bd. 49, H. 3/76, S. 77...84.

[2] SBC 80/10 Single Board Computer, Datenblatt der Intel Corp., Santa Clara, CA.

[3] 8080 System Users Manual. Druckschrift der Intel Corp., Santa Clara, CA.

☐ Vertrieb: Intel Semiconductor GmbH, 8 München 21, Wolfratshauser Str. 169, Tel. (0 89) 79 89 23.

Ing. (grad.) Horst Huse

TMS 1000: Eine Familie von preiswerten Mikroprozessoren auf einem Chip

Seit der Einführung des Mikroprozessors im Jahre 1971 haben sich die Bauteilekosten für diese Elemente drastisch nach unten bewegt. So sind heute 8-bit-Mikroprozessoren wie z. B. der Typ TMS 8080A bereits für weniger als 100 DM in Kleinstückzahlen erhältlich. Mit einer weiteren Halbierung ist innerhalb der nächsten ein bis zwei Jahre zu rechnen. Trotzdem werden die Kosten für komplette Mikrocomputersysteme den Anforderungen kleiner elektronischer Systeme (10...150 ICs) oder dem Ersatz von Mechanik noch nicht gerecht. Die Endpreise für solche Systeme liegen im Bereich von 50...150 DM und erfordern Mikrocomputersystempreise zwischen 15 DM und 50 DM. Diese Kostenanforderungen lassen sich mit Mehr-Chip-Mikroprozessorsystemen nicht mehr realisieren, da die mehrfachen Gehäusekosten bereits diesen Betrag ausmachen.

Die Realisierung solcher Kostenanforderungen ist deshalb nur mit einem Ein-Chip-Mikrocomputer möglich, d. h. alle Komponenten des Computers befinden sich auf einem Halbleiterkristall, und die Gehäusekosten treten dadurch nur einmalig auf. Ein anderer wesentlicher Grund für die Forderung nach einem Ein-Chip-Mikrocomputer ist darin zu sehen, daß die Entwicklungskosten für ein System mit der Stückzahl konstant bleiben, während die Bauteilekosten linear mit der Stückzahl steigen. Die Gesamtkosten werden also bei höheren Stückzahlen im wesentlichen von den Bauteilekosten bestimmt – ein gewichtiges Argument für den Ein-Chip-Mikroprozessor. Bei geringeren bis mittleren Stückzahlen ist es dagegen effektiver, größten Wert auf einen leistungsfähigen Befehlssatz zu legen, um die Software-Entwicklungskosten möglichst gering zu halten [1].

1 Eigenschaften

Bei der TMS-1000-Familie handelt es sich um Ein-Chip-4-bit-Mikrocomputer, die den erwähnten Kostenanforderungen gerecht werden. So ist z. B. der Typ TMS 1000 NL in Stückzahlen von 5000/Jahr für 30 DM/Stück (ohne MwSt.) erhältlich. Dieser Betrag wird sich in den nächsten Jahren weiter reduzieren und 1980 in der Nähe von 10 DM/Stück liegen. Erreichbar sind diese Preisrelationen durch die Verwendung von möglichst kleinen Plastikgehäusen (28polig beim TMS 1000 NL) und einer einfachen, hochkomplexen Technologie wie PMOS. Diese Technologie ist bereits seit langem in der Massenproduktion erprobt und gibt deshalb kaum fertigungstechnische Probleme auf. Die gegenwärtig mögliche Anzahl von ca. 10 000 Transistoren auf einem Chip ist bei der TMS-1000-Familie ausgenutzt worden. Die technischen Unterschiede innerhalb der Familie liegen in der Größe des Programmspeichers, der Größe des Datenspeichers und der Anzahl der Ausgänge. Alle Komponenten eines Computers befinden sich auf einem Halbleiterkristall von 5 mm x 5 mm Kantenlänge; der Mikroprozessor (4 bit), der Programmspeicher (ROM), der Datenspeicher (RAM), die Ein/Ausgabe-Einheit und nicht zu vergessen der interne Taktgenerator zur zeitlichen Steuerung des Befehlsablaufs. Die Anzahl der Ausgänge bestimmt die Größe des Gehäuses, das 28-, 40- oder 64polig sein kann.

Das kundenspezifische Programm wird durch Änderung einer Metallisierungsmaske zur Festlegung des ROM-Inhaltes eingeschrieben. Da die Herstellung eines Maskensatzes erst ab einer Stückzahl von etwa 5000/Jahr wirtschaftlich ist, sind innerhalb der TMS-1000-Familie zwei Bausteine enthalten, bei denen der Programmspeicher extern mit Standard-RAMs oder -PROMs aufgebaut werden kann. Diese Bausteine eignen sich damit zum Aufbau von Prototypen und Kleinserien. Von Vorteil für den Anwender ist dabei, daß er bei einer nicht vorhergesehenen Erhöhung der Produktionsstückzahlen jederzeit auf die kostengünstigere Ein-Chip-Lösung umstellen kann. Dies ist möglich, da Standard-Befehlssätze definiert wurden, die eine Umstellung problemlos machen. In der *Tabelle* sind die acht verschiedenen Mitglieder der TMS-1000-Familie aufgeführt. Die hohe Komplexität ist daran zu erkennen, daß z. B. der TMS 1300 NL ein 16384-bit-ROM als Programmspeicher aufweist, das aber nur etwa 20 % der Chip-Fläche ausmacht. Als Besonderheiten der TMS-1000-Familie sind hervorzuheben:

- Übersichtliche 4-bit-Mikrocomputer-Architektur
- Leicht erlernbarer und effektiver Befehlssatz
- Hohe Komplexität – alle Computerbaugruppen auf einem Chip
- Geringe Leistungsaufnahme – typ. nur 90 bzw. 105 mW
- Eine Versorgungsspannung von 15 V – CMOS- und TTL-kompatibel
- Geringe Bauteilekosten – 30 DM/Stück bei 5000 Stück/Jahr.

Tabelle der TMS-1000-Produkte

Typ	Programm-speicher	Daten-speicher	0-Ausgänge	R-Ausgänge	Anschlußzahl	Standard-Befehlssatz
TMS 1000	8192 bit	256 bit	8 (20 V)	11	28	TMS 1000
TMS 1070	8192 bit	256 bit	8 (35 V)	11	28	TMS 1000
TMS 1200	8192 bit	256 bit	8 (20 V)	13	40	TMS 1000
TMS 1270	8192 bit	256 bit	10 (35 V)	13	40	TMS 1000
TMS 1099	extern	256 bit	5 (20 V)	13	64	TMS 1000*
TMS 1100	16 384 bit	512 bit	8 (20 V)	11	28	TMS 1100
TMS 1300	16 384 bit	512 bit	8 (20 V)	16	40	TMS 1100
TMS 1098	extern	512 bit	5 (20 V)	16	64	TMS 1100*

* Wird nur mit Standard-Befehlssatz geliefert

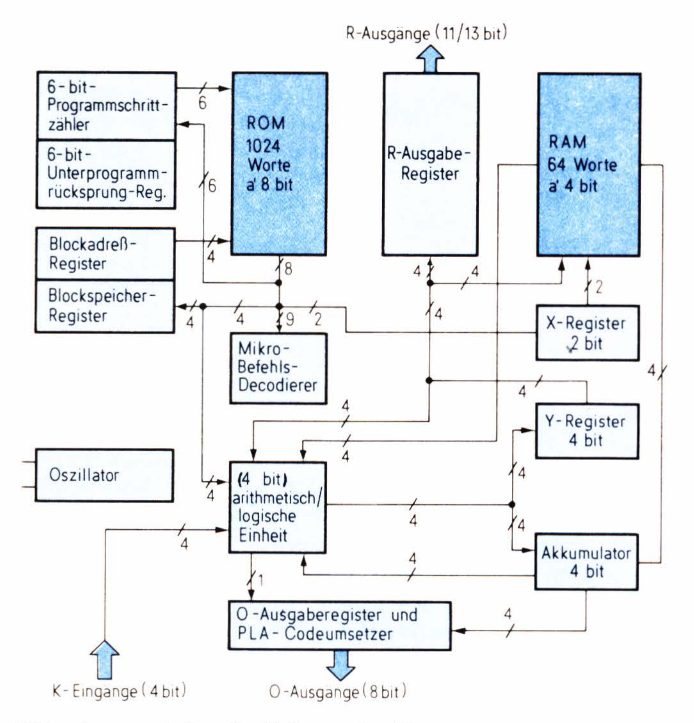


Bild 1. Interner Aufbau der TMS-1000-Familie

Wegen der ersten zwei Punkte eignen sich die Bausteine besonders für die Einarbeitung in das Gebiet der Mikroprozessoren. Dies trifft für Entwickler mit Kenntnissen der Digitaltechnik im besonderen Maße zu.

2 Aufbau

Die nachfolgenden Ausführungen über Architektur und Befehlssatz beschränken sich auf den Typ TMS 1000 mit 8 Kbit Programm- und 256 bit Datenspeicher. Die Abweichungen der Typen mit 16 Kbit Programm- und 512 bit Datenspeicher und mit externem Programmspeicher werden im wesentlichen erläutert.

Bild 1 zeigt den internen Aufbau. Das Befehlsformat beträgt 8 bit und kann nicht variiert werden. Da die Bausteine mikroprogrammierbar sind, kann der Anwender den für sich optimalen Befehlssatz zusammenstellen. Die Möglichkeit, ein Unterprogramm aufzurufen, ist nach den bisherigen Erfahrungen für den Einsatz in kleinen Systemen ausreichend.

Der Programmspeicher (ROM) von 8192 bit ist grundsätzlich organisiert in 1024 Worte zu 8 bit. Wichtig für den Programmierer ist, daß diese 1024 Worte (1 Wort = 1 Befehl) durch sogenanntes *Memory Pageing* in 16 Seiten (Blöcke) mit je 64 Befehlen unterteilt sind. Die Adressierung des Befehls innerhalb einer Seite übernimmt ein 6-bit-Programmschrittzähler und die Adresse des Blockes ist im 4-bit-Blockadreßregister enthalten. Für Unterprogrammsprünge steht ein 6-bit-Unterprogramm-Rücksprung- und ein 4-bit-Blockspeicherregister zur Verfügung. Aus dieser Programmspeicherorganisation resultiert, daß direkte Sprünge nur innerhalb eines Blockes vorgenommen werden können. Bei Sprüngen außerhalb eines Blockes wird zuerst das Blockspeicherregister mit einer neuen 4-bit-Blockadresse geladen (*Long Branch*).

Die Kapazität des Datenspeichers beträgt 256 bit, die in 4 Worte zu 16 Stellen à 4 bit organisiert sind. Die Adressierung einer 4-bit-Speicherstelle erfolgt indirekt über das Y-Register (4-bit-Stellenadresse) und das X-Register (2-bit-Wortadresse).

Die arithmetische/logische Einheit besteht im wesentlichen aus einem 4-bit-Addierer/Vergleicher, der Addition, Subtraktion und arithmetische/logische Vergleiche vornimmt. Als Operandenquellen dienen der Datenspeicher, der Programmspeicher (Konstanten), das Y-Register, der Akkumulator und die 4-bit-Eingabe (K-Eingänge). Als Arbeitsregister für Ergebnisse können sowohl der Akkumulator als auch das Y-Register verwendet werden.

Der Mikrobefehlsdecodierer decodiert den 8-bit-Befehl des Mikrocomputers in 12 feste Befehle (wie z. B. Call oder Branch) und in 16 Mikrobefehle. Eine Sequenz dieser 16 Mikrobefehle ergibt wiederum einen Maschinenbefehl. Diese Sequenz kann über ein PLA kundenspezifisch definiert werden, um den Befehlssatz optimal an eine Anwendung anzupassen. Zur Vereinfachung der Firmware (z. B. Assemblerprogramme) wurde ein Standard-Befehlssatz von 43 Befehlen definiert, der für die meisten Anwendungen ausreicht.

Zum Verständnis der Funktion und Möglichkeiten der R-Ausgänge ist wichtig, daß jedem Ausgang ein 1-bit-Speicher zugeordnet ist. Dieser Speicher kann per Befehl individuell gesetzt oder gelöscht werden. Die Adressierung des R-Ausganges erfolgt dabei indirekt über das Y-Register. Aufgrund dieses Aufbaues ist es möglich, die R-Ausgänge direkt zur Aussteuerung von Lampen, Relais oder Treibertransistoren zu verwenden. Die Anzahl der R-Ausgänge variiert zwischen 11, 13 und 16.

Im Gegensatz zur Ausgabe von Steuerinformationen über die R-Ausgänge dienen die O-Ausgänge zur Ausgabe von codierten Informationen. Eine Besonderheit ist, daß die 5-bit-Information im O-Ausgaberegister über ein PLA mit 20 Mintermen auf acht Ausgabeleitungen umcodiert werden kann. Daher ist es möglich, neben einer 4-bit-BCD-Ausgabe auch direkt eine 7-Segment-Ausgabe vorzunehmen [2].

Der interne Oszillator erzeugt die erforderlichen Takte $\Phi_1 \ldots \Phi_5$ und arbeitet mit einer Frequenz von 100 kHz bis 400 kHz. Die Einstellung der Frequenz wird über ein externes RC-Glied vorgenommen [3]. Sind genaue Frequenzeinstellungen erforderlich, so ist ein externer Quarzgenerator verwendbar [4].

Wie schon erwähnt, umfaßt der Standard-Befehlssatz der TMS-1000-Familie 43 bzw. 54 Befehle, wobei der 8-bit-Befehl in fünf verschiedene Formate unterteilt wird. Diese fünf Formate sind in *Bild 2* dargestellt. Zur Anwendung kommen direkte (register-unmittelbar) und indirekte (register-indirekt, register-indirekt mit aut. Inkrement. und – nur bei TMS 1100/1300/1098 – register-indirekt mit aut. Dekrement.) Adressierungsarten. Wichtig ist die Möglichkeit des automatischen Inkrementierens/Dekrementierens, das eine einfache Verarbeitung von mehrstelligen BCD-Zahlen erlaubt.

Die verschiedenen Befehlsgruppen innerhalb des Befehlsvorrates sind:

	TMS-1000-Gruppe	TMS-1100-Gruppe
Transportbefehle	11	12
Arithmetische/logische Befehle	17	27
Bitbefehle	3	3
Ein-/Ausgabebefehle	6	5
RAM-Adressierung	2	2
Programmsteuerbefehle	4	5
	43	54

Für den Einsatz in kleinen Steuerungssystemen ist die Möglichkeit der Bitmanipulation sehr wertvoll. Diese Befehle gestatten es z. B., innerhalb des Datenspeichers jedes Bit zu setzen, zu löschen oder zu testen (Zustandsabfrage).

Zur Erlernbarkeit des Befehlssatzes ist zu erwähnen, daß die mnemotechnischen Abkürzungen der Assemblersprache [2] sehr übersichtlich und einfach sind.

3 Anwendungen

Aufgrund der besonderen Eigenschaften der TMS-1000-Familie gibt es folgende Einsatzschwerpunkte: Ersatz von elektromechanischen Lösungen, Ablösung kleiner Logiksysteme (derzeit 10...300 ICs), Hilfsmittel zur Einarbeitung in das Gebiet der Mikroprozessoren. Als Ersatz für elektromechanische Lösungen ist die TMS-1000-Familie wegen der sehr geringen Bauteilekosten geeignet. Denkbare Einsatzmöglichkeiten sind: – Haushaltsgeräte, wie Waschmaschinen [5], Elektroherde, Mikrowellenherde, Grillautomaten, Gefriergeräte usw. – Kraftfahrzeuge (zur Sicherheitsüberwachung, Fehlerdiagnose, Instrumentensteuerung, Zeitschaltungen usw.) – Automaten, wie Münzwechsler, Musikboxen, Geldspielautomaten, Sortiergeräte usw.

Wird die TMS-1000-Familie eingesetzt, um bestehende kleine elektronische Systeme, die derzeit mit Standard-Bausteinen aufgebaut sind, zu ersetzen, so sind in folgenden Bereichen Anwendungen zu nennen:

– Industriebereich: Heizungssteuerung und -regelung, elektronische Waagen, Aufzugssteuerung, Alarmanlagen, Rundsteueranlagen, rechnende Meßgeräte, Druckersteuerungen usw.

– Unterhaltungselektronik: elektronische Spiele, Fernsteuerungen, Tonbandsteuerungen, Senderwahl, Uhren, Zeitsteuerungen usw.

– Nachrichtentechnik: Nebenstellenanlagen, Gebührenzähler, Terminals, Telefonwählanlagen, Anrufbeantworter usw.

Als wesentliche Vorteile des Mikrocomputereinsatzes ergeben sich in diesen Bereichen die Reduzierung der Bauteilekosten und des Platzbedarfs, eine geringere Leistungsaufnahme, eine erhöhte Zuverlässigkeit und kürzere Entwicklungszeiten.

Neben diesen Punkten sind meist noch Verbesserungen der Eigenschaften des Endproduktes zu erwarten, z. B. einfachere Bedienung oder Programmierbarkeit, was die Konkurrenzfähigkeit erheblich steigert.

4 Kundenschaltung oder Mikrocomputer?

Für Anwender, die den Einsatz einer kundenspezifischen Schaltung zur Reduzierung der Kosten und des Platzbedarfes beabsichtigen, bietet der Ein-Chip-Mikrocomputer eine beachtenswerte Alternative. Dies trifft insbesondere bei relativ kleinen Stückzahlen für eine Kundenschaltung (10 000...100 000) und bei überwiegend digitalen Funktionen zu.

Der Ein-Chip-Mikrocomputer ist durch die Maskenprogrammierung praktisch eine kundenspezifische Digitalschaltung. Der Unterschied zu einer herkömmlichen digitalen Kundenschaltung liegt darin, daß beim Ein-Chip-Mikrocomputer die Funktion des ICs durch das Programm verändert werden kann, nicht jedoch seine elektrischen Daten und Eigenschaften. Deshalb sind diese zwei Punkte zuerst zu klären. Oft ist es auch, trotz zusätzlichen externen Aufwands an Treibern, Transistoren usw., noch wirtschaftlicher, die Mikrocomputerlösung zu wählen, und zwar hauptsächlich wegen der geringeren Kosten und der kürzeren Entwicklungszeit. Sicher ist für den Anwender zusätzlich noch von Bedeutung, daß er die Entwicklung der Schaltung, bis auf die Maskenerstellung, selbst vornehmen kann und damit nur in geringem Maße vom Halbleiterhersteller abhängig ist.

Die zur Verfügung stehenden Entwicklungshilfen, wie Prototypensystem HE 1, HE 2 oder EP 1/EP 2, Programmierunterlagen [2], Mikrocomputerplatinen im Europaformat, Kurse und Applikationsberichte [4, 5] vereinfachen dabei die Einarbeitung und Projektdurchführung.

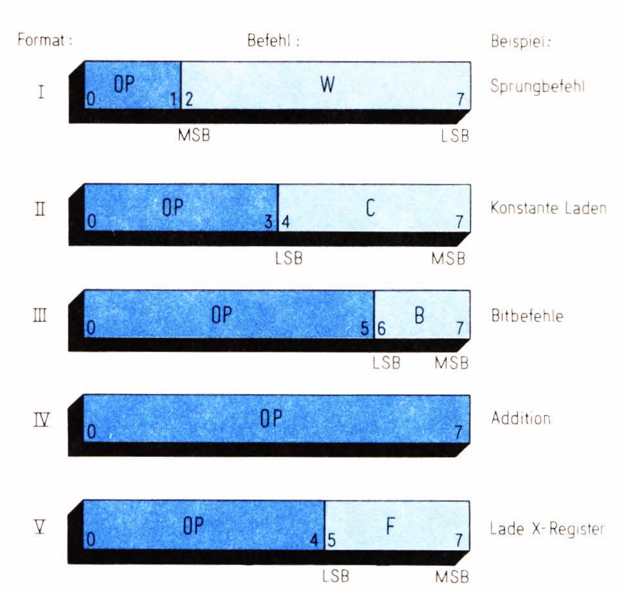


Bild 2. Befehlsformate der Mikroprozessoren TMS 1000/1100: OP = Operationscode (Format V nur bei TMS 1100), W = Sprungadresse innerhalb eines Blocks (6 bit), C = Konstante (4 bit), B = Bitadresse (0...3) innerhalb eines 4-bit-RAM-Wortes, F = Konstante (3 bit) zum Laden des X-Registers

Literatur

1 *Huse, H.*: Das TMS 9900/TI 990-Konzept: Softwarekompatibel vom Mikro- bis zum Minicomputer.

2 TMS 1000 Programmers Referece Manual, Programmier-Handbuch der Firma Texas Instruments Deutschland GmbH (MP 101 A).

3 TMS 1000 Data Manual, Datenblatt der Firma Texas Instruments Deutschland GmbH.

4 TMS 1000 Interfacing (EB 116 Applikationsschrift).

5 TMS 1000 Einsatz in Waschmaschinensteuerungen (Informationsschrift MPI 10).

16-bit-Mikroprozessor auf einem Chip

Eine komplexe CPU, die 87 Befehle verarbeitet (Befehlszeit 1,6...4,8 µs) und ein TTL-kompatibles Ein-/Ausgabe-Bus-System enthält der Mikroprozessor CP 1600 der Firma General Instrument. Damit steht ein Prozessor zur Verfügung, der wesentlich schneller arbeitet und leistungsfähiger ist als herkömmliche Bausteine. Durch das universelle Bus-System ist die Zusammenschaltung mit RAMs, ROMs und Peripheriegeräten äußerst einfach. Der Hersteller liefert eine ganze Reihe statischer RAMs und ROMs, doch sind auch andere Standard-Speicher ohne weiteres anschließbar. Es steht im Augenblick der Prototyp eines funktionsfähigen Mikrocomputer-Systems zur Verfügung, das durch ein umfangreiches Software-Angebot (FORTRAN-Assembler) ergänzt wird.

☐ Vertrieb: General Instrument Deutschland GmbH, Nordendstr. 1a, 8000 München 40, Tel. (0 89) 28 40 31.

ECL-Mikroprozessor arbeitet mit vorhandener Software

Die Komponenten der Bausteinserie MC 10 800 von Motorola enthalten ein 4-bit-Prozessor-Element, das durch Hinzufügen weiterer Bausteine eine erweiterte Wortlänge ermöglicht. Durch die ECL-Technik werden Zykluszeiten von 55 ns erreicht, die damit etwa um den Faktor 10 schneller sind als die herkömmlicher NMOS-Systeme. Der Hersteller hält die Entwicklung hochschneller LSI-Bausteine für sinnvoller als die Fertigung von Logikschaltungen im Subnanosekundenbereich, wo die potentielle Geschwindigkeit durch die Zeitverzögerung auf den Verbindungsleitungen ohnehin kaum erreicht wird. Das neue System kann mit vorhandener Software arbeiten und ist für spezielle Anwendungen konzipiert, wie z. B. für die Echtzeit-Analyse, schnelle Datenanzeige oder den Zeit-Multiplex-Betrieb.

☐ Vertrieb: Motorola GmbH, Heinrich-Hertz-Str. 1, Taunusstein-Neuhof 5, Tel. (0 61 28) 28 00.

Bei der Auswahl von Mikroprozessoren werden oft wichtige Kriterien außer acht gelassen. Eines davon ist die Frage, ob der gewählte Typ auch den steigenden Systemanforderungen der nächsten Jahre gewachsen sein wird und ob er den zu erwartenden Kosten- und Architekturtrends gerecht werden wird. Mit einem neuartigen Konzept geht die Firma Texas Instruments diesen Problemkreis an: Unter Berücksichtigung der heutigen technologischen Möglichkeiten legt sie das Hauptaugenmerk auf die Softwarekompatibilität, und zwar vom Mikroprozessor bis zum Minicomputer.

Ing. (grad.) Horst Huse

Das TMS 9900/TI 990-Konzept: Softwarekompatibel vom Mikro- bis zum Minicomputer

Der Anteil der Softwarekosten an den Gesamtkosten eines Systems steigt ständig (verwiesen sei hier auf die Computerbranche, in der sie bereits über 50 % ausmachen). Es ist deshalb zweckmäßig, im Hinblick auf spätere Erweiterungsmöglichkeiten, die ganze Palette vom Mikroprozessor bis zum Minicomputer softwarekompatibel zu machen, wie es beim Konzept 9900/990 der Fall ist. Diese Produktfamilie überstreicht einen nahezu lückenlosen Bereich von Preis- und Leistungsklassen. Die einzelnen Produkte sind in der *Tabelle 1* aufgeführt.

In bezug auf Architektur und Befehlssatz sind wesentliche Neuerungen eingeführt worden. Es handelt sich dabei um die Speicher-zu-Speicher-Architektur, das sogenannte Workspace-Konzept anstelle eines internen Registersatzes, um eine zusätzliche serielle Ein-/Ausgabe-Schnittstelle und um den leistungsfähigen Minicomputer-Befehlssatz, der – auch beim Mikroprozessor – schon die Division und die Multiplikation enthält. Die Vorteile, die sich daraus ergeben, sind in der *Tabelle 2* zusammengefaßt.

Tabelle 1. Produkte der Familie 9900/990

TMS 9980	16-bit-Mikroprozessor mit integriertem Taktgenerator im 40poligen Gehäuse in NMOS-Technologie
TMS 9900	16-bit-Mikroprozessor mit parallelem Daten- und Adreßbus im 64poligen Gehäuse in NMOS-Technologie
SBP 9900	16-bit-Mikroprozessor mit parallelem Daten- und Adreßbus im 64poligen Gehäuse in I^2L-Technologie für vollen militärischen Temperaturbereich
TI 990/4 AU	16-bit-Mikrocomputer auf einer Platine mit 1-KWorte-RAM/PROM und 4-KWorte-RAM (dyn.)
TI 990/4	16-bit-Mikrocomputer im 19-Zoll-Gehäuse mit Programmierer-Paneel, bis 32-K-Worte-RAM/PROM ausbaufähig
TI 990/10	16-bit-Minicomputer im 19-Zoll-Gehäuse mit Programmierer-Paneel, bis 1024-KWorte-RAM/PROM ausbaufähig

1 Der Mikroprozessor TMS 9900

Der Typ TMS 9900 ist das bedeutendste Mitglied der gegenwärtig aus drei Einchip-16-bit-Mikroprozessoren bestehenden Familie des 9900/990-Konzeptes. Er ist auch Bestandteil der Mikrocomputerplatine TI 990/4AU sowie des Mikrocomputers TI 990/4. Er enthält ein Steuer- und ein Rechenwerk, das über einen bidirektionalen 16-bit-Datenbus, einen 15-bit-Adreßbus und diverse Steuerleitungen mit externen Speicher- und Ein-/Ausgabe-Baugruppen verbunden werden kann.

1.1 Kenndaten und Architektur

Hervorzuheben ist, daß das variable Datenformat von 1, 8 und 16 bit eine einfache Anpassung an einen weiten Anwendungsbereich erlaubt. So z.B. Bitverarbeitung für Steuerungszwecke, Byteverarbeitung für alphanumerische und Wortverarbeitung für arithmetische Anwendungen. Mikroprogrammierbar ist keiner der Mikroprozessoren des 9900/990-Konzeptes, da alle 69 Maschinenbefehle wegen der geforderten Softwarekompatibilität fest definiert sind. Den internen Ausbau zeigt *Bild 1*.

Da Daten- und Adreßformat jeweils 16 bit umfassen, werden alle Adreßrechnungen im Rechenwerk vorgenommen. Dies trifft auch für den Programmschrittzähler (PC) zu. Von den internen Registern hat der Programmierer nur Zugriff zum Programmschrittzähler (PC), zum Workspace-Pointer (WP) und zum Statusregister (ST). Alle anderen Register dienen nur zur zeitweisen Zwischenspeicherung von Adressen und Daten. So werden z.B. die Register T1 und T2 für die Speicherung der Operanden bei der Multiplikation oder Division benötigt, die mit doppelter Genauigkeit durchgeführt werden (32-bit-Ergebnis). Vergleicht man die Architektur des TMS 9900 mit bekannten 8-bit-Mikroprozessoren der zweiten Generation, so fallen folgende Punkte besonders auf:

- kein separater Inkrementierer/Dekrementierer für Adreßrechnungen, da Daten- und Adreßformat übereinstimmen;

● zusätzliches Schieberegister für serielle Ein-/Ausgabe;
● kein interner Registersatz für Daten- und Adreßspeicherung, zu dem der Programmierer Zugriff hat;
● kein Stapelzeiger (*Stackpointer*) oder interner Stapelspeicher, obwohl Unterprogramme beliebig verschachtelt werden können.

Die letzten beiden Punkte sind das Resultat der vorhandenen Speicher-zu-Speicher-Architektur und des Workspace-Konzeptes der 9900/990-Systeme. Speicher-zu-Speicher-Architektur bedeutet, daß von zwei Operanden, die miteinander verknüpft werden sollen, beide an einem beliebigen Speicherplatz stehen können und daß auch das Ergebnis wieder im Speicher abgelegt wird. Bei der Register-zu-Speicher-Architektur dagegen muß einer der Operanden in einem Register stehen, und das Ergebnis gelangt in den Akkumulator. Die erste Art der Architektur schließt natürlich die Möglichkeiten der zweiten ein, da jedoch die zu verarbeitenden Daten fast immer im Speicher stehen, bedeutet sie für den Programmierer eine erhebliche Vereinfachung (geringere Anzahl von Befehlen für die gleiche Problemstellung). Man könnte bei der Speicher-zu-Speicher-Architektur ganz auf einen Registersatz verzichten, das hätte aber einen erhöhten Programmspeicherbedarf zur Folge, da größere Operandenadressen benötigt werden. Beim 9900/990-Konzept wurde deshalb der sogenannte Workspace oder Arbeitsbereich im Speicher definiert. Dieser Workspace umfaßt 16 Speicherworte und wird vom Programmierer wie ein interner Registersatz von 16 Arbeitsregistern behandelt. Innerhalb des Mikroprozessors befinden sich nur die drei Organisationsregister PC, WP und ST, der Speicher dagegen nimmt Programme, Daten und Register auf. Der Vorteil ist, daß die Anzahl der Registersätze nur durch die Speichergröße begrenzt ist (theoretisch kann hierzu der gesamte adressierbare Speicherbereich von 32 KWorten à 16 bit verwendet werden). Ein weiterer Vorteil wird bei der nachfolgend noch diskutierten Programmumschaltung sichtbar. Bei einer oberflächlichen Betrachtung wird sicherlich eine geringere Verarbeitungsgeschwindigkeit erwartet. Dies ist aber, wie

Tabelle 2. Neuerungen und daraus resultierende Vorteile des Konzepts 9900/990

Technische Neuerungen	Resultierende Vorteile
Softwarekompatibilität zwischen Mikroprozessor, Mikrocomputer und Minicomputer	● Weiter Anwendungsbereich ● Optimales Preis-/Leistungs-verhältnis ● Leistungsfähige Entwicklungs-hilfen ● Geringere Investitionen bei unterschiedlichen Anwendungen
Speicher-zu-Speicher-Architektur	● Einfachere Programmierung ● Kürzere Programmausführungs-zeiten
Workspace-Konzept anstelle eines internen Registersatzes	● Kurze Programmschaltzeiten ● Kurze Interruptreaktionszeiten ● Höhere Registeranzahl für beliebige Verwendung (z. B. Indexregister, Akkumulator usw.)
Zusätzliche serielle Ein-/Ausgabe-Schnittstelle	● Einfache Anpassung an beliebige Ein-/Ausgabeformate ● Einfache Möglichkeit der Bitmanipulation ● Keine speziellen Ein-/Ausgabe-bausteine notwendig
Leistungsfähiger Minicomputerbefehlssatz einschließlich Multiplikation und Division vom Mikroprozessor aufwärts	● Geringere Programmentwicklungszeiten ● Bessere Speicherausnutzung ● Kürzere Programmausführungs-zeiten

Benchmark-Programme [2] zeigen, nicht zutreffend, da sich ja fast immer alle Operanden im Speicher befinden.

Die Anfangsadresse des Speicherbereiches von 16 Worten (Register 0...15) wird durch den *Workspace-Pointer* (Arbeitsbereichszeiger = WP) bestimmt, der eines der drei internen Organisationsregister darstellt. Sein Inhalt entspricht WR 0 (Arbeitsregister 0). *Bild 2* zeigt den Arbeitsbereich mit 16 Registern und ihre Verwendungsmöglichkeiten. Es ist wichtig, daß der Programmierer im Befehl nur WR 0 bis WR

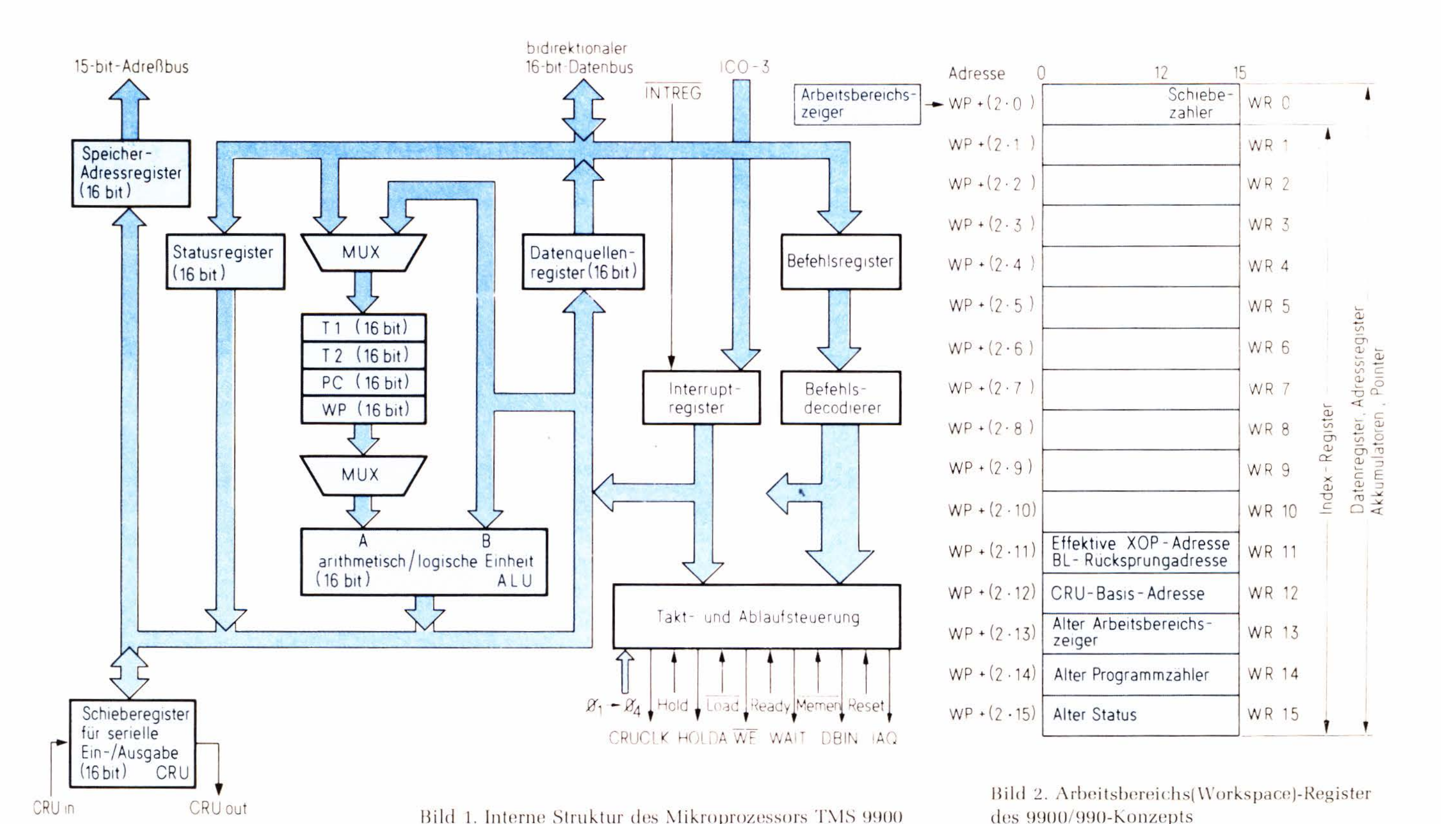


Bild 1. Interne Struktur des Mikroprozessors TMS 9900

Bild 2. Arbeitsbereichs(Workspace)-Register des 9900/990-Konzepts

15 codiert (0...F) und die Errechnung der aktuellen Adresse (WR-Nr. · 2 + WP) vom Mikroprozessor automatisch vorgenommen wird. Bedeutsam ist ebenfalls die Möglichkeit, WR 1...15 als Indexregister oder als Akkumulatoren zu verwenden (Mikroprozessoren der 2. Generation verfügen zum Teil nur über ein oder zwei Akkumulatoren bzw. Indexregister). Innerhalb eines Programmablaufs kann durch Laden des Arbeitsbereichszeigers jederzeit ein neuer Registersatz definiert werden. Dies geschieht ebenfalls automatisch durch eine sogenannte Programmumschaltung (*Context Switching*).

Die Unterbrechung des gerade laufenden Programms und der Start eines neuen Programms treten auf bei einem Interrupt, bei einem Unterprogrammaufruf und bei einer erweiterten Operation (*Extended Operation*). Der hiermit verbunde Ablauf ist folgender: Zuerst wird der Inhalt der Register PC, WP und ST in WR 13...15 des zu startenden Programms abgespeichert, dann werden die Programmstartadresse (PC) und der Arbeitsbereichszeiger (WP) des neuen Programms geladen. Diese zwei Operationen laufen bei einem Interrupt automatisch ab (PC und WP werden mit dem Inhalt des zugehörigen 2-Worte-Interruptvektors geladen) und erfordern nur 8 µs Ausführungszeit. Im Falle des Unterprogrammaufrufes und der erweiterten Operation genügt ein Befehl zur Ausführung dieser Programmumschaltung. Die Rückkehr in das unterbrochene Programm wird ebenfalls mit nur einem Befehl ausgeführt, der dann den Rücktransport von WR 13...15 (WP, PC und ST des unterbrochenen Programms) in den Mikroprozessor ausführt. Die Ausführungszeit beträgt für die Rückkehr nur 4,6 µs. *Bild 3* zeigt schematisch den Ablauf im Falle eines Interrupts. Wie zu ersehen, ist der gesamte Organisationsaufwand (da keine internen Datenregister zu sichern sind) sehr klein und erlaubt den Aufbau von sehr schnellen interruptbetriebenen Mikrocomputersystemen. Der Einsatz von DMA-Steuereinheiten ist nur noch bei sehr schnellen Magnetplatten- oder Bandeinheiten erforderlich.

1.2 Schnittstellen

Neben den Versorgungsspannungen (0 V/± 5 V/12 V) und dem Takt (Φ1...Φ4) sind die Speicher-, die System- und die Interruptschnittstelle sowie die serielle Ein-/Ausgabe-Schnittstelle von Bedeutung (*Bild 4*).

Die *Speicherschnittstelle* umfaßt den 15-bit-Adreßbus zur Adressierung von 32 KWorten oder 64 KByte Programm- oder Datenspeicher. Die Ein-/Ausgabe von Befehlen und Daten erfolgt über den parallelen 16-bit-Datenbus, wobei die Steuerung des Datenaustausches die Signale DBIN (DATA BUS IN) WE (WRITE ENABLE) und MEMEN (MEMORY ENABLE) übernehmen. Den Anschluß von langsamen, meist billigeren ROMs, RAMs oder PROMs gestatten die Signale READY und WAIT. Die DMA-Möglichkeit wird durch HOLD und HOLDA gewährleistet. Alles in allem ist die Speicherschnittstelle praktisch identisch mit bekannten Mikroprozessoren (z.B. 8080A) außer der Tatsache, daß keine Statusinformationen oder Daten gemultiplext werden, sondern alle parallel anstehen.

Zur *Systemschnittstelle* gehören die Signale RESET, LOAD und IAQ (Instruction Acquisition). Steuerfunktionen können mit diesen Signalen realisiert werden. So ist z.B. RESET ein nicht maskierbarer Interrupt mit höchster Priorität, der alle internen Register zurücksetzt und nach Freigabe die Interruptvektoren (WP, PC) für die Interruptebene 0 lädt. Ebenfalls ein nicht maskierbarer Interrupt (nach RESET höchste Priorität) ist LOAD. Hierdurch ist der einfache Anschluß einer Konsole an den Mikroprozessor gewährleistet. Beim IAQ-Signal handelt es sich um eine Ausgabeinformation, die aktiviert ist, wenn der Mikroprozessor auf eine Speicheradresse zugreift, die als Befehl interpretiert wird. Damit ist es möglich, extern illegale Operationscodes oder Befehle zu erkennen, die Systemfehler verursachen würden.

Die *Interruptschnittstelle* erlaubt die Realisierung von max. 16 externen Interrupts, deren Adressen über vier Adreßleitungen (INT 0...INT 3) an den Mikroprozessor übergeben werden. Die Interruptanforderung wird ihm durch die INTERQ-Leitung (Interrupt Request) übermittelt.

Jedem Interrupt ist ein 2-Worte-Vektor (WP und PC des Interruptprogramms) im Speicher (Adressen 0000...003E) zugeordnet, der beim Auftreten eines Interrupts geladen wird. Die externe Interruptanforderung ist durch eine 4-bit-Maske im Statusregister (ST) des Prozessors maskierbar, d.h. diese Maske definiert, ab welcher Interruptadresse (0...F) ein Start des zugehörigen Interruptprogramms gestattet wird. Da die Struktur der Interruptschnittstelle einen direkten (nicht gemultiplexten) Anschluß der externen Interruptlogik (z.B. Prioritätscodierer SN74148N) erlaubt, wird der Aufbau die-

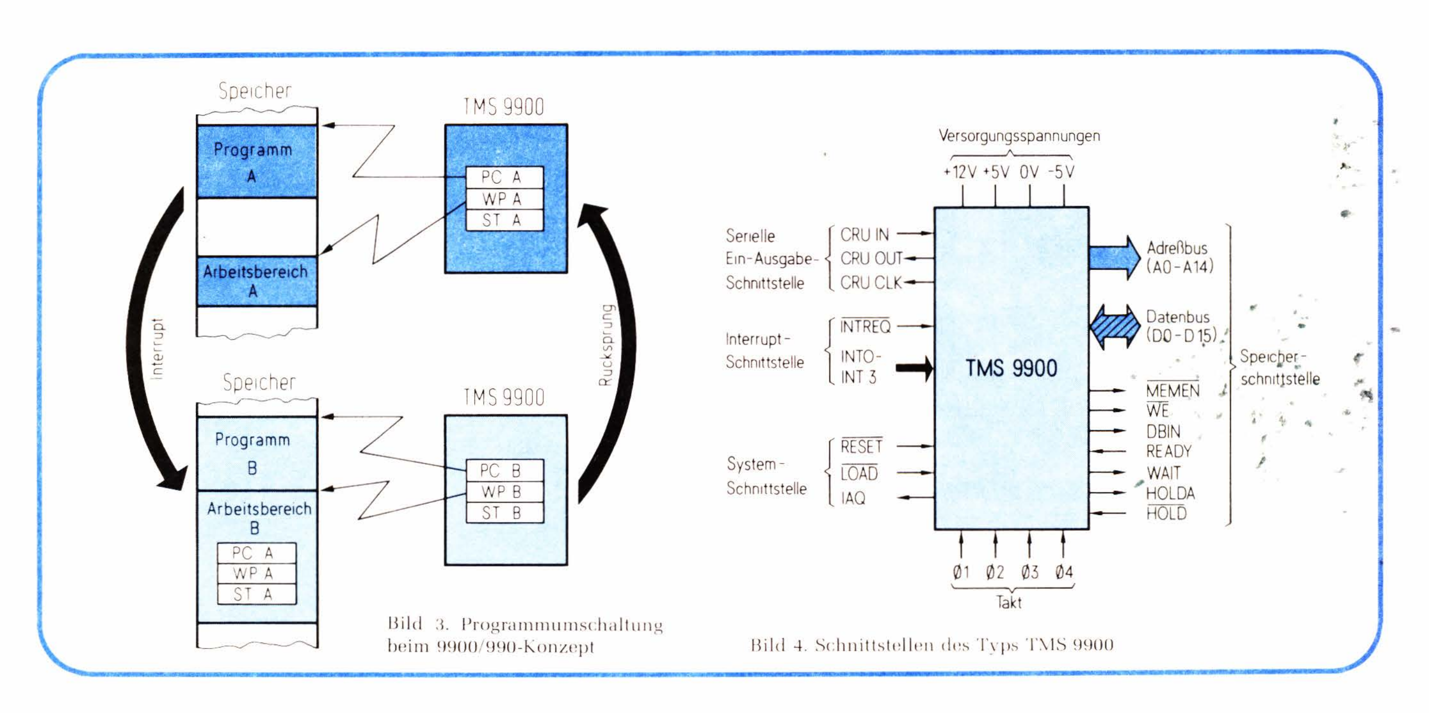


Bild 3. Programmumschaltung beim 9900/990-Konzept

Bild 4. Schnittstellen des Typs TMS 9900

ser Logik sehr einfach. Bis zu vier Interrupts ist z.B. keine externe Logik erforderlich, da jede Adreßleitung (INT 0...3) als direkte Interruptleitung verwendet werden kann.

Die zusätzliche serielle Ein-/Ausgabe-Schnittstelle ist eine sehr leistungsfähige Neuerung innerhalb des 9900/990-Konzepts. Die parallele Ein-/Ausgabe von 16-bit-Worten kann natürlich wie bei anderen Mikroprozessoren durch Adressierung der Ein-/Ausgabe als Speicher (*Memory-Mapped I/O*) erfolgen. Bei der seriellen Ein-/Ausgabe wird über den Adreßbus (A 3...A 15) eine 12-bit-Adresse ausgegeben, die 1 bit der möglichen 4096 Ein- und 4096 Ausgabebits adressiert. Die Eingabeleitung CRUIN (CRU input) wird im Falle einer Eingabe mit dem Zustand des adressierten Bits beaufschlagt. Im Falle der Ausgabe hat die Ausgabeleitung CRUOUT (CRU Output) den Zustand des auszugebenen Bits, und die Taktleitung CRUCLK (CRU Clock) definiert den Übernahmezeitpunkt für die Ausgabespeicher. Die für diese serielle Schnittstelle benötigten Ein-/Ausgabe-Bausteine sind innerhalb der Low-Power-Schottky-TTL-Serie bereits seit langem als Standardelemente verfügbar. Für die Eingabe wird hierbei der 8-zu-1-Multiplexer SN 74 LS 251 N und für die Ausgabe das adressierbare Speicherflipflop (8 bit) SN 74 LS 259 N benötigt. Es ist bemerkenswert, daß für die serielle Schnittstelle der gleiche externe Schaltungsaufwand erforderlich ist wie bei der parallelen Ein-/Ausgabe. Die serielle Ein-/Ausgabe läuft zwar mit einer Taktfrequenz von 1,5 MHz langsamer ab als die parallele, bietet jedoch wesentliche Vorteile wie: variables Ein-/Ausgabeformat (1...16 bit), Möglichkeit der Einzelbitmanipulation (1 bit testen, setzen oder löschen), geringerer Verdrahtungsaufwand (weniger Leitungen). Schon am Beispiel des Anschlusses eines einfachen Lochstreifenlesers [4], der neben der 8-bit-Eingabe der Lochstreifeninformation eine „Betriebsbereit"-Abfrage und eine „Leser-Start"-Steuerinformation benötigt, wird der Vorteil des variablen Ein-/Ausgabeformats deutlich. Die Ausstattung von Mikroprozessoren der 2. Generation mit den gleichen Möglichkeiten erfordert meist spezielle und teure Ein-/Ausgabe-Bausteine.

1.3 Befehlsvorrat

Der Befehlsvorrat des Typs TMS 9900 umfaßt 69 Maschinenbefehle [5] und zeichnet sich durch hohe Leistungsfähigkeit aus, die bisher nur bei TTL-Minicomputern anzutreffen war. Es handelt sich um 16- bis 48-bit-Befehle. Die Länge wird durch die verschiedenen Adressierungsarten bestimmt. Die sieben Adressierungsarten umfassen direkte (direkt, register-unmittelbar), indirekte (register-indirekt, register-indirekt mit aut. Inkrement.) und relative Methoden (indiziert, PC-relativ, CRU-relativ).

Die hohe Flexibilität und Leistungsfähigkeit des Befehlssatzes verdeutlicht das in *Bild 5* gezeigte Operationscode-Format 1 (aus zehn möglichen Formaten) [5]. Ein 3-bit-Code definiert hier die arithmetischen Operationen, z.B. Addition und Subtraktion. Mit dem 1-bit-Feld B wird zwischen Wort- und Byte-Verarbeitung gewählt. 4-bit-Felder für Datenquelle (*Source*) und Datenziel (*Destination*) erlauben das Arbeiten mit zwei Adressen (Zweiadreßmaschine). Jedem Adreßfeld ist ein 2-bit-TAG-Feld zugeordnet (TD, TS), das angibt, mit welcher Adressierungsart die Adresse für Datenquelle und Datenziel ermittelt wird. Dadurch ist es z.B. gestattet, beide Operanden direkt zu adressieren (3-Wort-Befehle). Die Besonderheiten des TMS 9900 Befehlssatzes sind:

- Bit-, Byte- und Wortverarbeitung,
- Befehle für Multiplikation und Division,

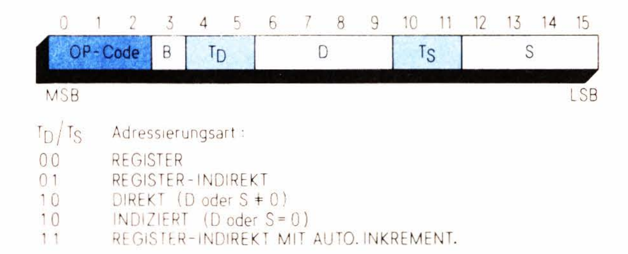


Bild 5. Operationscode-Format 1 des 9900/990-Befehlssatzes

- Ermittlung der Operandenadressen mit fünf verschiedenen Adressierungsarten,
- Schiebebefehle für 1- bis 16-bit-Rechts/Linksschieben (Angabe der Schiebepositionen direkt im Befehl oder indirekt im WR 0),
- Ermittlung der Sprungadressen für unbedingte Sprünge auf fünf verschiedene Arten möglich (direkt, indirekt und relativ),
- Erweiterte Operationen (XOP = Extended Operation) für anwendungsspezifische Anpassungen.

Wie aus Vergleichsprogrammen für unterschiedliche Mikroprozessoren (*Benchmarkprogramme*) hervorgeht, sind beim Typ TMS 9900 geringe Ausführungszeiten und eine gute Speicherausnutzung zu erwarten, und es sind wenig Befehle zu programmieren. Insbesondere die gute Speicherausnutzung (trotz größerer Befehlslängen gegenüber anderen Mikroprozessoren) bedeutet für den Anwender bei steigender Programmkomplexität und dem hohen Kostenanteil [2] der Speicher an den Gesamtkosten (bis zu 60 % der gesamten Bauteilekosten) eine effektive Möglichkeit zur Kosteneinsparung.

2 Die Mikroprozessorfamilie 9900

Die derzeit verfügbaren bzw. sich in Entwicklung befindlichen Mikroprozessoren der Familie 9900 sind auf drei Kriterien ausgerichtet: Typ TMS 9900 auf hohe Leistungsfähigkeit, Typ SBP 9900 auf vollen militärischen Temperaturbereich und Typ TMS 9980 auf geringe Bauteilekosten. Durch die verwendete I^2L-Technologie [6] besteht beim Typ SBP 9900 die Möglichkeit, Geschwindigkeit und Verlustleistung durch Ändern des Injektorstromes zu variieren. Durch Multiplexen des 16-bit-Datenbusses und des internen Taktgenerators konnte der Typ TMS 9980 im preisgünstigeren 40poligen Gehäuse untergebracht werden. Es sei hier noch darauf hingewiesen, daß das kaskadierbare Mikroprozessorelement SN 74 S 481 die einfache Emulierung der 9900/990-Speicher-zu-Speicher-Architektur und des Befehlssatzes erlaubt [7]. Dies kann für sehr schnelle Anwendungen von Vorteil sein. Die Mitglieder der 9900/990-Familie decken zur Zeit den ganzen Bereich der Mikrocomputer-Anwendungen ab, bis auf das Gebiet der typischen 4-bit-Modelle.

2.1 Zusatzbausteine für 9900-Mikroprozessoren

Neben Standard-RAMs, -ROMs, -EPROMs und -PROMs [8, 4] sind zur Lösung spezieller Ein-/Ausgabeprobleme folgende Zusatzbausteine von Interesse:

- TMS 9901, Interrupt- und Ein-/Ausgabe-Steuerbaustein mit Intervallzeitgeber,
- TMS 9902, asynchrones programmierbares serielles Dateninterface (UART),
- TMS 9903, synchrones programmierbares serielles Dateninterface (USRT),
- TIM 9904, TMS-9900-Taktgenerator (SN 74 LS 352 N),
- SBP 9920, programmierbare CRT-Steuereinheit.

Alle Ein-/Ausgabe-Bausteine (außer dem Taktgenerator

TIM 9904) sind für einen Anschluß an die serielle Ein-/Ausgabe-Schnittstelle des 9900/990-Konzeptes ausgelegt und konnten daher meist in kleineren, preiswerteren Gehäusen (z. B. 18polig für TMS 9902) untergebracht werden. Sehr kostengünstige und kompakte RAM-Speichersysteme lassen sich unter anderem auch mit dem dynamischen 16-K-RAM TMS 4070 aufbauen [8].

3 Entwicklungshilfen

Im Bereich der Entwicklungshilfen wird der Vorteil der Softwarekompatibilität bis zum Minicomputer TI 990/10 deutlich. Hier steht nämlich dem Mikroprozessoranwender die gesamte Hard- und Software dieses Bereiches zur Verfügung. So z.B. Firmwareprogramme wie Betriebssysteme, Assembler und Compiler oder Peripheriegeräte wie Magnetplatten, Bildschirmgeräte und Schnelldrucker (Interface und Betriebs-Software) zur Verfügung. Auch von Bedeutung für Anwender mit geringerer Gerätestückzahl sind die Mikrocomputer-Platinen/-Gehäuse und nicht zu vergessen der hierfür zur Verfügung stehende Service für Hard- und Software.

Als Beispiel für die leistungsfähigen Entwicklungshilfen dieses Bereiches sei das Prototypensystem 990/4 (*Bild 6*) für alle 9900-Mikroprozessor- und 990/4-Mikrocomputer-Programmentwicklungen angeführt. Dieses System beinhaltet: TI-990/4-Mikrocomputer im 19-Zoll-Gehäuse mit Programmierpaneel, – Kassettenterminal 733 ASR SILENT als Ein-/Ausgabekonsole, – EPROM/PROM-Programmiergerät.

Die Systemsoftware [9] ist auf Kassette gespeichert und umfaßt: – Debug-Monitor, – One-Pass-Assembler, – Source-Editor, – Linking-Loader, – Software-Trace, – PROM-Programmierung, – ROM/PROM-Dokumentation.

Außerdem ist eine Erweiterung mit folgenden Optionen [1] möglich: – Anschluß einer Floppy-Disk-Einheit, – Anschluß eines Datensichtgerätes 913A, – Batterie-Stromversorgung, – Speichererweiterung bis 32-K-Worte-RAM/-PROM/EPROM.

Die erhältlichen CRU-Platinen zum Anschluß von externen Ein-/Ausgabe-Elementen (Schalter, Relais usw.) gestatten ebenfalls den Hardware- und Systemtest des Anwendersystems. Der Ausbau zu einem zentralen Mikroprozessor-Entwicklungssystem ist durch geplante In-Circuit-Emulator-Moduln sowie Cross-Support Programme für weitere Mikroprozessoren möglich.

Für noch anspruchsvollere Programmentwicklungen bietet ein Software-Entwicklungssystem mit dem Modell Mini 990/10, Magnetplatte, Datensichtgerät, Schnelldrucker und Terminal die Möglichkeit, höhere Programmiersprachen wie FORTRAN, COBOL und BASIC zu verwenden. Ergänzt werden die Entwicklungshilfen des 9900/990-Konzeptes durch Cross-Assembler für 16- und 32-bit-Minicomputer in FORTRAN IV, Programmierunterlagen [5, 9], Applikationsberichte [4, 10] und Trainingskurse.

Literatur

1 TI 990 System Handbook (945250-9701). Handbuch der Firma Texas Instruments Deutschland GmbH.

2 16-Bit processor performs like minicomputer. Electronics 1976, Bd. 49, H. 11, S. 99...105.

3 TMS 9900 DATA MANUAL May 1976. Datenblatt der Firma Texas Instruments Deutschland GmbH.

4 TMS 9900 System Development Manual (Applikationsschrift).

5 TMS 9900 Assembly Language Programmers Guide (MP 109). Handbuch der Firma Texas Instruments Deutschland GmbH.

6 *Huse, H.:* I^2L: Die Technologie und ihre Anwendung in einem schnellen 4-bit-Mikroprozessorelement. Elektronik 1976, H. 2, S. 79...82.

7 SN 74 S 481 Data Manual. Datenblatt der Firma Texas Instruments Deutschland GmbH

8 16-K-RAM built with proven process may offer high start-up-reliability. Electronics 1976, Bd. 49, H. 10, S. 81...86.

9 TMS 9900/TI 990 Prototyping System Users Guide. Handbuch der Firma Texas Instruments Deutschland GmbH.

10 Minimum system design TMS 9900 16-bit-microprocessor Bulletin CA-184 (Applikationsschrift).

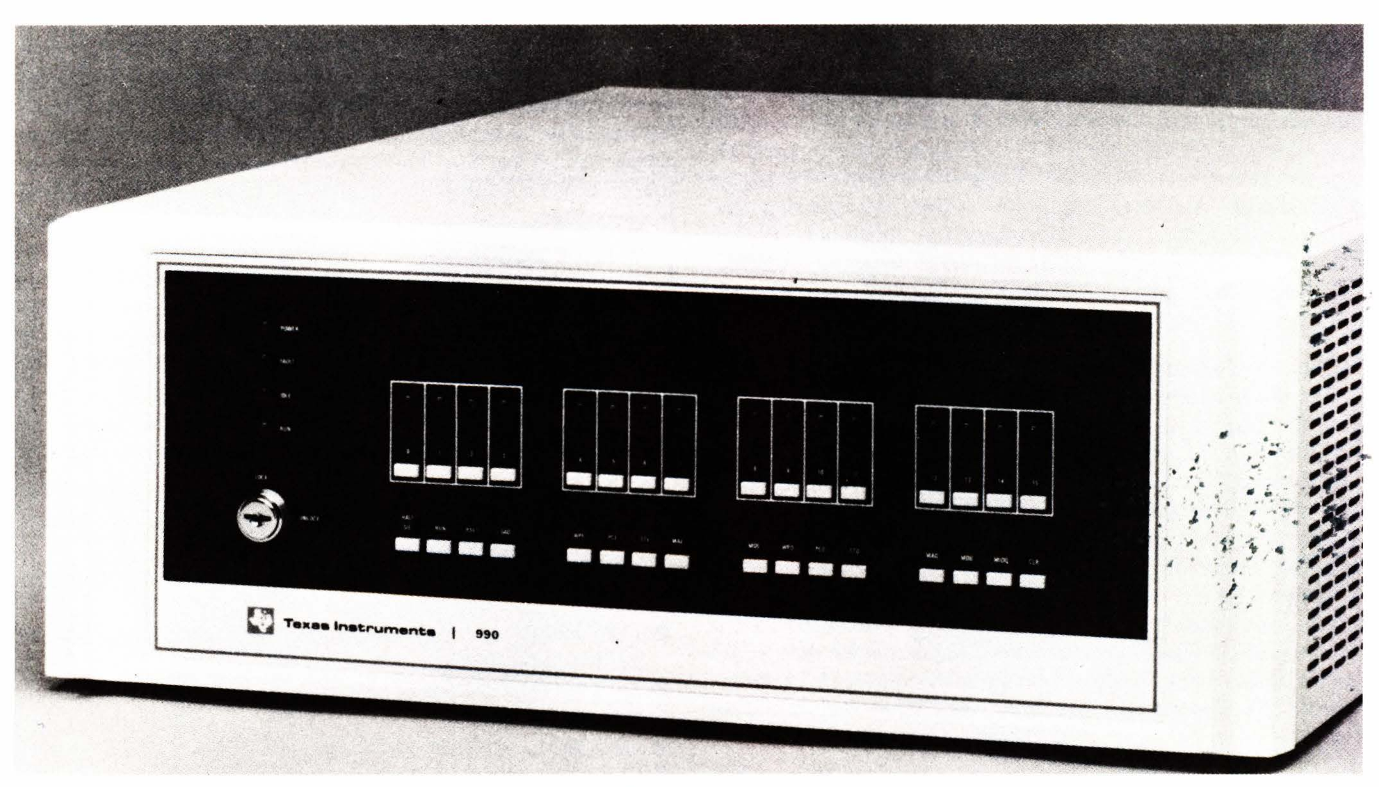


Bild 6. 16-bit-Mikrocomputer 990/4 mit Programmierpaneel im 19-Zoll-Gehäuse

Ing. (grad.) Oskar Rodler

Ein komfortabler 16-bit-Mikrocomputer

Mikroprozessoren in Form einzelner Chips werden heute in großer Zahl angeboten. Will der Anwender jedoch ein funktionstüchtiges Computerprodukt, muß er weitere Bausteine wie Speicher, Taktbausteine, Ein/Ausgabe-Einheiten, die Stromversorgung und Mechanik zu einem Mikrocomputer zusammenfügen. Das erfordert häufig einen hohen Entwicklungsaufwand, hardware- und softwareseitig. Dazu kommen Kosten für Produktion, Erstellung der Dokumentation und notwendige Funktionsprüfungen. Da die Mikroprozessor-Technologie immer noch schnellen Entwicklungen unterliegt, sollte man bei der Software möglichst auf ein umfassendes Angebot des Herstellers zurückgreifen können. Andernfalls ist die Erstellung einer völlig neuen Software in der dem jeweiligen Mikroprozessor-Typ eigenen Programmiersprache erforderlich. Ein solcher Aufwand ist wirtschaftlich nur dann gerechtfertigt, wenn die Zahl der zu fertigenden Einheiten sehr hoch ist und damit die Entwicklungs- und Fertigungskosten auf entsprechende Stückzahlen umgelegt werden können.

Der 16-bit-Mikrocomputer LSI-11 enthält den Mikroprozessor (Zentraleinheit) mit Arbeitsspeicher und Ein/Ausgabesteuerung auf einer einzigen Leiterplatte in der Größe 215 x 250 mm^2. Er ist das kleinste Mitglied der bekannten PDP-11-Rechnerfamilie (Digital Equipment). Durch die Verwendung hochintegrierter Bausteine ist es gelungen, die Architektur dieses Rechners mit einem Mikroprozessor nachzubilden. Der Benutzer hat dadurch die Möglichkeit, daß er bestehende PDP-11-Software verwenden kann. Die Angebotspalette reicht vom einfachen, lochstreifenorientierten Programmentwicklungssystem bis hin zum leistungsfähigen Echtzeit- und Mehrbenutzer-Betriebssystem einschließlich Übersetzer für höhere Programmiersprachen. Es handelt sich also um einen Mikrocomputer, der ohne zusätzlichen Entwicklungsaufwand direkt in Geräte für Steuerungs- und Kontrollaufgaben integriert werden kann, so daß der Anwender sein Produkt in kürzester Zeit zur Marktreife bringen kann.

1 Hardware

Bild 1 zeigt die einzelnen Funktionsblöcke des Mikrocomputers. Er besteht aus drei Elementen: einem Mikroprozessor, einem Arbeitsspeicher für Daten oder Befehle und einem Ein/Ausgabekanal (E/A-Bus).

1.1 Mikroprozessor

Der Mikroprozessor ist das eigentliche Herz des Mikrocomputers. Er führt die Verarbeitung des gesamten PDP-11-Befehlssatzes durch und besteht aus vier Bausteinen. Einer stellt das Steuerwerk dar und ist verantwortlich für die gesamte Ablaufsteuerung. Zwei Chips enthalten die Mikroprogrammbefehle, mit denen der Mikroprozessor die im Arbeits- oder einem Zusatzspeicher stehenden Assemblerbefehle verarbeitet. Auf dem vierten Chip ist das Rechenwerk untergebracht. In ihm werden die arithmetischen und logischen Verknüpfungen durchgeführt. Mehrere interne Register dienen dazu, Zwischenergebnisse vorübergehend abzuspeichern. Einen weiteren, fünften Baustein mit spezieller Erweiterung des Befehlssatzes kann man in einen bereits vorhandenen Sockel auf der Leiterplatte stecken. Er enthält die Gleitkomma-Arithmetik mit den vier Grundrechenarten im Fest- und Gleitkommaformat. Die „Verständigung" der Chips erfolgt über einen internen Bus.

1.2 E/A-Bus

Der Ein/Ausgabe-Bus stellt die Verbindung von der Zentraleinheit zum Arbeitsspeicher dar. Zusätzlich ermöglicht er den Anschluß von Peripheriegeräten über Interfaceschaltungen. Er besteht aus 38 Signalleitungen; davon dienen 16 der Übertragung von Adressen und Daten, der Rest dient zu Steuer- und Synchronisierzwecken. Alle Signalleitungen arbeiten bidirektional und asynchron. Die maximale Datentransfergeschwindigkeit zwischen Zentraleinheit und Peripheriegerät beträgt 883 000 Worte/s.

1.3 Arbeitsspeicher

Auf der Leiterplatte befindet sich ein 4096 x 16-bit-Arbeitsspeicher. Die Arbeitsweise ist dynamisch und ermöglicht schnelle Zugriffszeiten (400 ns) bei geringstem Strombedarf (1,1 A für 4 K). Der Auffrischzyklus wird von der Zentraleinheit automatisch per Mikroprogramm durchgeführt.

Der Ablauf im Mikrocomputer soll anhand eines Zweiadreßbefehls, der im Arbeitsspeicher steht, aufgezeigt werden:

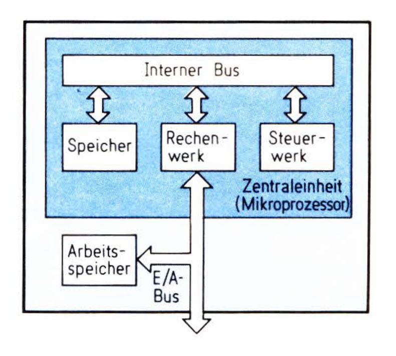


Bild 1. Auf der Steckkarte befinden sich: 16-bit-Mikroprozessor: PDP-11-Befehlssatz; 4-KByte-Speicher; Echtzeituhr; Netzausfallschutz; mikroprogrammierte Routinen für Urlader, Konsole, zum autom. Austesten von Applikations-Programmen, für autom. Refresh-Zyklen der dyn. RAMs; paralleler E/A-Bus; DMA- und Interrupt-Steuerung

Das Steuerwerk adressiert zuerst eine Reihe von Mikrobefehlen im Mikroprogrammspeicher, die im Rechenwerk die Adresse des abzuarbeitenden Befehls errechnen. Daraufhin wird der Befehl (Assembler-Befehl) aus dem Arbeitsspeicher über den E/A-Bus in das Rechenwerk geholt und von den Mikrobefehlen entschlüsselt. Aufgrund der Art des Befehls adressiert das Steuerwerk eine weitere Folge von Mikrobefehlen, die dann das erste Datenwort vom Arbeitsspeicher in das Rechenwerk holen. Auf die gleiche Weise bringt ein weiterer Zyklus das zweite Datenwort in das Rechenwerk. Im letzten Zyklus werden die beiden Daten wieder mit Hilfe von Mikrobefehlen im Rechenwerk verknüpft und das Ergebnis wird im Arbeitsspeicher abgespeichert. Diesen Zugriff auf den Arbeitsspeicher über den E/A-Bus nennt man Bus-Zyklen. Je nach Art des Befehls sind ein oder mehrere Bus-Zyklen notwendig.

1.4 *Anschluß externer Baugruppen an den E/A-Bus*

Das asynchron arbeitende Bus-System gestattet es, an den Mikrocomputer ein beliebiges Spektrum von Peripherie- und Prozeßelementen anzuschließen (*Bild 2*) und erlaubt jedem Gerät mit der ihm eigenen maximalen Arbeitsgeschwindigkeit Daten zu transferieren. Die Aus- oder Eingabe von Daten eines Gerätes, das am E/A-Bus angeschlossen ist, soll das Zusammenarbeiten des Prozessors mit diesem Gerät verdeutlichen: Bei einem Datentransfer gibt der Prozessor die Adresse des zu adressierenden Gerätes auf die Busleitungen. Sie kommt bei allen Geräten, die am Bus angeschlossen sind an, wird aber nur vom adressierten Gerät erkannt. Auf den Steuerleitungen liegt zur gleichen Zeit die Information an, ob es sich um eine Eingabe oder Ausgabe – bezogen auf den Prozessor – handelt. Entsprechend sendet das Gerät Daten auf die Busleitungen oder es holt sich die bereits vorhandenen Daten von den Busleitungen in sein Register. Die Beendigung des Bus-Zyklus wird dem Prozessor durch ein Quittierungssignal vom angesprochenen Peripheriegerät angezeigt.

2 Arbeitsweise

2.1 *Befehlssatz*

Der Befehlssatz (kompatibel mit dem des Minicomputers PDP-11/40) benutzt die Flexibilität der acht internen Vielzweck-Register, um 400 leistungsfähige Befehle zu liefern. Dieser umfangreiche Befehlsvorrat erlaubt eine äußerst effiziente Programmierung, wobei anstatt der gewöhnlich drei Klassen eine einheitliche Befehlsklasse verwendet wird. Datenregister in Peripheriegeräten werden genauso behandelt wie Zellen des Arbeitsspeichers und interne Register. Dies ermöglicht die direkte Verknüpfung aller Datenregister in einem Befehl – der Umweg über einen Akkumulator als Nadelöhr für alle Datenbewegungen entfällt. Daten lassen sich z. B. von der Zentraleinheit direkt in einem Peripherieregister manipulieren, ohne sie erst in den Speicher oder ein internes Register holen und diese damit verändern zu müssen. Die Manipulation kann dabei von jedem der vorhandenen Befehle durchgeführt werden. Damit entfällt die Notwendigkeit spezieller Ein-/Ausgabe-Befehle. Besondere Merkmale des Befehlssatzes sind auch noch Einadreß- und Zweiadreß-Format, variable Befehlslänge sowie Festkomma- und Gleitkommabefehle.

2.2 *Adressierung*

Erhöht wird die Effektivität des Befehlssatzes durch eine Vielzahl von Adressierungsarten: – sequentielle Adressierung vorwärts oder rückwärts – indizierte Adressierung – direkte und indirekte Adressierung – Autoinkrement/Autodekrement-Adressierung – Wort- oder Byte-Adressierung – Stack-Adressierung.

Durch den Einsatz der jeweils günstigsten Adressierungsart können Operationen mit weniger Befehlen ausgeführt werden. Der Programmspeicher wird dadurch optimal genutzt. Für bequemere Programmierung und erhöhte Rechengeschwindigkeit stehen die acht generellen Register zu je 16 bit in der Zentraleinheit zur Verfügung. Sie sind frei verwendbar als Akkumulatoren, Indexregister, Zähler, Zwischenspeicher usw. Die Register werden mit R 0...R 7 bezeichnet, wobei den Registern R 6 und R 7 zusätzlich eine Sonderrolle zufällt. R 6 dient als Stackpointer und R 7 als Programmzähler.

2.3 *Prozessor-Status-Wort*

Das Prozessor-Status-Wort speichert die arithmetischen Ergebnisse des zuletzt ausgeführten Befehls und die Interrupt-Priorität der Zentraleinheit. Zwei spezielle Befehle erlauben das Lesen und Schreiben des Statuswortes. Ein Bit wird als „Trap Bit" bezeichnet; mit seiner Hilfe lassen sich beispielsweise Software-Interrupts zum Austesten von Applikations-Software erzeugen.

2.4 *Organisation des Arbeitsspeichers*

Der Adreßbereich umfaßt 64 KByte. Aus der Wort-Organisation des Speichers ergeben sich damit 32 KWorte zu je 16 bit. Der obere 4-K-Bereich des Speichers ist für Peripherie-Adressen reserviert (*Bild 3*).

2.5 *Programmunterbrechung*

Programmunterbrechungsanforderungen können aufgrund abgeschlossener Operationen oder anderer Vorgänge in Peripheriegeräten an das laufende Programm gestellt werden. Nach Ende eines ausgeführten Befehls wird dem am nächsten zur Zentraleinheit geschalteten Gerät erlaubt, das gerade laufende Programm zu unterbrechen. Dies geschieht, indem das Gerät selbst oder dessen Interface eine Vektor-

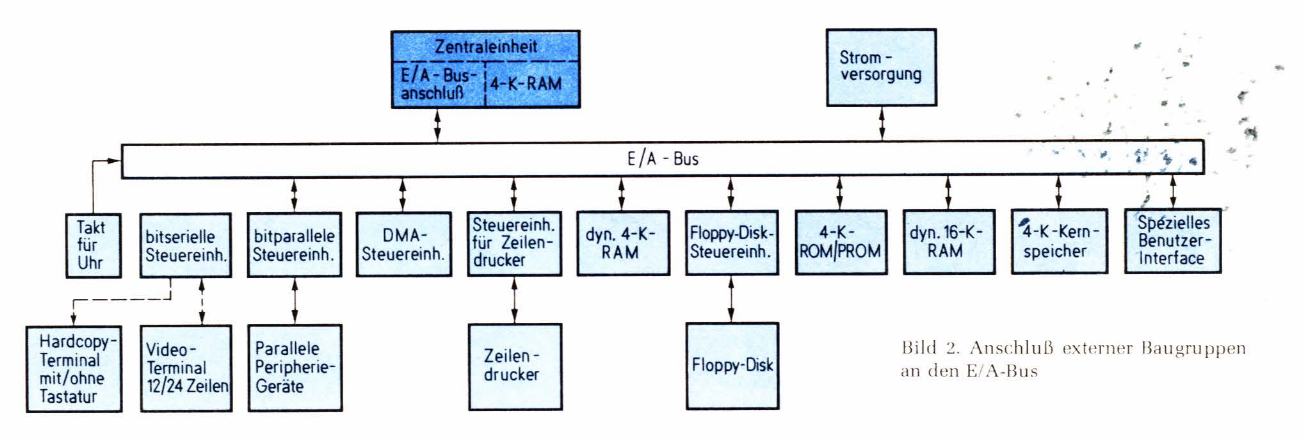


Bild 2. Anschluß externer Baugruppen an den E/A-Bus

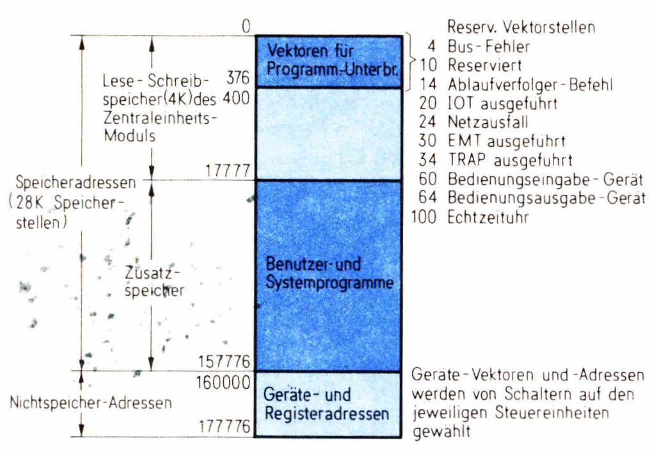


Bild 3. Organisation des Arbeitsspeichers

adresse an den Prozessor sendet. Das Programm springt dann in eine für jedes Gerät spezifische Service-Routine und bedient das Gerät. Nach Beendigung der Service-Routine wird die Programmsteuerung an das unterbrochene Programm zurückgegeben. Noch während das Programm in der Service-Routine arbeitet, werden neue Interrupts zugelassen. Damit ist gesichert, daß beim Auftreten eines Interrupts mit höherer Priorität dieser zuerst bearbeitet wird. Dieses „Ineinanderschachteln" mehrerer, unmittelbar hintereinander gestarteter Service-Routinen erfordert natürlich auch wieder ein Trennen. Das wird durch einen Stapelspeicher (*Stack*) ermöglicht. In ihm wird automatisch der Reihe nach jeweils der aktuelle Programmzählerstand abgespeichert; nach Beendigung einer Service-Routine werden in umgekehrter Reihenfolge die Programmzählerstände ausgelesen und zur Fortsetzung der ursprünglichen Programme benutzt, und zwar genau an der Stelle, wo sie unterbrochen wurden.

2.6 Direkter Speicherzugriff (DMA)

Bei einer DMA-Operation transferiert ein Peripheriegerät Daten direkt zum oder vom Speicher. Die Zentraleinheit erlaubt den Transfer nach jedem Bus-Zyklus. Speicheradressierung, Ablaufsteuerung und Synchronisierung werden bei diesem Transfer von einer Logik im DMA-Gerät selbst ausgeführt. Die Zentraleinheit wird während einer DMA-Operation nicht benutzt. Direkten Speicherzugriff verwenden solche Geräte, bei denen Daten schnell und in großen Mengen anfallen. Die Daten können direkt in den Speicher gesendet oder vom Speicher ausgelesen werden. Ein Umweg der Daten über die Zentraleinheit ist nicht nötig, ebenso entfällt ein Programmeingriff während eines DMA-Transfers. Schnelle Analog-Digital-Umsetzer, Magnetplatten, Rechner-Kopplungen usw. verwenden diese Art, Daten zu transferieren.

2.7 Konsol-Funktion

Eine Mikroprogramm-Routine übernimmt sämtliche Funktionen der herkömmlichen Bedienungskonsole und erübrigt somit Lämpchen, Schalter usw. Das einzige mechanische Überbleibsel am Bedienfeld des Mikrocomputers ist ein Schalter, der nach dem Einschalten des Rechners das Programm gleich in die Konsol-Routine leitet. Alle anderen Funktionen wie Starten eines Programms, Laden eines Programms, Laden einer Adresse, Anzeigen des Inhalts einer Speicherstelle, Laden eines Wertes in eine Speicherstelle sowie Starten eines Urladers werden durch diese Konsol-Routine ausgeführt. Über weitere Funktionen können assemblierte Programme ausgetestet und Informationen über den internen Prozessor-Zustand ausgedruckt werden.

2.8 Schnittstellen

Dem Anwender steht ein schneller E/A-Kanal zur Verfügung, an den er ohne großen Entwicklungs- und Hardware-Aufwand Geräte anschließen kann. Realisiert wurde dies mit dem E/A-Bus. Er benötigt keine speziellen Anpassungsschaltungen, sondern benutzt Standard-Treiber und -Empfänger. Die wichtigsten Funktionsblöcke eines Interfaces sind: Adreßdecodierer – Datenregister – Steuer-Status-Register – Ablaufsteuerung für Interrupt und DMA – Bus-Treiber und -Empfänger.

Die Art des Datentransfers auszuwählen, ist zugleich die grundlegende Entscheidung für den Bau eines speziellen Interface. Danach richtet sich größtenteils auch der erforderliche Hardware-Aufwand.

Drei verschiedene Arten des Datentransfers sind möglich: bei der programmierten Ein/Ausgabe erzeugt ein Assemblerbefehl einen Datentransfer. Dabei kann ein 16-bit-Wort oder ein 8-bit-Byte zwischen internen Registern, dem Arbeitsspeicher oder peripheren Datenregistern transferiert werden. Bei der interruptgesteuerten Datenübertragung wird von außen eine Programmunterbrechung angefordert; die Zentraleinheit antwortet darauf mit einem Sprung in eine Service-Routine, die dann die erforderlichen Ein/Ausgaben vornehmen kann. Die aufwendigste aber schnellste Art der Datenübertragung erfolgt mit einem DMA-Interface. Damit kann man die Zentraleinheit umgehen und Daten direkt aus dem Speicher holen oder in den Speicher bringen. Die maximal erreichbare Geschwindigkeit ist die des Speichermediums selbst.

3 Software

Die Programmierung von Mikroprozessoren war von Anfang an eines der größten Hindernisse für deren Einsatz. Während die Hardware-Entwicklung mit modernster Technologie Schritt hielt, herrschte an leistungsfähigen, einfach zu handhabenden Systemen für die Programmerstellung totaler Mangel. Ebensowenig gab es Software-Kompatibilität mit bereits existierenden Computer-Systemen, so daß bereits vorhandene Anwenderprogramme nicht weiter verwendet werden konnten. Durch die Verwendung einer bereits bestehenden Rechner-Architektur hat der Mikrocomputer LSI-11- hier entscheidende Vorteile:

- Die vorhandene PDP-11-Software bleibt verwendbar.
- Die entwickelte LSI-11 Software kann – bei einer Erweiterung der Aufgabenstellung – auch für größere PDP-11-Rechner eingesetzt werden.
- Dem Anwender stehen erprobte Dienstprogramme zur Programmerstellung, Echtzeit- und Mehrbenutzer-Betriebssysteme einschließlich Compiler für höhere Programmiersprachen wie BASIC, FOCAL, FORTRAN usw. sowie vollständig dokumentierte Hardware-Diagnoseprogramme zur Verfügung.

Mit den für alle Bausteine des Systems mitgelieferten Diagnoseprogrammen ist die Lokalisierung von Hardware-Fehlern bis herunter zur Baugruppen-Ebene gewährleistet. Damit können defekte Baugruppen sofort erkannt und es kann auch eine vorbeugende Wartung durchgeführt werden. Programme werden angeboten für den Instruktionstest, Speichertest, Floppy-Disk/Plattenspeicher-Test, Konsoltest, System-Exerciser usw.

Mit Hilfe von Software auf Lochstreifen läßt sich die Programmerstellung schon in kleinen Ausbaustufen durchführen.

Durch das leistungsfähige Echtzeit-Betriebssystem RT-11 mit Foreground/Background-Monitor ist eine leichte Benutzbarkeit und niedriger Verwaltungsaufwand gegeben.

Das Betriebssystem RSX-11-S ist ein festgespeichertes (*resident*) Echtzeit-Betriebssystem, das fähig ist, mehrere Programme gleichzeitig auszuführen. Den einzelnen Programmen können Prioritäten zugeordnet werden. Eine wichtige Eigenschaft ist der Netzausfallschutz. Bei ausgefallener Netzspannung kann das System zwar nicht arbeiten, aber es wird verhindert, daß während des Ausfalls bzw. bei Wiederkehr der Spannung Daten verlorengehen oder Fehloperationen durchgeführt werden, und es gestattet automatischen Wiederanlauf des Systems.

4 Anwendung

Der Mikrocomputer LSI-11 ist geeignet für die Ausführung von sehr komplexen logischen und arithmetischen Funktionen. Er ist nicht auf die Ausübung einer Funktion begrenzt, sondern kann mehrere Aufgaben gleichzeitig erfüllen, wobei jeweils die Aufgabe mit der höheren Priorität zuerst erledigt wird. Durch das modulare Konzept der Computer-Architektur sowie das umfangreiche Angebot an Zusatzbaugruppen und Peripheriegeräten ist für jeden spezifischen Anwendungsfall der entsprechende Ausbau möglich. Aufgrund dieser Eigenschaften kann er in vielen technischen und kommerziellen Disziplinen eingesetzt werden. Auf dem technischen Sektor erfolgt die praktische Anwendung bereits in der Instrumentierung, Prozeßsteuerung, Optik, NC- und CNC-Technik. Ein noch größeres Marktvolumen zeichnet sich im Bereich der MDT ab, wo der Mikrocomputer heute schon in der Datenerfassung, in Multiterminal-Einrichtungen für Banksysteme, in der Datenübertragung (Telex, Nebenstellenanlagen etc.) in der Textverarbeitung und als Rechnerkopplungselement eingesetzt wird. Die nachfolgenden Anwendungsbeispiele zeigen, wie vorhandene Probleme mit dem Typ LSI-11 gelöst wurden.

Steuerung einer Leiterplattenbohrmaschine: Vor dem Einsatz des Mikrocomputers mußten mit jedem Umstellen auf andere Leiterplatten ständig die Steuerungen geändert werden. Jetzt werden die Lochmuster in PROMs gespeichert und nach Bedarf abgerufen. Dabei berücksichtigt der Rechner das unterschiedliche Verziehen von Produktionsfilmen in Längs- und Querrichtung.

Steuerung von Holzbearbeitungsmaschinen: Spanplatten müssen durch ein System rechtwinklig angeordneter Kreissägen in verschiedenartige Teilstücke zerschnitten werden. Da die Kreissägen nicht in ein Nachbarstück hineinsägen dürfen, müssen diese mit einem Fehler von 0,1 mm positioniert werden. Der Mikrocomputer merkt sich die Ruhestellung der verschiedenen Sägen und Werkzeuge, rechnet aus, was zu geschehen hat, startet die Arbeitsgänge, schickt die nicht benötigten Werkzeuge ins Magazin und sorgt dafür, daß sich die arbeitenden Sägen nicht kreuzen.

Überwachung weiträumiger Versorgungsnetze für elektrische Energie: Beim Zusammenbruch von Hochspannungsnetzen läßt sich wegen der Schnelligkeit des Ausfalls hinterher oft nicht mehr eindeutig die Ursache feststellen. Der Mikrorechner überwacht in Millisekunden-Intervallen den Stand, der über eine Fernwirkanlage gesteuerten Hochspannungsschalter. Bricht das Netz zusammen, registriert der Rechner die Reihenfolge und Ursache des Abschaltens der einzelnen Schaltstationen.

Bei einer weiteren Anwendung dient der LSI-11 als „Pre-Prozessor" zum Reduzieren von Daten, die durch Massenspektrometer aufgenommen werden. Er ist durch bereits vorhandene Interfaces an größere PDP-11-Systeme gekoppelt und überträgt die reduzierten Daten an diese zur weiteren Verarbeitung.

Mikrocomputer mit Tastatur und Anzeigeeinheit

KIM-1 – abgeleitet von *Keyboard Input Monitor* – heißt ein Mikrocomputer der Firma MOS Technology, der auf einer Leiterplatte Tastatur, Anzeigeeinheit, Kassetten-Recorder- und Fernschreiber-Interface enthält. Die Zentraleinheit bildet der 8-bit-Mikroprozessor 6502 derselben Firma (er hat große Ähnlichkeit mit dem Typ 6800 von Motorola), und an Speichern sind 1 KByte RAM und 2 KByte ROM vorhanden. Im ROM ist ein Hilfsprogramm gespeichert, das z.B. dafür sorgt, daß die Zeichen von der Tastatur richtig interpretiert oder die sechs LEDs richtig angesteuert werden. Alles was der Benutzer noch zu tun hat, um einen funktionsfähigen Mikrocomputer zu erhalten, ist, ein Netzteil für 5 V/1 A und 12 V/50 mA (nur zum Betrieb des Kassetten-Recorder-Interface notwendig) bereitzustellen. Um so erstaunlicher ist der Preis: 749 DM kostet KIM-1 (Neumüller GmbH, München).

1 Ein Produkt für die Entwicklungsphase?

Der Mikrocomputer KIM-1 kann entweder mit Hilfe der Tastatur und der LEDs oder über das serielle Interface mit einem Fernschreiber oder einem Terminal betrieben werden. Er ist zwar so ausgelegt, daß man Prototypenentwicklungen mit ihm durchführen kann, trotzdem hat er auch nach dieser Phase noch seine Berechtigung. In vielen Fällen wird man dann Tastatur und LEDs abmontieren, eigene ROMs mit dem Anwendungsprogramm hinzufügen und diese Konfiguration über eine geeignete Schnittstelle (es sind 15 bidirektionale E/A-Leitungen vorhanden) mit dem eigenen System verbinden. Der niedrige Preis macht ein solches Vorgehen sogar für Projekte mit kleineren und mittleren Stückzahlen interessant.

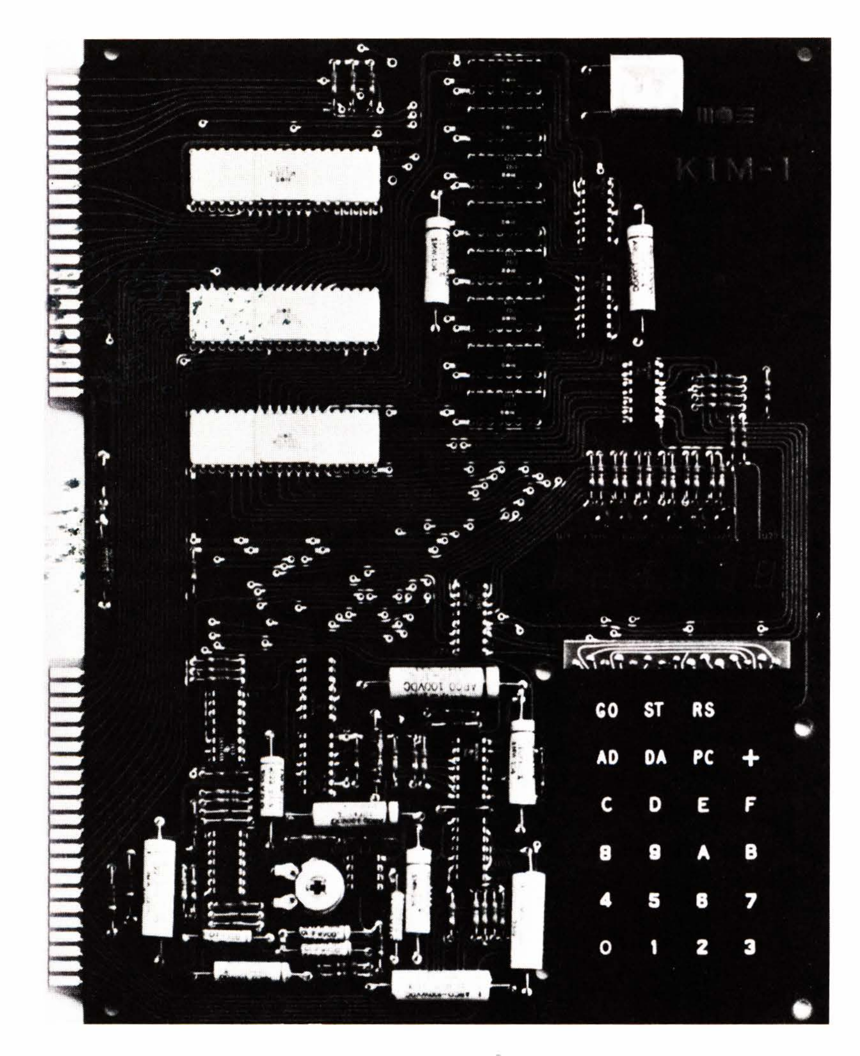
Sollte eine Tastatur im Endprodukt benötigt werden, dann ist es nicht unbedingt erforderlich, die vorhandene von der Leiterplatte auszulöten und an anderer Stelle zu plazieren. Die Anschlüsse sind nämlich herausgeführt (im *Bild* links unten), und man kann eine zweite Tastatur anschließen und parallel betreiben.

Ist das System für das eigene Problem zu umfangreich, wird es sinnvoll sein, den Prototyp mit KIM-1 zu entwickeln und danach die Hardware auf das Notwendige zu reduzieren (kleineres RAM, weniger E/A-Kanäle usw.), denn sämtliche Bausteine sind natürlich auch gesondert erhältlich.

2 Arbeitsweise

Mit dem Schalter in der rechten oberen Ecke der Tastatur schaltet man die Betriebsart „Einzelbefehl" ein. Das Programm wird dann schrittweise abgearbeitet, und zwar wird nach jeder Betätigung der GO-Taste genau ein Befehl ausgeführt, unabhängig davon, wieviel Zyklen er benötigt. Anschließend wird die Steuerung wieder an das Hilfsprogramm, das im ROM gespeichert ist, zurückgegeben. Der Inhalt der sechs internen Register des Mikroprozessors (dazu gehören auch der Akkumulator und der Programmzähler) wird auf bestimmten Speicherplätzen abgelegt und kann über die LEDs oder das Terminal leicht nachgeprüft werden. Das ist sehr wichtig, denn man kann zwar den Mikroprozessor auch mit dem Halt-Befehl „schrittweise" betreiben, man hat aber dann keinen unmittelbaren Zugriff zu den Registerinhalten.

Die verschiedenen Adressierungsarten des Typs 6502 und einige andere Eigenschaften machen das ganze System sehr



flexibel. Ein-/Ausgabe-Register und -Befehle sind z. B. nicht vorhanden, da jede Speicheradresse auch als Eingang und als Ausgang benutzt werden kann, wenn man nur die entsprechende Hardware vorsieht. Die 15 bidirektionalen Ein/Ausgabe-Leitungen können direkt mit TTL-Schaltungen verbunden werden, und eine davon liefert genügend Strom (5 mA), um einen Transistor mit höherer Leistung direkt ansteuern zu können.

3 Anschluß von Kassetten-Recorder und Fernschreiber

An den Mikrocomputer kann jeder handelsübliche Kassetten-Recorder ohne zusätzliche Maßnahmen angeschlossen werden. Ein großer Teil des Hilfsprogramms übernimmt die Steuerung des Datenaustausches zwischen Kassette und Arbeitsspeicher. Beliebige Programmabschnitte können – mit einer Identifizierung versehen – auf die Kassette gebracht und von dort wieder abgerufen werden. Soll eines dieser Segmente in das RAM des Mikrocomputers zurückgeholt werden, hat man lediglich die Segmentnummer und die Startadresse anzugeben und kann dann das „Einleseprogramm" starten. Übertragungsfehler werden durch eine Prüfsumme erkannt, die am Ende jedes Programmabschnittes gespeichert ist. Zwischen den Programmteilen kann man sogar einen Kommentar auf das Band sprechen, das Interface ist so ausgelegt, daß ein solches Signal nicht interpretiert wird. Für den Benutzer kann diese Möglichkeit sehr nützlich sein, da er, ohne das Programm zu laden, seinen Inhalt anhand des Kommentars identifizieren kann.

Das Fernschreiber-Interface (20 mA Stromschleife) ist mit einfachen Mitteln auch für den Anschluß eines Terminals (z. B. RS-232) umzubauen. Eine einzigartige Eigenschaft ist die automatische Feststellung der Übertragungsgeschwindigkeit durch die Software: Sobald das System eingeschaltet ist und der Benutzer ein Irrungszeichen (Rub-out) eingegeben hat, wird die Übertragungsgeschwindigkeit vom Programm errechnet (von 110...1200 Bd). Der weitere Datenaustausch wird dann darauf eingestellt. Es sind weder Schalter noch irgendwelche zusätzlichen Zeitgeber erforderlich. Im ROM ist auch ein Programm mit den erforderlichen Routinen für einen Lochstreifenleser/-stanzer enthalten. Auch hier wird beim Laden eine Prüfsumme berücksichtigt, mit deren Hilfe Übertragungsfehler erkannt werden.

4 Intervallzeitgeber

Auf der KIM-1-Leiterplatte sind zwei programmierbare Zeitgeber. Der eine ist ausschließlich für Tastatur und Kassetten-Recorder-Interface zuständig, der andere kann zur Erzeugung variabler oder fester Zeitverzögerungen per Programm benutzt werden. Man schreibt dazu eine Zahl zwischen 1 und 256 in die Speicheradresse, unter der der Zeitgeber zu erreichen ist. Zusätzlich kann man festlegen, ob der Zeitgeber jeden 8., 16., 64. oder 256. Taktimpuls zählen soll. Die dafür notwendige Codierung steckt in den letzten zwei Bits der Zeitgeberadresse. Die Zählgeschwindigkeit hängt also davon ab, in welche Speicheradresse man den Anfangswert (für den Zeitgeber) einschreibt. Ist der Zählerstand Null erreicht, wird ein Software-Interrupt ausgelöst. Gleichzeitig wird der Zähler mit der Frequenz des Taktgenerators rückwärts, also in Richtung größerer negativer Zahlen, weitergezählt. Auf diese Weise kann, falls gerade ein anderer Interrupt bearbeitet wird, festgestellt werden, wieviel Maschinenzyklen seit dem Auftreten des Zeitgeber-Interrupts vergangen sind.

5 Erweiterungsmöglichkeiten

Auf der Leiterplatte ist bereits die Decodierung für einen Speicherplatz von weiteren 3 KByte vorgenommen. Die Erweiterung um speicher- (bis 64 K möglich) und busorientierte Bausteine ist über einen der beiden Stecker auf der Platine möglich. Am anderen Stecker liegen alle Adreß-, Daten- und Steuersignale und die Leitungen des Kassetten-Recorder- und Fernschreiber-Interface sowie die der Tastatur an. Spezielle Erweiterungsplatinen und ein *Resident-Assembler* existieren bereits.

6 Dokumentation

Im Preis ist ein umfangreiches Schrifttum inbegriffen. Mit zahlreichen Beispielen wird im 200 Seiten starken Programmier-Handbuch auch der Benutzer mit der Materie vertraut gemacht, der sich bisher nicht mit Programmierung beschäftigt hat. Ein zweites Handbuch befaßt sich mit der Hardware und legt großen Wert auf den Umgang mit den Steuersignalen und auf Interface-Probleme. In einem dritten Buch schließlich wird der Umgang mit KIM-1 erklärt, und zwar so systematisch, daß man mit geringen technischen Vorkenntnissen von Anfang an mit dem Mikrocomputer arbeiten kann.

Dipl.-Ing. Dieter Haas

Programmierbare Interface-Bausteine machen Mikroprozessor-Systeme noch leistungsfähiger

Systeme, die auf dem Mikroprozessor Intel 8080 A basieren, können heute mit weit weniger Bauelementen realisiert werden, als das bis jetzt möglich war. Dies wird durch die Verfügbarkeit von hochintegrierten, programmierbaren Interface-Bausteinen ermöglicht. Mit diesen programmierbaren Ein-/Ausgabe- und Peripherie-Bausteinen kann die Hardware für Systemschnittstellen weitgehend standardisiert und die Mikrocomputer-Entwicklung vereinfacht werden. Durch die einfache Handhabung der standardisierten internen Bus-Struktur kann sich der System-Ingenieur voll auf die Entwicklung der externen Interface- und Interruptstruktur konzentrieren. Das komplette Intel-8080-System kann als interruptgesteuertes System in „Online"-Anwendung und für Steuer- und Kontrollaufgaben eingesetzt werden.

1 Systemkomponenten

Das 8080-Mikrocomputer-System (MCS-80) besteht aus einer Familie von Bauelementen (*Tabelle 1*) in N-Kanal-MOS- und Schottky-Technologie, sowie Produkten zur Entwicklungsunterstützung. Die CPU-Gruppe enthält den 8-bit-Mikroprozessor 8080 A, den Taktgenerator 8224 und den Steuerbaustein 8228. Die CPU kann bis zu 65 536 Byte Speicher und 512 Ein-/Ausgabekanäle (256 Eingabe-, 256 Ausgabekanäle) zu jeweils 8 bit adressieren. Die Zeitsteuerung und die Bus-Steuer- und -Treiberfunktionen sind in den Typen 8224 und 8228 integriert. Die meisten Ein-/Ausgabe- und Peripherie-Bausteine sind programmierbar, d. h. sie werden durch Software gesteuert. Für die Ein-/Ausgabe stehen Bausteine für die serielle Datenübertragung (USART) und für parallele Ein-/Ausgabe zur Verfügung. Die Peripherie-Elemente ergänzen und erweitern die CPU-Steuereigenschaften durch die Verwaltung von Mehr-Ebenen-Interrupts, Echtzeitsteuerung und -überwachung sowie Direkt-Speicherzugriff (DMA). Als Speicher können Industrie-Standardtypen eingesetzt werden.

Die typische Befehlsausführungszeit geht bis zu 1,35 µs (8080 A-1) für den Standard-Temperaturbereich und bis zu 2,0 µs für den militärischen Bereich (M 8080 A). Im Jahre 1974 als erste N-Kanal-MOS-CPU eingeführt, ist der Typ 8080 inzwischen zum Industrie-Standard geworden. Er wird in mehr als der Hälfte aller Mikrocomputer-Anwendungen eingesetzt, und für die meisten Bausteine gibt es mehrere Zweithersteller.

2 Mikrocomputer-Architektur

Das 8080-Mikrocomputer-System hat eine modulare Organisation, die auf den von der CPU-Gruppe gebildeten standardisierten Bus aufbaut (*Bild 1*). An ihn können Speicher, Ein-/Ausgabe- und Peripherie-Bausteine in beliebiger Kombination angeschlossen werden. *Bild 2* zeigt die CPU-Gruppe mit dem 16-bit-Adreßbus $A_0 \ldots A_{15}$, der Speicherplätze und Ein-/Ausgabekanäle adressiert, dem bidirektionalen 8-bit-Datenbus $DB_0 \ldots DB_7$, über den der gesamte Datenaustausch stattfindet und dem Steuerbus, der die Schreib-/Leseoperationen koordiniert und die Interruptanforderungen synchronisiert. Der Bus ist TTL-kompatibel und wird von der CPU-Gruppe bei den üblichen TTL-Pegeln mit dem nötigen Treiberstrom versorgt (1,9 mA an allen

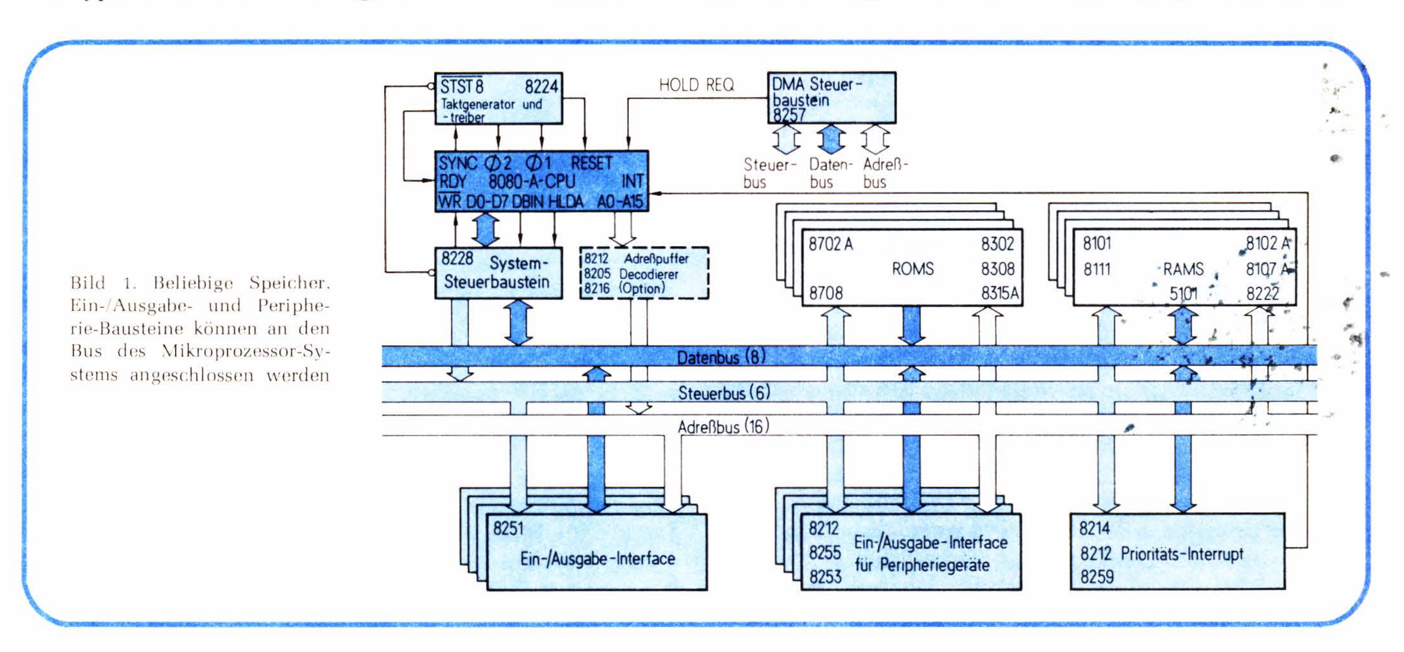


Bild 1. Beliebige Speicher, Ein-/Ausgabe- und Peripherie-Bausteine können an den Bus des Mikroprozessor-Systems angeschlossen werden

Tabelle. Bausteine des Systems MCS-80

Funktion	Typ	Anschlüsse	Aufgabe und Eigenschaften
CPU-Gruppe	8080 A	40	8-bit-CPU, 2 µs Zykluszeit
	8224	16	Taktgenerator
	8228	28	System-Steuerbaustein
CPU-Optionen	8080 A-1	40	1,3 µs Befehlszyklus
	8080 A-2	40	1,5 µs Befehlszyklus
	M 8080 A	40	2 µs Befehlsz., –55...125 °C
Ein-/Ausgabe	8212	24	8-bit-Ein-/Ausgabe-Einheit
	8251	28	Programmierbares Interface
	8255	40	Progr. Interface für Peripheriegeräte
Peripherie-Bausteine	8205	16	1-aus-8-Decodierer
	8214	24	Steuereinheit für Prioriäts-Interrupt
	8216	16	Bidirektionaler 4-bit-Treiber, nicht-inv.
	8226	16	Bidirektionaler 4-bit-Treiber, invert.
	8222	22	Auffrisch-Einheit für dyn. RAM 8107 B
	8253	24	Programmierbarer Zeitgeber
	8257	40	Programmierbare DMA-Steuereinheit
	8259	28	Programmierbarer Interrupt-Steuerbaust.
EPROMs	8702 A	24	512 x 8 bit, 1,3 µs Zugriffszeit
	8708	24	1024 x 8 bit, 450 ns Zugriffszeit
ROMs	8302	24	512 x 8 bit, 1 µs Zugriffszeit
	8308	24	1024 x 8 bit, 450 ns Zugriffszeit
	8316 A	24	2048 x 8 bit, 850 ns Zugriffszeit
Statische CMOS-RAMs mit 650 ns Zugriffszeit	5101	22	256 x 4 bit, 15 nA/bit
	5101-3	22	256 x 4 bit, 200 nA/bit
	5101 L	22	256 x 4 bit, 15 nA/bit (bei Ucc = 2 V)
	5101 L-3	22	256 x 4 bit, 200 nA/bit (bei Ucc = 2 V)
Statische N-MOS-RAMs	8101-2	22	256 x 4 bit, 850 ns Zugriffszeit
	8102 A-4	16	1024 x 1 bit, 450 ns Zugriffszeit
	8102 A-6	16	1024 x 1 bit, 650 ns Zugriffszeit
	8111-2	18	256 x 4 bit, 850 ns Zugriffszeit
Dynamische RAMs	8107 B	22	4096 x 1 bit, 420 ns Zugriffszeit
	8107 B-4		4096 x 1 bit, 270 ns Zugriffszeit

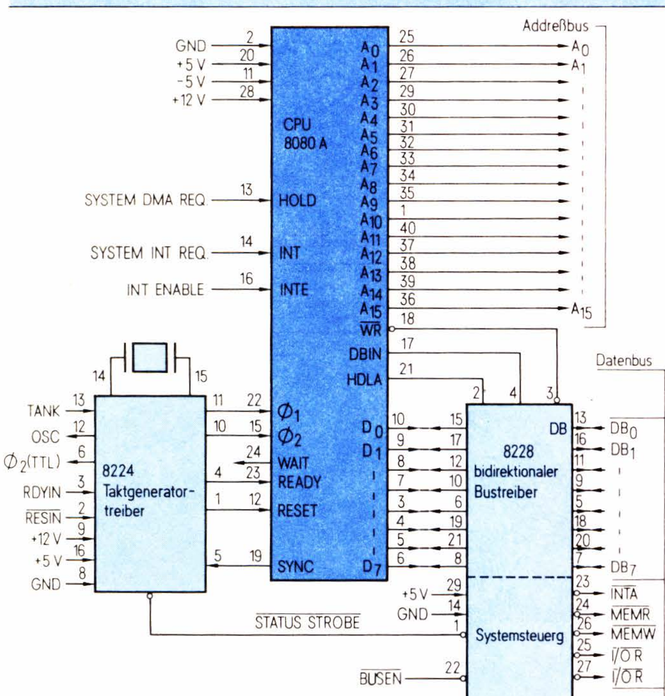


Bild 2. Die CPU-Gruppe mit dem Adreßbus, dem Datenbus und dem Steuerbus

8080-A- und 10 mA an den 8228-Ausgängen). Bus-Treiber und -Decodierer sind nur in größeren Systemen erforderlich.

3 Programmierbare Peripherie-Bausteine

Die Leistungsfähigkeit eines Mikrocomputers wird stark durch das Vorhandensein von softwaregesteuerten Ein-/Ausgabe- und Peripherie-Bausteinen bestimmt. Für das 8080-System sind folgende verfügbar (sie werden in Kürze durch weitere ergänzt):

- 8251, ein programmierbares Datenübertragungs-Interface für das Senden oder Empfangen von synchronen oder asynchronen seriellen Daten (USART)
- 8253, ein programmierbarer Zeitgeber, der drei 16-bit-BCD/Binär-Zähler enthält; damit können Echtzeit-Impulse erzeugt und Software-Zeitschleifen eliminiert werden
- 8255, eine programmierbare Ein-/Ausgabe-Schnittstelle, die drei 8-bit-Einheiten (*Ports*) für parallele Eingabe oder Ausgabe enthält
- 8257, eine programmierbare Steuereinheit für direkten Speicherzugriff (DMA) mit vier Kanälen für die schnelle Datenübertragung von externen Geräten zum Speicher (RAM) unter Umgehung der CPU
- 8259, eine programmierbare Interrupt-Steuereinheit für acht Prioritätsebenen (erweiterbar auf 64 Ebenen), die für jede Ebene einen Interruptvektor erzeugt.

Der Entwickler wählt die Betriebsart, in der er den jeweiligen Baustein einsetzen will, bestimmt das Steuerwort, das dann in der Initialisierungs- oder Service-Routine ausgegeben wird. Das Steuerwort z. B. legt die Übertragungsrichtung der 24 parallelen Leitungen des Ein-/Ausgabe-Bausteins 8255 fest oder steuert die Prioritäten der Interruptebenen des Interrupt-Steuerbausteins (8259).

Da durch die Software die Eigenschaften der Bausteine bestimmt werden, können sie natürlich durch sie auch geändert werden. Eine Möglichkeit ist die Verwendung von Steuerworten in austauschbaren Software-Moduln. Damit kann ein und dieselbe Hardware-Entwicklung mit unterschiedlichen Peripheriegeräten in völlig verschiedene Endprodukte eingesetzt werden. Ferner können die Betriebsarten auch „im Flug" während des Programmablaufes geändert werden. Diese Möglichkeit erlaubt z. B. den dynamischen Wechsel von Prioritätsebenen, womit die Reaktionszeit des Systems beschleunigt wird. Wenn die CPU feststellt, daß einige Service-Routinen kritischer sind als andere, kann sie die Prioritäten umändern.

4 Interrupt-Organisation

Alle Peripherie- und Ein-/Ausgabeeinheiten können Interruptanforderungen erzeugen. Die 8080-CPU behandelt Interrupts auf zwei Arten: Im ersten Fall richtet ein „Vektor-Befehl" (RST) den Programmzähler auf einen bestimmten fest zugeordneten Speicherplatz, der als Startadresse für die

Interrupt-Service-Routine dient, RST fungiert als Programmaufruf (*Call*). Der RST-Befehl wird von einer Interrupt-Steuereinheit generiert. Bis zu acht Verzweigungen sind möglich. Im zweiten Fall wird der reguläre Unterprogrammaufruf (*Call*) benutzt. So kann jede Adresse im Speicher als Startadresse für die Interrupt-Routine benutzt werden, und die Anzahl der Interruptebenen ist nur durch die Größe des Speichers begrenzt. Auch in diesem Fall wird der Aufruf von der Interrupt-Steuereinheit generiert.

Die Interrupt-Steuerung übernehmen folgende Bausteine:

- 8228 der System-Steuerbaustein erzeugt einen Interrupt-Vektor (RST 7); damit ist in der CPU-Gruppe ein Interrupt mit einer Ebene ohne zusätzliche Baugruppen möglich
- 8259, die programmierbare Interrupt-Steuereinheit erzeugt acht „Call"-Vektoren und kann bis zu 64 Ebenen erweitert werden
- 8214, eine Interrupt-Steuereinheit mit festen Prioritäten und bis zu 40 Ebenen erweiterbar.

5 Speicheranpassung

Eine typische Speicherorganisation mit den entsprechenden Bus-Verbindungen zeigt *Bild 3*. In großen Speicherorganisationen können Treiber und Decodierer als Bus-Schnittstelle hinzugefügt werden. Speicherzugriffszeiten haben keinen Einfluß auf die Schnittstelle mit dem Bus. Das statische RAM Intel 8111 (256 x 4) und das ROM Intel 8316 A (2048 x 8) haben z. B. maximale Zugriffszeiten von 850 ns, während die 8080-A-CPU in Taktzeiten von 480 ns oder weniger arbeiten kann. Es wird einfach ein „Wartetakt" (oder mehrere) in die Zykluszeit eingefügt, um auch Speicher mit größerer Zugriffszeit als 480 ns einsetzen zu können.

Wenn der Entwickler sich für einen schnelleren Speicher entscheidet, kann der Wartetakt wegfallen, indem der „READY"-Eingang des Taktgenerators 8224 aktiviert, d. h. auf logisch H gelegt wird. Die „READY"-Logik des Mikroprozessors 8080 A macht es möglich, jeden beliebigen Speicher mit beliebiger Zugriffszeit zu verwenden. Verdoppelt man z. B. die Zugriffszeit von 450 ns auf 900 ns, um Kosten zu sparen, so erhöht sich die Befehlsausführungszeit nur um etwa 25 % und nicht um 100 %.

6 Hardware- und Software-Entwicklungshilfen

Für den Entwurf von Prototypen bietet die Firma den preiswerten Bausatz SDK-80 (*system design kit*) mit folgendem

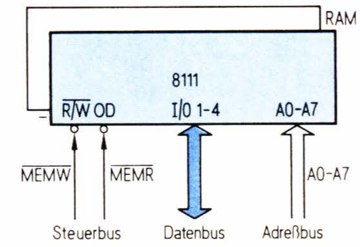


Bild 3. Typische Speicherorganisation mit den entsprechenden Bus-Verbindungen

Inhalt an: ein 8080-Grundsystem (8080-A-CPU-Gruppe) – zwei statische RAMs zu je 256 x 4 bit (8111) – zwei löschbare PROMs zu je 1024 x 8 bit (8708, – einer der löschbaren PROMs ist vorprogrammiert mit einem System-Monitor) – Peripherie-Bausteine (8251 und 8255) – Leiterplatte, diskrete Bauteile, Sockel und andere Hardware – Zusammenbau- und Bedienungsanleitung.

Software- und Hardware-Entwicklung werden vom Mikrocomputer-Entwicklungssystem Intellec 800 und dem Emulator ICE-80 unterstützt. Die Grundausstattung des Intellec besteht aus einem 8080-System mit frei wählbarer Peripherie und systemeigener (*resident*) Software. Das Gerät kann zur Programmerzeugung, Assemblierung, Emulation und Fehlersuche eingesetzt werden und ist auch als Prototypen-System verwendbar. Die Software umfaßt einen Monitor, ein Floppy-Disk-Betriebsssytem und viele weitere Programmpakete einschließlich eines PL/M-Compilers. Der ICE-80-Modul und die unterstützende Software bieten zwei sehr nützliche Eigenschaften:

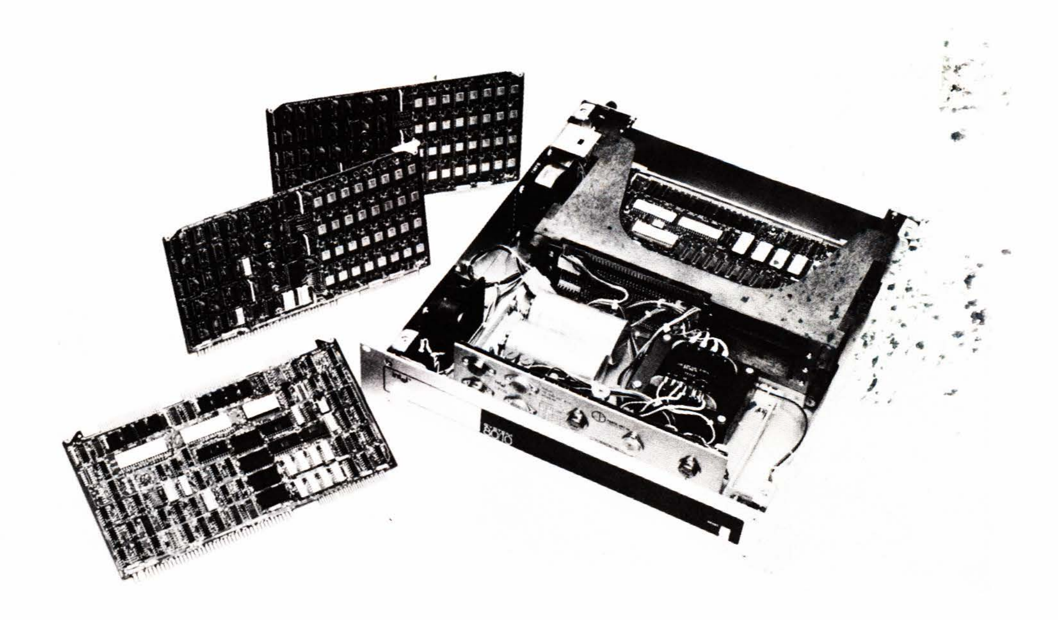
a) Fehlersuche direkt am Anwendersystem. Da der Circuit-Emulator im Sockel der 8080-CPU im Mikrocomputer des Anwenders steckt, können alle Operationen auf der Intellec-Konsole überwacht und analysiert werden.

b) Die Fehlersuche kann auf der Konsole mit leicht verständlichen Befehlen durchgeführt werden. Außerdem können symbolische anstelle von absoluten Adressen verwendet werden, um auf kritische Programmstellen und Parameter zu verweisen.

Ein Beispiel für ein System, das auf dem Mikroprozessor 8080 basiert, ist der „Computer auf einer Platine" SBC-80/10 (siehe ELEKTRONIK 1976, H. 3, S. 36...38).

Literatur

Nichols A. J. und *McKenzie K.*: Build a compact microcomputer. Electronic Design 1976, H. 10, S. 84...92.


Das System 80/10 ist ein vollständiger Mikrocomputer, der auf dem „Single-Board"-Computer SBC 80/10 basiert: Der Standard-19-Zoll-Einschub enthält einen Kartenträger, der neben der SBC-80/10-Mikrocomputer-Leiterplatte drei zusätzliche Erweiterungs-Leiterplatten aufnehmen kann. Die Stromversorgung ist so ausgelegt, daß sie ein komplett bestücktes System versorgen kann

Konkurrenz ist die Mutter des Fortschritts: Schon in Heft 8 wiesen wir im Nachrichtenteil auf S. 21 darauf hin, daß einem der bekanntesten 8-bit-Mikroprozessoren, dem Typ 8080A, mit der Neuentwicklung des Typs Z 80 der Firma Zilog ein nicht zu übersehender Konkurrent von sehr fortschrittlichem Konzept entstanden ist. Natürlich wird dadurch die „8080A-Festung", wie unser Zeichner sie darstellte, nicht gleich sturmreif gemacht, denn dieser klassische Mikroprozessor hat einen sehr großen Verbreitungsvorsprung. Doch es ist interessant und wichtig, den Z 80 näher kennenzulernen, um seine Auf- und Überholmöglichkeiten richtig einschätzen zu können. Nachfolgend die nötigen Unterlagen.

Dipl.-Ing. H.-P. Blomeyer-Bartenstein

Ein neues Mikrocomputer-Konzept

Bausteine – Baugruppen – Entwicklungssystem

1 Systemkonzept

Bei der Schaffung des Mikroprozessors Z 80 der amerikanischen Firma Zilog setzte man sich die folgenden Entwicklungsziele:

– Schaffung eines marktgerechten Mikrocomputersystems, das die bisherigen Schwierigkeiten bei der Anwendung der „Mikros" soweit wie möglich ausschaltet, aber voll auf Vorhandenem (Investitionen, Know-how) aufbaut.

– Volle Software- und Applikations-Kompatibilität zum bisher weitest verbreiteten System 8080.

– Besondere Beachtung des Systemgedankens: Daher Koordination der Entwicklungs-Konzepte von Systemanalytikern, Softwarespezialisten, Halbleiterfachleuten und Gerätetechnikern. Ergebnis: Ein geschlossenes technisches Konzept.

– Zur Systemphilosophie gehört u.a. das Prinzip des minimalen Hardwareaufwands: Eine einzige Speisespannung und 1-Phasen-TTL-Takt, Unterbringung sämtlicher Nebenfunktionen (Systemsteuerung, Interruptsteuerung, Prioritätscodierer) in den Hauptbausteinen. Dadurch wird mit nur sechs verschiedenen Bausteinen (*Bild 1*) die gleiche Universalität erreicht wie bei anderen Systemen mit mehr als zwölf!

– Bis zu fünfmal höhere Verarbeitungsgeschwindigkeiten als bei allen bisher verfügbaren MOS-Prozessoren durch kürzeren Befehlszyklus (standardmäßig 1,6 µs), fortgeschrittene Architektur und Befehlssatz, dadurch außerdem bis zu – 50 % Speicherplatzeinsparung.

– Erweiterung der Prozessorfähigkeiten in zwei Richtungen: Hin zu den *16-bit-Rechnern* (=Minicomputer und Prozeßrechner) durch Implementierung neuer 16-bit-Arithmetikbefehle mit zusätzlichen Adressierweisen (z.B. indiziert), eines kompletten unabhängigen zweiten Registriersatzes inklusive Akkumulator, blockweiser Datenbehandlung und wesentlich erweiterter Interrupt-Fähigkeiten.

In Richtung *Maschinensteuerung* (der bisherigen Domäne der 4-bit-„Mikros") durch Hinzufügen von Einzelbitoperationen (Bit testen, Bit setzen, Bit rücksetzen) und durch ein neues Hardwarekonzept, das Einzelbitbehandlung durch die „Intelligenz" der Parallel-Ein-/Ausgabe-Bausteine weiter vereinfacht.

– Direkte Anschlußmöglichkeit sämtlicher Standardspeicherbausteine, sogar dynamischer Speicher ohne jeglichen

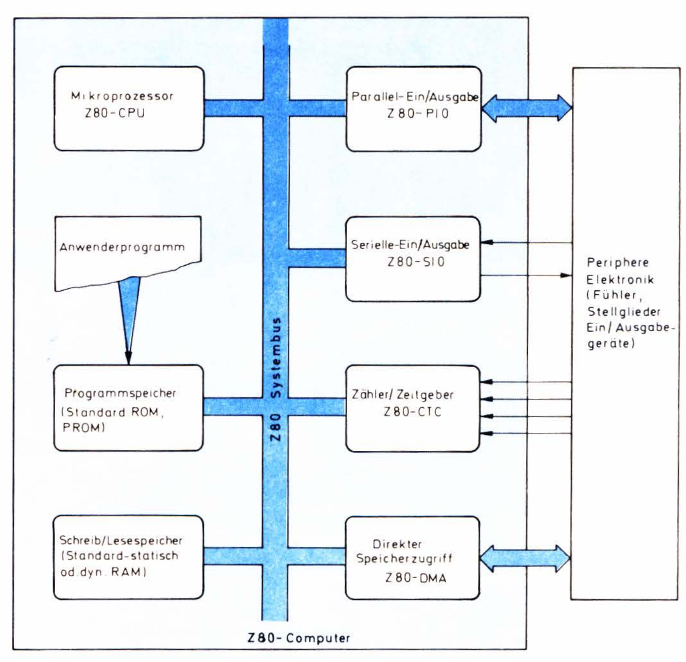
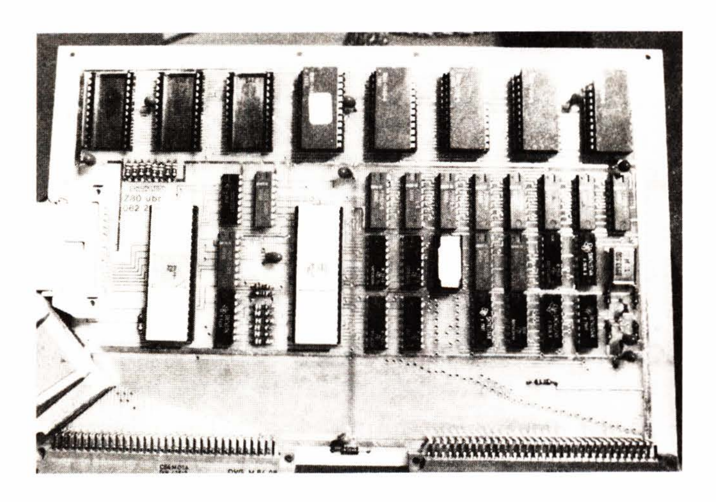


Bild 1. Das Mikrocomputersystem Z 80 erfüllt mit nur fünf Bausteinen alle normalerweise gestellten Anforderungen



Auf einer Leiterplatte im doppelten Europaformat ist der Mikrocomputer Z 80-DCB aufgebaut. Er besteht aus der Zentraleinheit (CPU), einem programmierbaren Ein-/Ausgangsbaustein (PIO), einem dynamischen Schreib-/Lesespeicher (RAM) mit 4 KByte Kapazität, ebenso können ROMs oder PROMs bis zu 4 KByte über Steckfassungen aufgenommen werden. Weitere Bausteine dieses Mikrocomputers sind die Serien-Schnittstelle RS 232 und der Zeitgeber-/Zähler CTC (Kontron Elektronik GmbH)

Hardwareaufwand (*Refreshcontroller*) oder Programmieraufwand (*Softwarefresh*) zur Einsparung von Speicherkosten.

– Lieferbarkeit sämtlicher Bausteine auch im militärischen Temperaturbereich.

– Mikrocomputer-Anfängern wird der Einstieg in die neue Technik durch den KONTRON-Z-80-Kit erleichtert, der einen „Kaltstart" mit minimaler Investition und geringer Einarbeitungszeit erlaubt.

2 Bausteine

2.1 Die Zentraleinheit (CPU)

Der gegenüber bisher verfügbaren Mikroprozessoren höhere Informations-Durchsatz (*throughput*) und die effizientere Programmspeicherausnutzung erlauben die Realisierung von Mikrocomputer-Systemen mit höheren Anforderungen als bei den bisher bekannten Systemen. Die CPU ist in N-Kanal-Silicon-Gate-Technik mit Ionenimplantation ausgeführt. *Bild 2* zeigt ihre Blockschaltung. In *Bild 3* ist die Registerorganisation mit insgesamt 208 bit dem Anwender zugänglicher Schreib-/Lesespeicher dargestellt. Hiervon sind zwei gleich aufgebaute Blöcke mit je sechs allgemeinen Registern, die jeweils wahlweise 8- oder 16-bit-Operationen erlauben. Hinzu kommen zwei Akkumulatoren und Status-Register (*Flag*).

Die Operationen der CPU laufen in einem der beiden Register/Akku-Blöcke ab; der Zugriff zum zweiten Register/Akku-Block erfolgt durch Übergangs-(*Exchange*-) Anweisungen. Diese alternative Arbeitsweise ermöglicht wechselweises Arbeiten in Haupt- und Hintergrundprogramm ohne Auslagern von Registerinhalten in den Arbeitsspeicher und dadurch schnelle und effiziente Interruptbehandlung.

Der 16-bit-Stack-Pointer der CPU dient zur Bearbeitung von Mehrebenen (*Multilevel*-) Interrupts, praktisch unbegrenzte Unterprogramm-Verschachtelung (*Subroutine Nesting*) und Zwischenspeicherung von Datenblöcken.

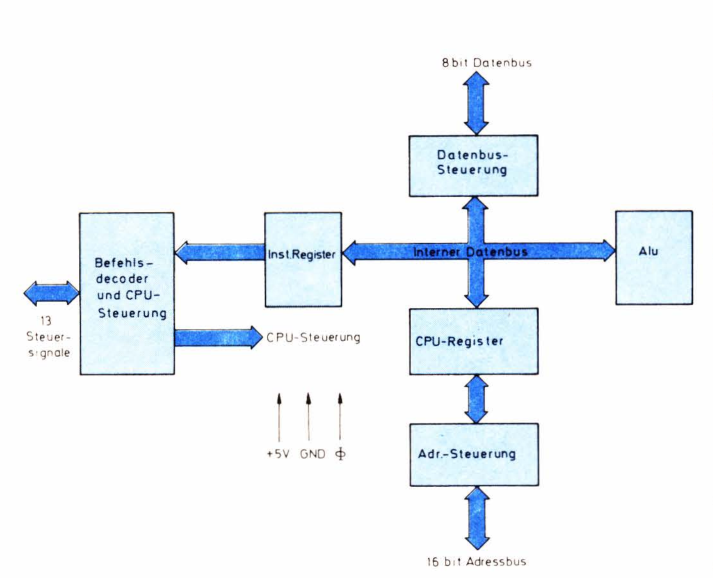
Zwei *16-bit-Indexregister* erlauben die Bearbeitung von Tabellen und relokativen (d. h. im Adreßraum des Arbeitsspeichers verschiebbaren) Informationen. Ein eigenes *Refresh-Register* wurde für ein direktes, übersichtliches Arbeiten mit externen dynamischen Speichern ohne Software-Aufwand implementiert. Das *Unterbrechungsregister (I-Register)* schließlich liefert zur Realisierung einer besonders leistungsfähigen Art der Interrupt-Behandlung die höherwertigen acht Bits eines Zeigers, der über eine Tabelle den Sprung in Interrupt-Behandlungsprogramme ermöglicht; die niederwertigen acht Bits der Anfangsadressen werden in üblicher Weise von den anfordernden Schaltungen geliefert.

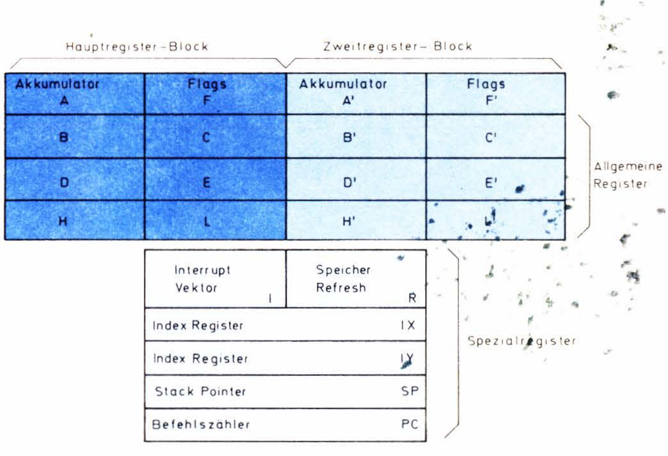
Zusammengefaßt ergeben sich die in *Tabelle 1* aufgelisteten Eigenschaften.

Als *Adressierweisen* kommen (auch Kombinationen) in Frage: Direkt (*immediate*); Erweitert direkt (*immediate extended*); Modifizierte Seite Null (*Modified Page Zero*); Relativ (*relative*); Erweitert (*extended*) und Indiziert (*indexed*). Ferner kann man über Register folgendermaßen adressieren: impliziert (*implied*); indirekt über Register (*register indirect*); Adressierung eines Bits.

2.2 Der programmierbare parallele Ein-/Ausgabebaustein

Der Software-programmierbare Parallel-I/O (PIO) - Interfacebaustein Typ Z 80-PIO enthält zwei TTL-kompatible Ports, über die der Datenverkehr zwischen dem Mikroprozessor und der Umwelt (*Peripherie*) abgewickelt wird. *Bild 4* ist seine Blockschaltung, *Tabelle 2* gibt weitere Einzelheiten. In *Bild 5* wird die Gliederung eines Ports gezeigt; interessant ist (rechts unten) die Quittungs-Betriebslogik zur schnellen Anforderungsbearbeitung im Interrupt-Betrieb.





▲ Bild 3. Die Register-Blöcke der CPU

◀ Bild 2. Blockschaltung der Zentraleinheit (CPU)

2.3 Der serielle Ein-/Ausgabebaustein

Dieser unter der Bezeichnung Z 80-SIO laufende Baustein hat im Prinzip eine analoge Funktion wie der zuvor beschriebene PIO, wickelt jedoch den Datenverkehr zwischen Mikroprozessor und Außenwelt bit-seriell ab. Dadurch eignet er sich vor allem zum Anschluß von Floppy-Disks, Bildschirmgeräten, Fernschreibern und allgemein seriellen Daten-Übertragungskanälen.

Der Baustein arbeitet bidirektional (bedient also einen bit-seriellen Doppelkanal) mit 5- bis 8-bit-Zeichen, mit 1, 1½ oder 2 Stop-Bits; CRC- und Paritätserzeugung erfolgt automatisch. Dadurch ist auch direkter Anschluß an IBM-Bi-Sync- und SDL-Kanäle möglich.

2.4 Der Zähler/Zeitgeberbaustein

Dieser Baustein (Z 80-CTC) enthält vier Zähler/Zeitgebereinheiten und die zu jeder Einheit gehörigen Interrupt- und Prioritätsschaltungen.

Die Zeitgeber können zur Bearbeitung synchroner Real-Time-Aufgaben Interrupts in Zeitabständen von 8 μs bis 32 ms veranlassen. Die Zähler (je 8 bit) können zur Entlastung des Mikroprozessors ebenfalls bei Real-Time-Aufgaben benützt werden.

2.5 Der Baustein für direkten Speicherzugriff (DMA)

Dieser Baustein (Z 80 DMA) ist für ein-/ausgabeintensive Anwendungen und hohe Datenübertragungsraten gedacht; er gestattet externen „intelligenten" Peripheriegeräten, wie Floppy-Disks und Datenübertragungskanälen, den direkten Zugriff auf den Systemspeicher, wobei der Mikroprozessor für die Zeit des Zugriffs „kaltgestellt" wird.

Hierzu wurden in dem Baustein u.a. die Steuerung für vier Ein-/Ausgabekanäle mit Blocklängenzähler, Speicheradressen-Zeiger und Kaskaden-Prioritätsschaltung integriert. Dadurch lassen sich Systeme mit einer theoretisch unbegrenzten Anzahl von DMA-Kanälen aufbauen.

3 Entwicklungssystem

3.1 Bedeutung und Übersicht

Nach den bisherigen Erfahrungen mit Mikrocomputer-Systemen betragen die Software-Kosten 50...90 % der Entwicklungskosten des gesamten Systems unter der Voraussetzung, daß der Anwender vom Lieferanten hardware- und softwaremäßig in der üblichen Weise unterstützt wird; hardwaremäßig z.B. durch betriebsfertige Computerschaltungen, Schaltungsbeispiele und Applikationsberichte, softwaremäßig durch Bibliotheken von universell einsetzbaren Programmteilen, die es dem Anwender ersparen, häufig vorkommende Teilprobleme, wie Gleitkomma-Operationen, Sortierungen, Zeitschleifen usw. selbst lösen zu müssen. Nur den anwendungsspezifischen Rest des Programms muß der Anwender selbst entwickeln.

Tabelle 1. Ausstattung und Befehle der Zentraleinheit (CPU)

17 interne Register
3 schnelle Interrupt-Behandlungsarten und ein zusätzlicher nichtmaskierbarer Interrupt
Direkter Anschluß von dynamischen oder statischen Standard-Speicherchips ohne zusätzlichen Bauteileaufwand; eingebaute dynamische Refresh-Hardware
Standard-Befehlsausführungsdauer: 1,6 μs
Stromversorgung über eine einzige 5-V-Versorgungsspannung
5-V-Einphasen-Takt
Alle Anschlüsse TTL-kompatibel
158 Befehle, darunter die 78
Instruktionen des Mikroprozessors 8080A (voll Software-kompatibel; darüber hinaus verfügt Z 80 über umfassende 16-, 8-, 4- und Einzel-Bit-Instruktionen und zusätzliche Adressierweisen (indizierte, relative und Bit-Adressierung).
Zu unterscheiden sind folgende Befehlsgruppen:
8-bit-Ladebefehle (*8 bit loads*)
16-bit-Ladebefehle (*16 bit loads*)
Austauschbefehle (*Exchanges*)
Blocktransfers im Speicher (*Memory Block Moves*)
Blocksuchbefehle (*Memory Block Searches*)
8-bit-Arithmetik- und Logik-Befehle (*8 bit arithmetic and logic*)
16-bit-Arithmetik- und Logik-Befehle (*16 bit arithmetic and logic*)
Allgemeine Akkumulator- und Status-Anweisungen (*General purpose Accu and Flag Operations*)
Akku-Rotieren und -Schieben (*Rotate and Shift*)
Bit Setzen, Rücksetzen und Testen (*Bit Set, Reset and Test*)
Ein-/Ausgabe (*Input and Output*); Sprünge (*Jumps*); Unterprogrammaufrufe (*Calls*); Restarts (*Restarts*); Rücksprünge (*Returns*); sonstige Befehle

Da dies bei mittleren und größeren Systemen erhebliche Aufwendungen darstellt, ist einsichtig, wie stark die Leistungsfähigkeit von Programmierhilfen auf den Gesamt-Entwicklungsaufwand Einfluß nimmt. Um diesen zu senken, wurde daher, passend zum System Z80, ein eigenes Entwicklungssystem geschaffen.

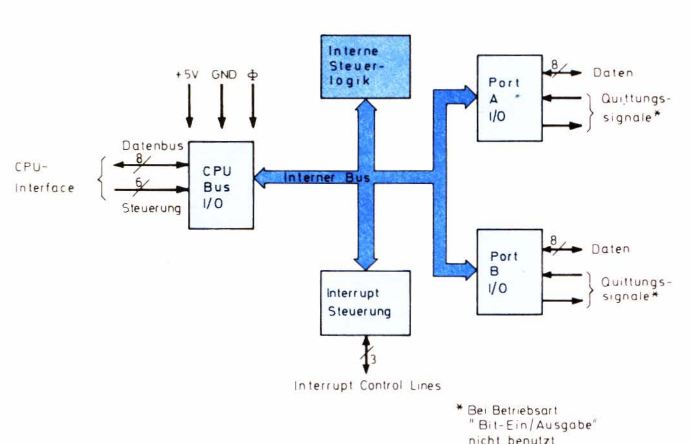


Bild 4. Blockschaltung des parallel arbeitenden Ein-/Ausgabebausteins PIO

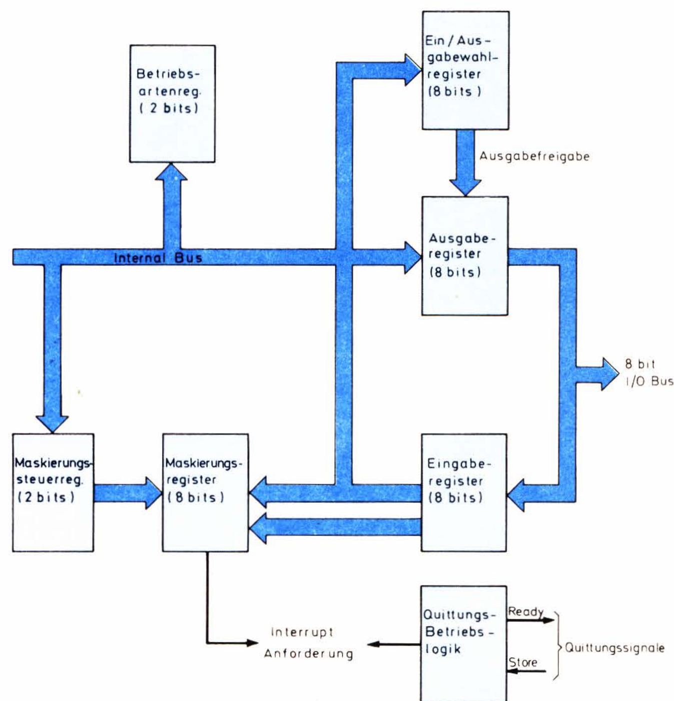


Bild 5. Blockschaltung eines Ports

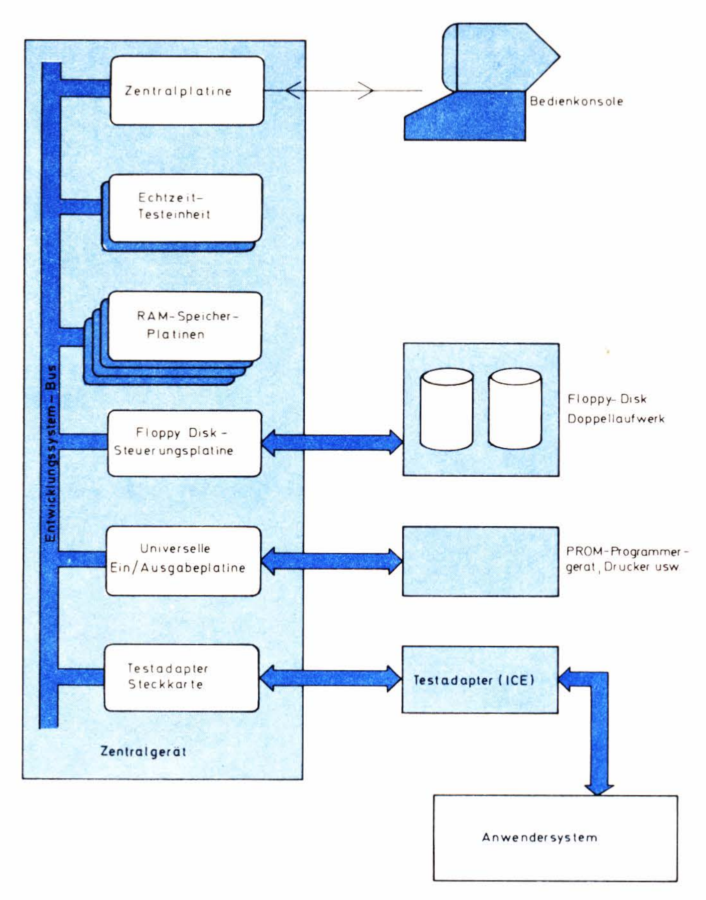


Bild 6. Bestandteile des Z 80-Entwicklungssystems

Das Z-80-Microcomputer-Entwicklungssystem ist so flexibel aufgebaut, daß es auch für alle zukünftigen Zilog-Mikroprozessoren und Mikrocomputer geeignet ist. Sein wichtigster Bestandteil ist neben seinem Zentralgerät die *Doppel-Floppy-Disk-Einheit*, die sekundenschnellen Zugriff auf sämtliche System- und im Test befindlichen Anwender-Programme gestattet, außerdem komfortable Dateiverwaltung und -Änderung. Zum System gehört daneben ein Echtzeittest-Adapter (*In-Circuit-Emulator*) zur direkten Koppelung zwischen dem Entwicklungscomputer und dem zu testenden Anwendersystem, wodurch in kürzester Zeit sowohl Hardware- als auch Software-Tests durchgeführt werden können.

Ergänzt werden die Möglichkeiten des Echtzeittestadapters durch eine *Firmware-Echtzeit-Testeinheit*, mit der sich fragliche Anwendersystemzustände unter Echtzeitbedingungen in einen hierfür reservierten Speicher ablegen und anzeigen, oder aber als Rücksprungursache in den Monitor-Mode verwenden lassen. Dadurch wird die Anschaffung zusätzlicher Logik-Analysatoren mit Anzeige im Datenbereich unnötig.

Diese Möglichkeit, Vorgänge in Echtzeit ablaufen, aufzeichnen und nach Wunsch selektiv anzeigen zu lassen, garantiert hohe Zeitersparnis bei Hard- und Softwaretests und damit wesentlich verringerte Entwicklungskosten.

3.2 Technische Einzelheiten

Kernstück des Entwicklungssystems ist gemäß *Bild 6* der Mikroprozessor Z 80-CPU. Durch seine Multi-Task-fähige Architektur ist er besonders gut für das Mikrocomputer-Entwicklungssystem geeignet, das sowohl mit dem residenten Monitor (*Monitor-Mode*) als auch mit dem Anwendersystem (*Users-Mode*) operieren muß.

In der *Monitor-Betriebsart* arbeitet das Gerät als autonome Entwicklungshilfe, wobei Anwender-Programme in den Schreiblesespeicher des Systems eingegeben, editiert, übersetzt, korrigiert auf Diskette abgespeichert, von der Diskette geladen und zum Ablauf gebracht werden können.

All diese Funktionen werden mit einfach zu erlernenden Kommandos von der Bedienungskonsole aus angestoßen. Im *Users Mode* werden Speicher und Peripherie des Entwicklungssystems einer fertigen Anwenderschaltung verfügbar gemacht, wobei ein ins Entwicklungssystem-RAM eingelesenes Anwenderprogramm unter Echtzeitbedingungen ausgeführt wird. Dadurch ist in der Entwicklungsphase eine PROM-Programmierung überflüssig.

Tabelle 2. Ausstattung und Eigenschaften des PIO-Bausteins

Technologie: N-Kanal Silicon Gate (Depletion Load)
Gehäuse: 40-Stift-DIP
Stromversorgung: 5 V
Takt: 5 V einphasig
Der Baustein umfaßt:
- ein Interface zur CPU-Anschaltung
- interne Steuerlogik
- Logik für I/O-Port A
- Logik für I/O-Port B
- Interrupt-Steuerlogik

A und B sind zwei unabhängige bidirektionale 8-bit-Ports mit Einrichtungen für Quittungsbetrieb (*Handshaking*); jedes Port kann in einer der folgenden 4 Betriebsarten arbeiten:
Byte-Ausgabe; Byte-Eingabe; Byte-Ein-/Ausgabe (bidirektionaler Betrieb, nur bei Port A); Bit-Ein-/Ausgabe
Die I/O-Port-Logik selbst besteht nach Bild 5 aus 6 Registern mit Quittungsbetrieb-Steuerlogik und zwar:

	ein 2-bit-Betriebsarten-Register
	ein 8-bit-Ausgabe-Register
	ein 8-bit-Eingabe-Register
nur bei Be-	ein 2-bit-Maskierungs-Steuerungsregister
triebsart Bit-	ein 8-bit-Maskierungs-Register
I/O benutzt	ein-8-bit-Ein-/Ausgabe-Wahl-Register

Unter Zustandsbedingungen des peripheren Geräts programmierbare Interruptbearbeitung
Automatische Interrupt-Vektorerzeugung und Prioritätscodierung ohne zusätzlichen Schaltungsaufwand durch Kaskadierung der Bausteine (*Daisy chain priority interrupt logic*)
8 Ausgänge für den direkten Anschluß von Darlington-Transistoren
Alle Ein- und Ausgänge voll TTL-kompatibel

Tabelle 3. Daten und Ausstattung des Entwicklungssystems

Zentraleinheit:	Mikroprozessor Z-80 CPU
Speicher:	3 KByte ROM } für Betriebssystem
	1 KByte stat. RAM } reserviert
	16 KByte dyn. RAM für allgemeine Verwendung bis 60 KByte erweiterbar
Systemtakt:	Quarz 2 MHz (auf Wunsch 2,5 MHz)
Ein-/Ausgabekanäle:	– Standard-Interfaces Serienschnittstelle, Floppy-Disk-Schnittstelle Echtzeit-Testadapter („ICE"),
	– Optionale-Interfaces für PROM-Programmiergerät Zeilendrucker
	– Zwei zusätzliche Reservesteckverbinder
Ausstattung:	– Zentraleinheit-Steckkarte mit 4 KByte ROM/RAM und Betriebssoftware und RS-232 oder Strompräge-Serienschnittstelle
	– Eine 16-KByte-Dyn.-RAM-Steckkarte
	– Echtzeit-Testeinheit (bestehend aus 1 Echtzeitspeichersteckkarte und 1 Haltepunkt-Steckkarte)
	– Floppy-Disk-Steuerungssteckkarte für 1 Floppy-Disk-Doppellaufwerk
	– Steckkarte für Echtzeit-Testadapter
	– Echtzeittestadapter zur Direktverbindung zwischen Zentralgerät und Anwenderschaltung für Echtzeit Hard- und Software-Tests

Folgende Arten von Anwendersystem-Aktivitäten bzw. eine Kombination von ihnen lassen sich selektiv abspeichern und anzeigen: Lesezugriffe auf Speicher; Schreibzugriff auf Speicher; Lesezugriff auf I/O-Ports sowie Schreibzugriffe auf I/O-Ports.

Die gleichen Aktivitäten sind, wie schon erwähnt, als Haltepunktbedingungen zu verwenden, wobei als zusätzliche Bedingung Daten- und Adreßbusinformationen zu verwenden sind.

Dadurch lassen sich komplexe Ereignisse identifizieren, wie z. B. das Schreiben einer Eins auf Bitposition 6 des I/O-Ports Nummer F6H. *Tabelle 3* zeigt die wichtigsten Daten des Systems.

2.3 Software-Ausstattung

Mit dem Entwicklungssystem werden ein ROM-residentes Betriebssystem nebst Testprogramm mitgeliefert, ferner ein Floppy-Disk-Betriebssystem, ein Texteditor, ein Dateiverwaltungsprogramm, ein Assembler sowie die nötige Dokumentation.

4 Mikrocomputer-Baugruppensystem

4.1 Bedeutung

Fertige Baugruppen ermöglichen den sofortigen Einstieg in die Praxis. Die Kontron Elektronik GmbH hält daher zunächst eine komplette CPU-Platine (Z-80-ECB/C) und eine Erweiterungsbaugruppe (Z-80-ECB/E) bereit. Als Ergänzung befinden sich eine dynamische RAM-Baugruppe, eine nichtflüchtige CMOS-RAM-Baugruppe und eine Stromversorgungsbaugruppe in Entwicklung, die ab 1. Quartal 1977 zur Auslieferung kommen sollen.

Mit diesem System kann der Anwender seine gesamte Computerschaltung einfach durch Auswahl und Zusammenstecken fertig bestückter, getesteter und in großer Stückzahl aufgelegter Standardplatinen realisieren, wobei die einzelnen Baugruppen in ihren Steckplätzen beliebig vertauscht werden dürften.

Zusammengefaßt beschränkt sich die Mikrocomputer-System-Entwicklung beim Anwender auf folgende Aktivitäten:
- Auswahl und Kauf der Platinen; in einfachen Fällen genügt auch die Minimalkonfiguration nach *Bild 7*
- Entwicklung der problemspezifischen Peripherie (Anschaltung von Leistungsschaltern, periph. Geräten usw.
- Entwicklung und Tests des Anwenderprogramms mit Hilfe des Z-80-Entwicklungssystems
- Systemtest mit dem Testadapter des Z-80-Entwicklungssystem

4.2 Ausstattung der Baugruppen

Neben dem Mikroprozessor Z-80-CPU, den Decoderbausteinen für die CPU-Karten-residenten Speicher und den Treibern für volle Programmspeicherausbaufähigkeit sind auf der CPU-Karte Z-80 ECB/C folgende Funktionseinheiten untergebracht:
- 1/4 KByte statisches RAM
- 1 KByte elektrisch programmierbarer Festwertspeicher (PROM)
- zwei 8-bit-Parallelschnittstellen mit voller Interrupt- und Quittungs (*Handshaking*)-Fähigkeit
- 1 Zweifach-Serienschnittstelle zum direkten Anschluß von Geräten für 24 V, RS 232 bzw. Stromschleifen-Schnittstelle (TTY-kompatibel)

Die problemlose Erweiterung dieser Karte bis zur vollen Ausbaufähigkeit der Z-80-CPU erlaubt die Erweiterungsbaugruppe Z-80-ECB/E, die mit
- 1 KByte statischem RAM

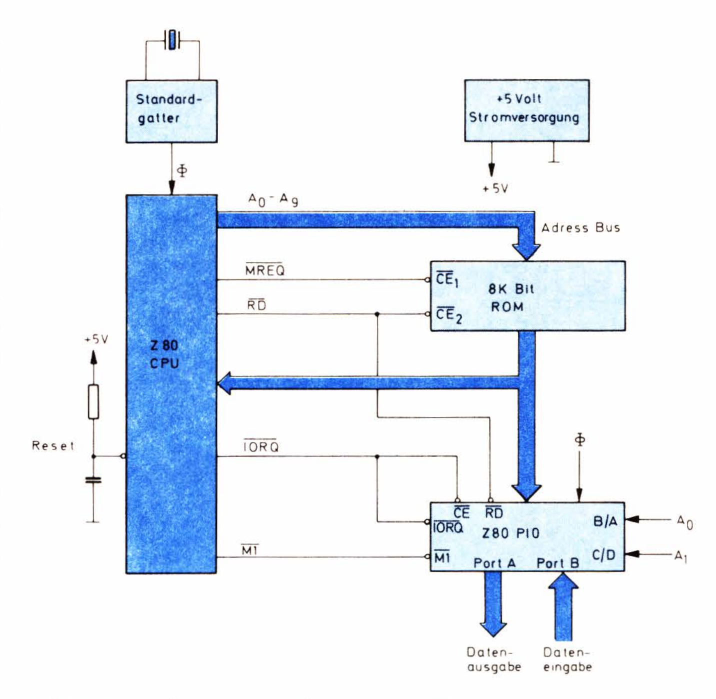


Bild 7. Minimalkonfiguration des Systems Z 80

- 4 KByte elektrisch programmierbarem Festwertspeicher (PROM)
- zwei 8-bit-Parallelschnittstellen mit voller Interrupt- und Quittungs-Fähigkeit
- 1 vierfach Zähler/Zeitgeber für programm- und zeitsparende Behandlung von Echtzeitaufgaben

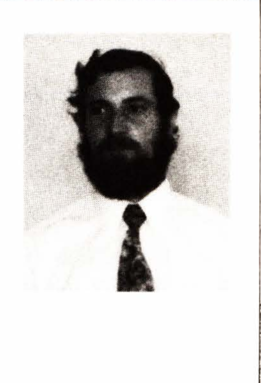
eine vernünftige, stufenweise Erweiterung mit einem Baugruppentyp ermöglicht.

5 Standard-Software, Seminare

Selbstverständlich ist auch ein Spektrum von Standardprogrammen für das System Z 80 verfügbar, das dauernd erweitert wird.

Grundsätzlich werden diese Programme unter Angabe einer Freigabestufe abgegeben. Unter *Freigabestufe 1* fallen ausgetestete, gepflegte und dokumentierte Programme. *Freigabestufe 2* umfaßt ausgetestete Programme unterschiedlicher Herkunft, die jedoch nicht kontinuierlich gepflegt werden. Programme der *Freigabestufe 3* sind als Grundlage für eigene weitergehende Entwicklungsarbeit bzw. Denkanstöße zu verstehen.

Schulungskurse der Lieferfirma werden weiter dazu beitragen, die Einführung des Systems Z 80 zu erleichtern.



Dipl.-Ing. Hans-Peter Blomeyer Bartenstein studierte Elektrotechnik und Wirtschaftswissenschaften an der TU München. Er leitet seit Oktober 1976 den Geschäftsbereich Mikrocomputer der Kontron Elektronik GmbH in Eching bei München. Seine Laufbahn begann er im Bauelementebereich der Siemens AG im Jahre 1970, wo er zunächst DV-Probleme bearbeitete, später das Applikationslabor für Digitalbausteine und zuletzt eine Mikrocomputer-Applikationsgruppe leitete; mit Mikroprozessoren befaßte er sich dort seit Ende 1974.
Hobby: Tauchsport.
Telefon (0 81 65) 7 73 21
ELEKTRONIK-Leser seit 1963.

Die Interruptstruktur des Mikroprozessors F 8

Zur Erläuterung der F-8-Interrupt-Struktur soll auf eine vereinfachte Blockschaltung eines F-8-Systems (*Bild 1*) zurückgegriffen werden. Die Schaltungskonfiguration arbeitet wie folgt:

Ein F-8-System besteht aus mindestens zwei Funktionsblöcken, der Zentraleinheit (CPU) und einer Interface-Einheit für Speicherbausteine (SMI = *Static Memory Interface*) oder der Zentraleinheit und einer Programmspeicher-Einheit PSU (*Program Storage Unit*). Da der SMI- und der PSU-Baustein die gleichen Logiksegmente für die Interruptstruktur enthalten, wird durch Bild 1 das funktionsmäßig komplette Blockdiagramm repräsentiert. Innerhalb des CPU-Bausteins greift in die Gesamtstruktur im wesentlichen nur ein Logikgatter ein, mit dem entschieden werden kann, ob ein Interrupt überhaupt zugelassen wird oder nicht. Ist dieses Gatter durchlässig und steht ein Interrupt an, kann die Interrupt-Service-Routine ansprechen. Das Interruptsteuerbit (ICB) kann per Programm gesetzt oder gelöscht werden, es steuert damit das gesamte Interruptverhalten eines F-8-Systems.

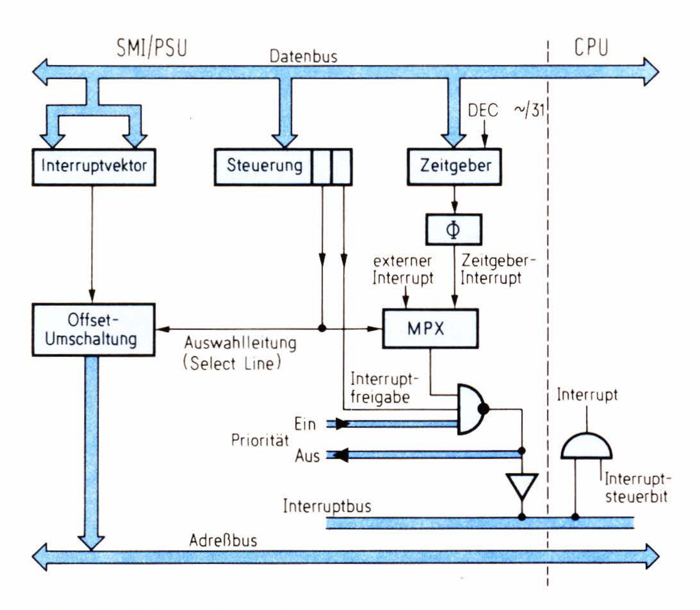


Bild 1. Vereinfachte Blockschaltung eines F-8-Systems

Im SMI/PSU-Baustein werden durch das Steuerregister zwei Funktionen per Programm gesteuert. Ein Bit schaltet zwischen externem und zeitlichem Interrupt um, wobei gleichzeitig auch eine Umschaltung des Interrupt-Vektor-Offsets erfolgen muß (*Select Line*). Dadurch wird also generell innerhalb des SMI- oder des PSU-Bausteins individuell entschieden, welcher Interrupt zugelassen werden soll, und zwar unabhängig von der Interruptbedingung im Gesamtsystem (ICB).

Das zweite Bit, ebenfalls unter Programmsteuerung gesetzt oder gelöscht, entscheidet, ob einer der SMI- oder PSU-Bausteine überhaupt eine Interrupt-Service-Routine veranlassen kann (*Interrupt Enable*), d. h., ist dieses Bit nicht gesetzt, wird ein an diesem speziellen Baustein anstehendes Interrupt-Signal nicht angenommen. Auch hierbei bleibt die Interruptbedingung des Gesamtsystems (ICB) unbeeinflußt.

Nun erfolgt noch eine Verknüpfung innerhalb eines Bausteines zwischen dem eigentlichen Interrupt-Signal, der Interrupt-Enable-Leitung und der Prioritätsleitung, wodurch eine einfache Festlegung der Prioritätsebene bei mehreren gleichwertigen in einem F-8-System vorhandenen Interrupt-Signal-Pegeln erfolgen kann.

Bild 2 zeigt das Beispiel der Prioritätsverkettung mehrerer PSU-Bausteine und des SMI-Bausteines. Die höchste Priorität für ein Interrupt-Signal hat in Bild 2 die PSU „1", die niedrigste Priorität in der Kette das Signal am SMI-Element. Da durch einfache Veränderung der Kettenverbindung (Priority-Out-Signal zu Priority-In-Signal) die Prioritätsebene sehr leicht neu festgelegt werden kann, lassen sich schnell Anpassungen an Systemspezifikationen durchführen. So kann z. B. der PSU „n" ebenfalls die höchste Interrupt-Priorität zugeordnet werden. Liegen nun mehrere Interrupt-Signale gleichzeitig an, wird entsprechend der Prioritätsverknüpfung zuerst die höchste Prioritätsebene abgearbeitet. Über den Interrupt-Request-Bus wird die Verbindung zum CPU-Baustein hergestellt.

Ing. (grad.) Max Eberhard Lösel

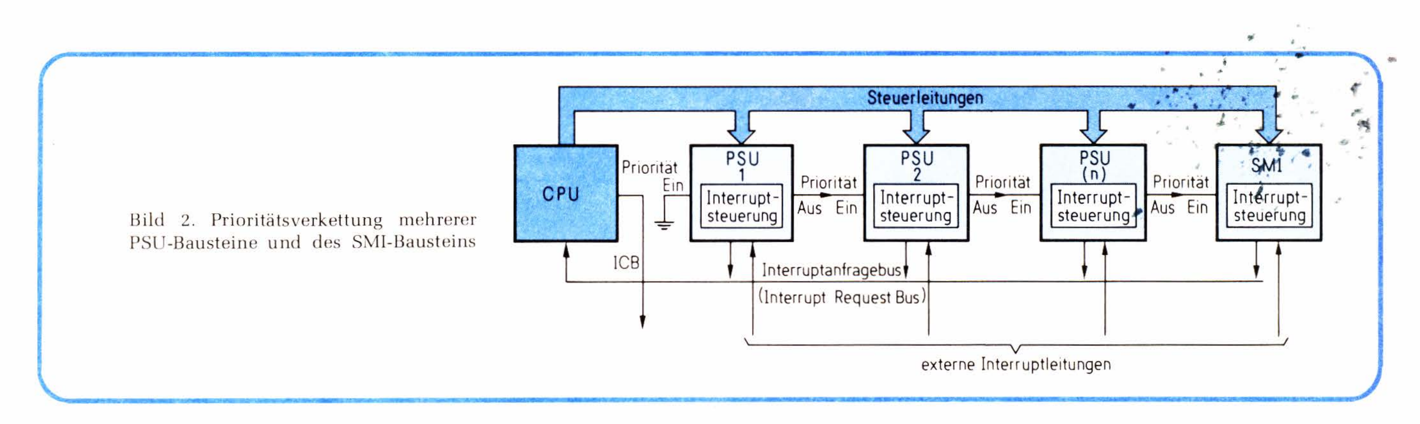


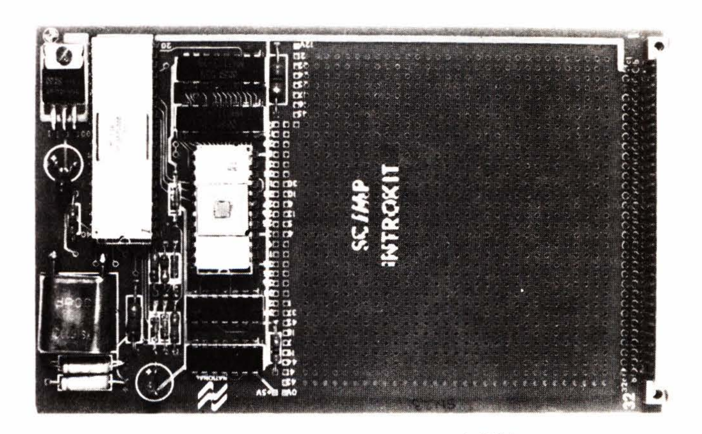
Bild 2. Prioritätsverkettung mehrerer PSU-Bausteine und des SMI-Bausteins

Ein preiswerter Mikroprozessor

Unter der Bezeichnung SC/MP liefert die Firma National Semiconductor einen Mikroprozessor, der trotz seines niedrigen Preises alle Eigenschaften aufweist, die man von einem modernen Bauelement dieser Art erwartet. Lediglich für sehr schnelle Anwendungen ist er nicht geeignet, da die Befehlsausführungszeiten zwischen 5 und 25 µs liegen. Der Baustein wird in P-Kanal-Silizium-Gate-Technologie hergestellt, ist TTL-kompatibel und arbeitet mit Spannungen von +5 V und –7 V. Der Leistungsverbrauch liegt bei 900 mW. Der Chip ist in einem 40poligen DIL-Gehäuse untergebracht, er enthält bereits Oszillator und Zeittaktgenerator. Die Taktfrequenz wird durch einen externen Quarz oder – wenn keine hohe Stabilität verlangt wird – durch einen Kondensator festgelegt, man kann den Takt aber auch einfach von außen zuführen.

Der Mikroprozessor besitzt einen Rücksetz-Eingang, der es gestattet, alle internen Register zu löschen und den nächsten Befehl von der Adresse 0001 holen zu lassen. Mit Hilfe des Eingangs „CONT", der das Anhalten des Prozessors ermöglicht, und einer externen Zusatzlogik kann man Einzelschritt-Steuerung realisieren. Weitere Eingänge erlauben den Anschluß von langsamen Speichern und direkten Speicherzugriff (DMA).

Die Adressierung der Peripherie-Einheiten (Speicher, Ein-/Ausgabe-Einheiten) erfolgt mit 12 bit statisch und mit 4 bit dynamisch; insgesamt können damit 64 KByte angesprochen werden. Während die niederwertigen 12 bit der Adresse am Adreßbus anliegen, werden die höherwertigen 4 bit zusammen mit einer 4-bit-Statusinformation über den Datenbus übertragen. Die zusätzliche Statusinformation gibt an, ob ein Lesezyklus beginnt, ob ein Befehl geholt wird, ob



▲ Bild 1. Der gesamte Bausatz ist auf einer Europakarte untergebracht, die noch genügend Platz für Schaltungserweiterungen läßt

Bild 2. Gesamtschaltung des Introkit

ein Verzögerungs-Befehl ausgeführt wird oder ob ein Halt-Befehl ausgeführt wird.

Der Prozessor hat einen Serien-Ausgang, über den man beispielsweise ein UART-Signal erzeugen kann, und einen Serien-Eingang, der sich sehr gut zum Weiterverarbeiten von Fernschreibersignalen eignet. Vom internen 8-bit-Statuswort sind 5 bit von außen zugänglich, und zwar „FLAG 0...2", die durch das Programm beliebig gesetzt oder gelöscht werden können und zur Steuerung von externen Einheiten geeignet sind, sowie „SENSE A" und „SENSE B", die nur von außen her geändert werden können. Den Zustand dieser beiden Bits kann man softwaremäßig abfragen und zur Entscheidung über den weiteren Programmverlauf heranziehen. Über den Eingang „SENSE A" kann auch ein Interrupt ausgelöst werden, sofern das Bit „Interrupt Enable" im Statusregister gesetzt ist. Ist dies der Fall, wird der Inhalt des Pointerregisters 3 mit dem des Programmzählers vertauscht. Um aus der Interruptroutine zurückzuspringen, vertauscht man einfach den Inhalt der beiden Register wieder (durch das Programm).

An internen Registern sind ein Akkumulator und ein Erweiterungsregister mit je 8 bit (beide können als Arbeitsregister verwendet werden) sowie drei sogenannte Pointerregister vorhanden, die 16 bit lang sind und sowohl Daten als auch Adressen speichern können. Sie werden z. B. für die indizierte Adressierung und als Adreßregister für den Unterprogrammrücksprung verwendet.

Beim Typ SC/MP sind vier Adressierungsarten möglich:

- Bei der *unmittelbaren Adressierung* enthält das zweite Byte des Befehls gleich Daten.
- Bei der *relativen Adressierung* wird die effektive Adresse aus dem Inhalt des Programmzählers und dem zweiten Byte des Befehls gebildet; hierbei ist ein Bereich von +127...–128 um den Inhalt des Programmzählers möglich.
- Die indizierte Adressierung ähnelt der relativen, es wird aber der Inhalt eines der drei Pointerregister als Grundadresse verwendet.
- Die letzte, vom Hersteller mit „*Autoindexed Adressing*" bezeichnete Adressierungsart verwendet wieder eines der drei Pointerregister. Ist der Inhalt des Adreßteils kleiner als Null, so wird er zunächst vom Wert des betreffenden Pointerregisters abgezogen, mit der entstehenden Adresse wird dann weitergearbeitet. Ist der Inhalt des Adreßteils größer oder gleich Null, wird die Adresse, die im betreffenden Pointerregister steht, verwendet, dann wird der Inhalt um den Wert des Adreßteils erhöht. Mit dieser Art der Adressierung lassen sich sehr leicht Stapelspeicher realisieren.

Mit den vorhandenen Befehlen läßt sich eine Vielzahl von Problemen recht einfach lösen. Auffallend ist z. B. ein Befehl, mit dem man Verzögerungszeiten von 13...131 593 Zyklen programmieren kann. Damit lassen sich asynchrone Peripherie-Ausgänge softwaremäßig erzeugen (z. B. mit Hilfe des Serienein- und -ausgangs).

Die Firma National Semiconductor liefert auch einen Bausatz (Introkit), der mit dem Typ SC/MP aufgebaut ist (*Bild 1*). Auf einer einzigen Europakarte ist der gesamte Mikrocomputer untergebracht, und des bleibt noch genügend Platz für den Anwender, um noch eigene Interfaceschaltungen usw. hinzuzufügen. Es stehen 256 Byte an Programm- und Datenspeicher zur Verfügung, ein ROM enthält das sogenannte „Debug-Programm", mit dessen Hilfe man über einen Fernschreiber einfache Programme eingeben und austesten kann. Das Signal für den Fernschreiber wird softwaremäßig erzeugt. Dabei trat bei bestimmten Eingabevorgängen (durch die Software) ein kurzer Störimpuls auf, der jedoch durch einen Kondensator leicht unterdrückt werden kann. Notwendig wird unter Umständen auch das Invertieren des ankommenden und abgehenden UART-Signals. Die gesamte Schaltung des Introkit ist in *Bild 2* dargestellt. Dem Bausatz sind umfangreiche Unterlagen zum Einarbeiten hinzugefügt. Der Preis beträgt etwa DM 250,–.

Der einfache Aufbau von Systemen mit dem Mikroprozessor SC/MP und sein niedriger Preis machen ihn zu einem heißen Favoriten im Rennen um den Markt für einfache Anwendungen. *Rolf-Dieter Klein*

Komplette Systemlösung: Zwei-Chip-Mikroprozessor von Rockwell

Die Firma Rockwell International hat ein vollständiges Mikroprozessor-System PPS-4/2 auf den Markt gebracht, das aufgrund seiner Vielseitigkeit und seines niedrigen Preises hervorsticht.

In der Grundausbaustufe besteht der PPS-4/2 aus zwei Chips, von denen der erste mit der Bezeichnung 11 660 den Taktgeber, die CPU (Central Processing Unit) sowie 12 Ein-/Ausgabe-Leitungen enthält, und der andere mit der Bezeichnung A17XX als Speicher fungiert mit einer Kapazität von 2K x 8-bit ROM und 128 x 4-bit RAM; dieser Chip besitzt 16 bidirektionale Ein-/Ausgabe-Leitungen. Das ROM ist maskenprogrammiert, wobei die zusätzlichen Kosten für die Maske von einer gewissen Stückzahl an entfallen.

Bereits mit diesen beiden Chips und den 28 verfügbaren Ein-/Ausgabe-Leitungen läßt sich ein komplettes System aufbauen, wie zum Beispiel ein Bankterminal mit vollständiger Steuerung der Tastatur- und Anzeige-Funktionen.

Aber damit ist das Angebot bei weitem noch nicht erschöpft: Augenblicklich sind weitere 18 Chips erhältlich, die allen denkbaren Steuerungsaufgaben für die verschiedensten Peripheriegeräte gerecht werden und eine Erweiterung des Speicherplatzes auf insgesamt 64 K erlauben.

Allein 8 verschiedene Speichertypen stehen zur Verfügung, womit der Bedarf an ROMs, RAMs, kombinierten RAM/ROM-Einheiten sowie EAROMs (electricallly alterable ROMs) gedeckt wird.

Zwar sind sämtliche Ein-/Ausgabe-Kanäle der Grundeinheit TTL-kompatibel, doch werden für zusätzliche I/0-Operationen weitere Chips angeboten, die den Anschluß externer MOS- oder TTL-Schaltungen ermöglichen bzw. die Datenfernübertragung über Leitungstreiber/-empfänger erlauben.

Weiterhin enthält das Programm einen Interface-Baustein zur Steuerung serieller Daten, wie sie beim Anschluß externer Bandeinheiten anfallen.

Die Möglichkeit, über zwei spezielle Chips einen komfortablen Punkt-Matrix-Drucker anzuschließen und zu steuern, rundet die Vielfalt des vorgestellten Systems ab.

Mit einer Zykluszeit von 5 µs übertrifft dieser Prozessor viele andere 8-bit-Einheiten. Für die Addition zweier 8-bit-Zahlen benötigt er beispielsweise einschließlich Befehlsdecodierung und Speicheroperationen nur 240 µs.

Der PPS-5/2 ist zudem noch kompatibel mit dem Rockwell-PPS-4-Mikroprozessor, sowohl was die Instruktionen angeht, als auch hinsichtlich der Bus-Struktur; damit lassen sich alle Bausteine des neu vorgestellten Programms auch ohne weiteres mit dem parallel angebotenen Modell PPS-4 zusammenschalten.

Die Einsatzmöglichkeiten für dieses System sind denkbar weitreichend: Bei Stückpreisen, die heute schon unter $ 35 für die Grundeinheit liegen, hat dieser Prozessor alle Aussichten, auch in Bereiche vorzudringen, die bisher wegen des zu hohen Preises derartigen Einsätzen verschlossen blieben. Dazu gehören beispielsweise die Ausstattung von Bankterminals, die Steuerung von Werkzeugmaschinen oder die Druckeransteuerung, um nur einiges zu nennen.

□ Vertrieb: Rockwell International GmbH, Industriestr. 8, 6374 Steinbach/Ts., Tel. (0 61 71) 77 55-58.

Parallele 12-bit-CPU auf einem Chip

Wie von der amerikanischen Firma Intersil festgestellt wurde, schneiden beim Preis-/Leistungsvergleich der Hard- und Software vorhandener Minicomputer und Mikroprozessoren die letzteren nicht besonders gut ab. Denn die zur Zeit angebotenen Mikroprozessoren benötigen eine umfangreiche Software-Entwicklung, um ihre Möglichkeiten voll auszuschöpfen. Deshalb kann wegen fehlender Software-Unterstützung die Entwicklungszeit eines Systems auf der Basis eines Mikrocomputers drei- bis sechsmal länger sein als bei Verwendung eines Minicomputers. Außerdem kann der zusätzliche Aufwand, der zur Erstellung von Prozeßprogrammen, mathematischen Routinen und Betriebssystemen benötigt wird, die Kosten des Mikroprozessor-Systems auf das Zehnfache ansteigen lassen. Deshalb erscheint die Verwendung eines Mikrocomputers für ein gegebenes System nur dann sinnvoll zu sein, wenn diese Nachteile durch eine hohe Stückzahl ausgeglichen werden.

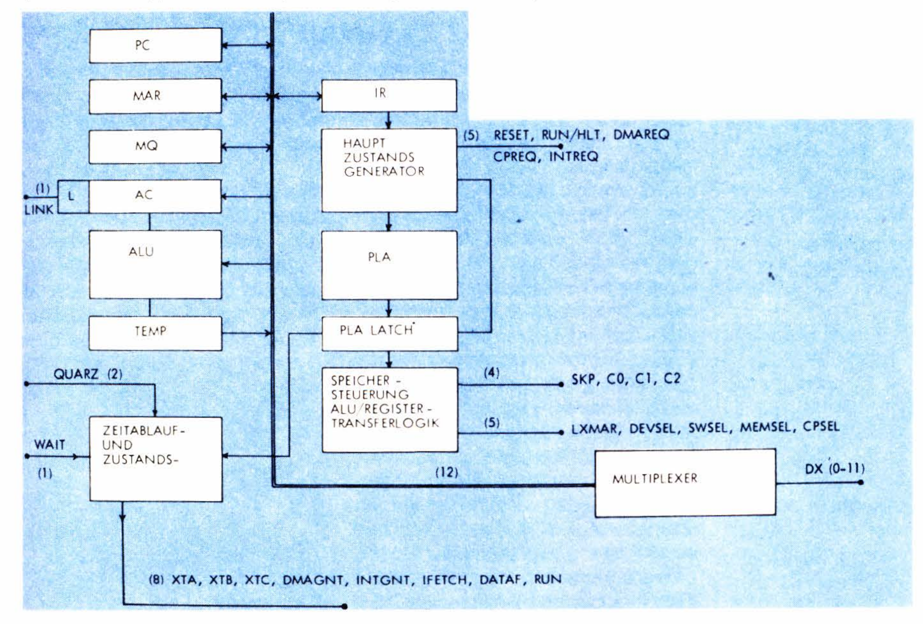
Aus dieser Erkenntnis heraus hat das Unternehmen die für Parallelbetrieb ausgelegte 12-bit-CPU Typ IM 6100 entwickelt, die entsprechend der Architektur eines Minicomputers aufgebaut ist. Bei diesem Minicomputer-Vorbild handelt es sich um den PDP 8 der Firma Digital Equipment Corp., der sehr weit verbreitet ist und deshalb die am besten bekannte Maschinenorganisation und einen Befehlsvorrat mit mehr Softwareunterstützung als jedes andere existierende Minicomputersystem besitzt. Hinzu kommt, daß die meisten Systementwickler ohnehin mit der Hardware konventioneller Minicomputer vertraut sind. Dies hat zur Folge, daß sie mit dem der PDP 8 nachgebauten IM 6100-Mikrocomputer bei minimalem Zeit- und Materialaufwand wirtschaftliche und zugleich elegante Systeme entwickeln können.

Diese auf einem einzigen Chip untergebrachte Intersil-Zentraleinheit IM 6100, deren Blockschaltung im *Bild* dargestellt ist, verfügt über sechs 12-bit-Register, einen Festwertspeicher für die Ablaufsteuerung (CROM), eine arithmetisch/logische Einheit (ALU) sowie eine weitere Logik-Steuereinheit. Durch die Herstellung in CMOS-Silizium-Gate-Technik ergibt sich eine äußerst niedrige Verlustleistung (10 mV bei typisch 2 MHz) und ein großer Störabstand, so daß sie auch bei hohen Störpegeln eingesetzt werden kann, wie sie beispielsweise bei industriellen Prozeßsteuerungen und in der Automobilelektronik auftreten. Die interne Logik arbeitet statisch und läßt ein Anhalten des Taktes zwischen Befehlen, Zyklen und Unterzyklen zu. Ein Warte-Signal erlaubt die Zusammenschaltung von langsamen Speichern und Peripheriegeräten, ohne den Systemtakt zu verlangsamen oder zu unterbrechen. Es sind bis zu 64 Ein-/Ausgangs-Peripheriegeräte mit PDP 8-kompatiblem Interface anschließbar. Der Befehlsvorrat entspricht dem des PDP 8 einschließlich einiger zusätzlicher Befehle. Weitere Eigenschaften sind:

- Direkte, indirekte und autoindizierte Speicheradressierung (direkt bis zu 4096 Worte und über eine externe Erweiterungsschaltung bis zu 32786 Worten)
- TTL-kompatible Signalleitungen
- Quarzgenaue Zeitsteuerung
- Erzeugung aller wichtigen Steuersignale vom Prozessor selbst

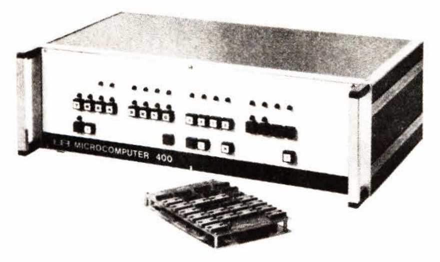
Diese Mini-Zentraleinheit wird sowohl in einem 28- als auch in einem 40poligen Gehäuse für den Arbeitstemperaturbereich von −55 bis +125 °C angeboten. Sie kann mit Speisespannungen von 3...7 V betrieben werden. Ihr Einsatz erstreckt sich von intelligenten Rechner-Peripheriegeräten, automatischen Erfassungssystemen, batteriegespeisten Terminals, Raumfahrt/Luftfahrt/Satelliten-Systemen, Automobilelektronik über industrielle Prozeßsteuerungen, numerische Maschinensteuerungen, Meßinstrumente, Displays bis hin zur Verkehrsüberwachung und -kontrolle, Navigationssystemen sowie elektronischen Spielen.

□ Vertrieb: Spezial-Electronic KG, Ortlerstr. 8, 8 München 70, Tel. (0 89) 7 60 00 31.



Mikrocomputer auf Europakarten

Die Firma Ulbrich Automaten liefert ein komplettes Mikrocomputersystem, dessen Funktionseinheiten sich auf je einer Europakarte befinden. Die Zentraleinheit ist mit dem Baustein 8008-1 von Intel aufgebaut. Sie ergibt in Verbindung mit dem direkt aufsteckbaren 2-K-Speicher schon einen arbeitsfähigen Computer, der vor allem herkömmliche Logikschaltungen ersetzt. An weiteren Moduln sind lieferbar: RAMs und PROMs, Interfaces für Lochstreifengeräte, Magnetbandspeicher und Floppy Discs, Fernschreib- und Modemschnittstellen, universelle digitale Ein-/Ausgabemoduln sowie A/D- und D/A-Umsetzer. Der Computer kann als komplettes Gerät mit Datenbus geliefert werden, in den die Moduln einfach eingesteckt werden. Hauptanwendungsgebiet ist die Prozeßsteuerung über Datenfernverarbeitung.



□ Hersteller: Ulbrich Automation, Flößerweg 5, 819 Weidach, Tel. (0 81 71) 75 00.

Mikrocomputer-System in Bausteinform

Die Firma A. Neye bietet ein leistungsfähiges Mikrocomputer-System MMS 80 an, das als Zentraleinheit den Mikroprozessor C 8080 (A) von Intel enthält. Das System besteht aus Funktionsgruppen im einfachen oder doppelten Europa-Format, die über VG-Stecker durch eine BUS-Leitung miteinander verbunden werden. Der Aufbau erfolgt in 19-Zoll-Rahmen, für die auch Netzteile und komplette Frontplatten lieferbar sind. Es besteht die Möglichkeit mehrere Rahmen durch Erweiterungseinschübe aneinanderzukoppeln. Im Standardgehäuse sind die Prototypen-Einrichtung zur Hard- und Software-Entwicklung sowie die Einrichtung zur PROM-Programmierung vorgesehen. Neben Einsatzmöglichkeiten in der industriellen Meßtechnik eignet sich dieses umfangreiche System bestens zur Schulung und Einarbeitung in die Mikroprozessor-Technik.

□ Vertrieb: Alfred Neye-Enatechnik GmbH, Schillerstr. 14, 2085 Quickborn, Tel. (0 41 06) 61 21.

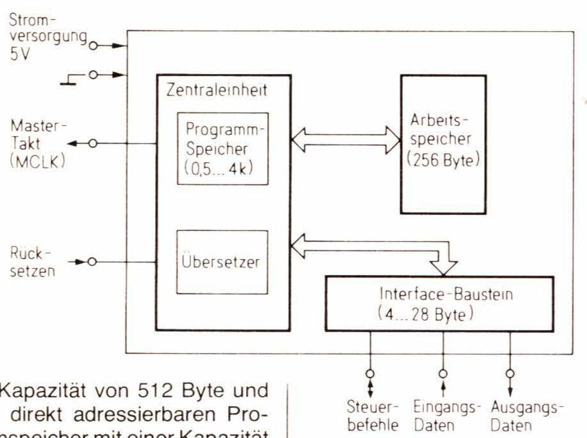
Mikrocomputersatz mit COSMAC-Mikroprozessor

Einen vollständigen Satz zur Erstellung eines Mikrocomputers vertreibt die Firma A. Neye-Enatechnik. Dieser Satz mit der Bezeichnung CDP 1800 enthält den CMOS-Mikroprozessor COSMAC (jetzt umbenannt in CDP 1801), ein Hardware-Entwicklungssystem, Handbücher und verschiedene Software-Pakete. Vorteile dieses Mikroprozessors sind neben der Einsatzmöglichkeit im militärischen Temperaturbereich die niedrige Verlustleistung (60 mV bei 2 MHz) und hohe Störsicherheit (45 % der Versorgungsspannung). Der Aufbau des CDP 1801 ermöglicht hohe Arbeitsgeschwindigkeiten, da die Befehle größtenteils in einem einzigen Maschinenzyklus (16 interne Taktperioden) abgearbeitet werden. Eine Matrix von 16x16-bit-Registern kann als Programmzähler, Adreßregister oder als Speicher eingesetzt werden, erlaubt darüber hinaus aber auch den Einsatz als DMA-Kontrollregister (direct memory access = direkter Speicherzugriff), was im praktischen Einsatz besonders wertvoll ist.

□ Vertrieb: Alfred Neye-Enatechnik GmbH, 2085 Quickborn, Schillerstr. 14, Tel. (0 41 06) 61 21.

8X300 – ein Mikroprozessor für schnelle Steuerungen

Der Valvo-Signetics-Mikroprozessor 8X300 ist eine Schottky-TTL-Schaltung, die mit nur einer Versorgungsspannung von 5 V betrieben werden kann. Bei einer Wortlänge von 1...8 bit, einer Ein-/Ausgabe-Kapazität von 512 Byte und einem direkt adressierbaren Programmspeicher mit einer Kapazität von max. 8 K (16 bit) wird nur eine Taktfrequenz benötigt. Der Befehlsvorrat des 8X300 umfaßt acht leistungsfähige Befehlsklassen, die Zykluszeit beträgt nur 250 ns. Zur Software-Unterstützung stehen ein Cross-Assembler in Fortran V und eine Steuersystem-Entwicklungsplatine zur Verfügung, mit der der Entwickler sein System in Echtzeit oder in Einzelschritten prüfen sowie optimieren kann. Ein mit der CPU 8X300 aufgebautes Mikroprozessorsystem eignet sich besonders zur Steuerung von Peripheriegeräten in der Datentechnik, aber auch zum Aufbau von Bildschirmspielen sowie für zahlreiche weitere Steueraufgaben in Meßtechnik und Industrie. Das günstige Preis/Leistungsverhältnis wird den Einsatzbereich des 8X300 noch zusätzlich erweitern.



□ Vertrieb: Valvo, Unternehmensbereich Bauelemente der Philips GmbH, Postfach 10 63 23, 2000 Hamburg 1, Tel. (0 40) 32 96-414.

Schneller bipolarer 16-bit-Mikroprozessor aus europäischer Fertigung

Unter der Typenbezeichnung F 100 L bringt die Firma Ferranti einen schnellen bipolaren 16-bit-Mikroprozessor heraus. Mit einer Chip-Kantenlänge von 5,8 mm und einer Komplexität von über 1500 Gatterfunktionen stellt er eine beachtliche Entwicklung dar, die vom britischen Verteidigungsministerium gefördert wurde. Es handelt sich dabei um einen 1-Chip-Mikroprozessor, der in der bipolaren CDI-Technik aufgebaut ist. Seine Leistungsaufnahme beträgt nur 375 mW bei 5 V Versorgungsspannung. Die Gatterlaufzeiten liegen im Bereich von 3...20 ns. Dies bedeutet, daß bei den schnellsten Gattern Laufzeit-Leistungsprodukte von unter 1 pJ erzielt werden mußten, im Vergleich zu 100 pJ bei Standard-TTL oder 20 pJ bei Low-Power-Schottky-TTL. Der Baustein ist in einem 40poligen DIL-Gehäuse untergebracht und erfüllt die Anforderungen des vollen militärischen Temperaturbereichs von –55 bis +125 °C. Seine Befehlszykluszeit ist 3 µs, die adressierbare Speicherkapazität beträgt 32 KWorte zu 16 bit. Der Mikroprozessor besitzt Echtzeit-Interrupt-Eigenschaften und die Möglichkeit des direkten Speicherzugriffs (DMA). Zur Realisierung von vollständigen Systemen sind eine Reihe von Interface-Bausteinen sowie A/D-D/A-Umsetzer und programmierbare schnelle Logik-Arrays verfügbar. Außerdem sind unterstützende Entwicklungssoftware und eine Bibliothek von Anwenderprogrammen für den Benutzer beim Entwurf eines Systems erhältlich.

□ Vertrieb: Ferranti GmbH, Widenmayerstraße 5, 8000 München 22, Tel. (0 89) 29 38 71.

Zweithersteller für die Mikroprozessoren 2901 und 6800

Nach eingehenden Marktuntersuchungen unter besonderer Berücksichtigung der Einsatzfälle im eigenen Haus hat sich die Firma Thomson-CSF entschieden, als Zweithersteller die Mikroprozessoren 2901 und 6800 anzubieten. Das Fertigungsprogramm beschränkt sich dabei nicht nur auf die Mikroprozessoren selbst, sondern es umfaßt auch die zugehörigen peripheren Bausteine und Speicher. Unter der Bezeichnung SFC 92901 erscheint der kaskadierbare 4-bit-Mikroprozessor, der in Low-Power-Schottky-Technologie realisiert ist und hohe Arbeitsgeschwindigkeiten ermöglicht, wie sie z. B. in der Radartechnik oder bei der Steuerung schneller Peripheriegeräte gefordert werden. Der 8-bit-Typ SFF 96800 bietet sich überall dort an, wo die Arbeitsgeschwindigkeit eine untergeordnete Rolle spielt und auf ökonomische Lösungen Wert gelegt wird.

□ Vertrieb: Thomson-CSF GmbH, Fallstraße 42, 8000 München 70, Tel. (0 89) 76 75-2 68.

µP Z 80 auch von Mostek

Bereits im August-Heft wurde in der Rubrik „Elektronik-Express" der neue Mikroprozessor Z 80 vorgestellt, den die Firma Mostek als Zweitlieferant herstellt und inzwischen ab Lager Stuttgart ausliefert. Das Modell Z 80 ist der ernsthafteste Konkurrent für den weitverbreiteten Mikroprozessor 8080: Die 158 Befehle des Z 80 enthalten alle 78 Instruktionen des 8080-Befehlsvorrates, so daß volle Software-Kompatibilität zwischen beiden Systemen gewährleistet ist. Darüber hinaus bietet der Z 80 eine wesentlich höhere Arbeitsgeschwindigkeit und mehr als doppelt so viele interne Register. Durch den erweiterten Befehlssatz reduziert sich der Programmieraufwand im Vergleich zum 8080 um durchschnittlich 25...50 %. Ein umfangreiches Angebot peripherer Bausteine rundet die Leistungsfähigkeit dieses vielseitigen Mikroprozessors ab.

□ Vertrieb: Mostek GmbH, Talstraße 172, 7024 Filderlinden 1; Tel. (07 11) 70 10 96.

8-bit-Einchip-Mikrocomputer von GI

Nach dem 16-bit-Mikroprozessor CP 1600 hat die Firma General Instrument jetzt mit dem Typ 1650 einen 8-bit-Einchip-Mikrocomputer herausgebracht. Er ist vor allem für Industrie- und Konsumer-Anwendungen vorgesehen, wie z.B. in Mikrowellen- und Kochherden, Waschmaschinen, Waagen, Heizungssteuerungen und Fernmeldeanlagen. Er enthält in einem 28poligen Dual-in-Line-Gehäuse die CPU, ein 512x12-bit-ROM, in dem das Mikroprogramm gespeichert wird, und ein 32 x 8 bit-RAM zur variablen Datenspeicherung. Die Ein-/Ausgabe erfolgt über drei 8-bit-Leitungen, in Verbindung mit einem internen oder externen Takt. Der Baustein wird in N-Kanal-MOS-Technik mit Ionen-Implantation hergestellt, und die Versorgung mit + 5 V ergibt TTL-kompatible Ein- und Ausgänge.

Die verwendete Rechner-Architektur erlaubt Bit-, Byte- und Register-zu-Register-Transferoperationen, die für die vorgesehenen Steuer- und Interfaceaufgaben völlig ausreichend sind. Deshalb eignet sich dieser Mikrocomputer besonders für solche Anwendungen, bei denen eine Serie von logischen Entscheidungen bei unterschiedlichen Eingangsbedingungen getroffen werden muß. Er wird unterstützt durch umfangreiche Soft- und Hardware. So steht z.B. eine TTL-Prototypen-Emulatorkarte zur Verfügung, die in Verbindung mit dem GIMINI-Mikrocomputer verwendet werden kann, dessen Zentraleinheit aus dem 16-bit-Mikroprozessor besteht.

□ Vertrieb: General Instrument Deutschland GmbH Mikroelektronik, Nordendstr. 1 A, 8000 München 40, Tel. (0 89) 28 40 31.

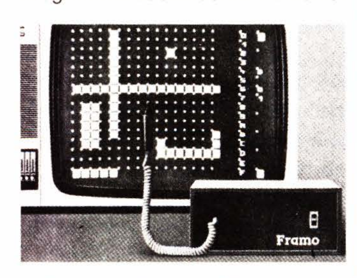
Hochintegrierter Zweichip-Mikroprozessor

Unter der Bezeichnung PPS 8/2 stellt die Firma Rockwell einen neuen Mikroprozessor vor, der mit nur zwei Chips den Aufbau eines leistungsfähigen 8-bit-Mikrocomputers ermöglicht. Zur Realisierung des vollständigen Systems ist lediglich ein 3,5-MHz-Quarz erforderlich, so daß vom Materialaufwand her eine Kostensenkung von mindestens 50 % zu erwarten ist, verglichen mit bisher eingesetzten Systemen. Der Prozessor besitzt zum Anschluß peripherer Elemente einen seriellen und zwei parallele Ein/Ausgabe-Kanäle, die über zusätzliche Bausteine beliebig erweiterbar sind. Die externe Programmunterbrechung ist auf 3 Ebenen möglich. Auf dem Chip ist ein 64 Worte umfassendes RAM enthalten, dessen Kapazität den Einsatzbedingungen angepaßt ist. Als Programmspeicher, der sich ebenfalls auf dem Chip befindet, sind entweder 1 K oder 2 K ROM vorgesehen. Der Befehlssatz umfaßt 109 Instruktionen, die voll kompatibel mit dem PPS-8-Mikroprozessor desselben Herstellers sind. Bei einem Stückpreis von unter 25 $ für die 1-K-Ausführung bzw. unter 30 $ für die 2-K-Version bietet sich dieser Mikroprozessor auch für Einsätze an, in denen aus Kostengründen darauf verzichtet werden mußte. Dazu gehören beispielsweise Anwendungen in Registrierkassen, elektronischen Schreibmaschinen oder in intelligenten Meßgeräten.

□ Vertrieb: Rockwell International GmbH, Fraunhoferstraße 11, 8033 Martinsried, Telefon (0 89) 8 59 95 75-77.

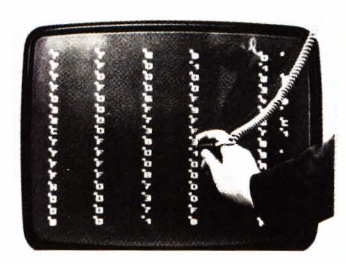
Neuartiges Lehrsystem für die Programmierung von Mikroprozessoren

Die ganze „Elektronik"-Welt redet vom Mikroprozessor und seinen umwälzenden Fähigkeiten – jeder Interessierte versteht seine Hardware, aber die wenigsten können mit ihm umgehen. Woran liegt dies? Die Frage ist leicht zu beantworten: An seiner Software bzw. an seiner Programmierung! Denn auf der Hochschule lernt man es nicht, einen Mikroprozessor zu programmieren und auch die meist sehr kostspieligen Vortragsveranstaltungen und Seminare geben nur einen allgemeinen Überblick, sofern es sich nicht um Intensivkurse handelt. Somit bleibt nur noch eine Möglichkeit: sich einen Mikroprozessor selbst anzuschaffen und unmittelbar auf ihm seine Programme auszutesten. Leider ist



es jedoch mit einem Mikroprozessor allein nicht getan, denn er erfordert zum einen aufwendige Entwicklungssysteme und zum anderen teure Ein-/Ausgabe-Peripheriegeräte.

Einen Ausweg aus diesem Dilemma bietet das von der Firma Franz Morat KG entwickelte „TV-Computersystem 6800", das die Ein-/Ausgabe über den Bildschirm eines handelsüblichen Fernsehempfängers auf den Mikroprozessor überträgt und damit ein außerordentlich preisgünstiges Schulungssystem für die Programmierausbildung darstellt, das es ermöglicht, den Mikroprozessor selbst und seine elementare Arbeitsweise zu verstehen. Bei dem „TV-Computersystem 6800" handelt es sich im Grunde um einen Schulungsrechner, der aus einem Mikroprozessor mit Speicher (6800 von Motorola oder AMI) und einer Steuerelektronik besteht, die den Speicherinhalt auf einem Bildschirm abbildet. Mittels Lichtgriffel kann durch die zeitliche Koinzidenz ein Programm in Maschinensprache unmittelbar in den Speicher übertragen, gestartet und das Ergebnis auf dem Bildschirm kontrolliert werden (Anmerkung: Das Prinzip und die schaltungstechnische Ausführung dieser Darstellungsweise wurde bereits in ELEKTRONIK 1975, H. 9, S. 109...110, beschrieben). Als Ein-/Ausgabemedium dient in beiden Fällen der Bildschirm eines handelsüblichen Fernsehgerätes, das über den Antenneneingang (75 Ω) angesteuert wird. Dadurch entfallen aufwendige Peripheriegeräte.



Die Programme bzw. Daten werden bit- oder tetradenweise durch den optischen Kontakt des Lichtgriffels mit den auf dem Bildschirm dargestellten Steuerfeldern in das 1-KByte-RAM des Mikroprozessors eingegeben, wobei jede Eingabe durch eine entsprechende Anzeige quittiert wird. Die Ausgabe erfolgt ebenfalls in Bit- oder Tetradendarstellung auf dem Bildschirm. Auf dem Bildschirm wird jeweils ein Speicherausschnitt aus 32 Bytes angezeigt, die sich aus 64 Tetraden oder 256 bit zusammensetzen. Die 32 möglichen Speicherausschnitte lassen sich durch Steuerfelder am rechten Bildrand neben dem Speicherfeld über einen Vor-/Rückwärtszähler oder über Tetraden anwählen. Ein Steuerfeld schaltet zwischen der tetraden- und bitweisen Darstellung des Speicherfeldes um. Ein weiteres ermöglicht das Überschreiben des angezeigten Speicherausschnittes mit einer beliebig anwählbaren Tetrade zwischen O und F. Schließlich stehen für die Mikroprozessorsteuerung vier weitere Felder zur Verfügung, und zwar Feld 1 für Grundzustand – Start, Feld 2 für Halt – Wiederstart, Feld 3 für Einzelbefehle und Feld 4 für Interrupts.

Die Einsatzmöglichkeiten für dieses TV-Computersystem sind praktisch unbegrenzt. So dient es z. B. dem Elektronik-Ingenieur und -Techniker in der Entwicklung, im Prüffeld und im Service zum Entwickeln und Austesten von Programmen. Weiterhin können es Mikroprozessorhersteller und Vertriebsfirmen zur Entwicklung und Einsatzplanung von Mikrocomputersystemen verwenden. Auch Programmierern leistet es gute Dienste, um sich auf Mikroprozessoren bzw. auf die Assemblerprogrammierung in Maschinensprache zu spezialisieren. Schließlich können auf der Basis dieses Lehrsystems an allen Arten von Schulen und Instituten auf einfache Weise Programmierkurse abgehalten werden.

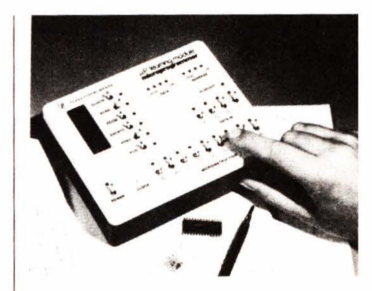
☐ Hersteller: Franz Morat KG, 7821 Eisenbach 1 (Hochschwarzwald), Tel. (0 76 57) 4 44.

Lernsystem für Mikroprozessoren

Zum erstaunlichen Preis von 280 DM bietet die Firma National Semiconductor einen Mikroprozessor-Bausatz an, der auf dem Typ SC/MP basiert. Er besteht aus der zentralen Recheneinheit SC/MP CPU ISP-8A/500D, einem 512 x 8 bit-ROM (MM 5214), einem 256 x 8 bit-RAM (MM 2112-1), einem 1-MHz-Quarz, einigen Interface-Schaltungen und diskreten Bauelementen. Innerhalb einer Stunde kann die Leiterplatte im Europaformat mit den Einzelelementen bestückt werden. Über ein Eingabeterminal können kleinere Programme in das RAM eingegeben werden. Mit dem sogenannten Kitbug-Programm, das im ROM gespeichert ist, kann man die vom Programmablauf festgelegten Operationen beeinflußen. Der Anwender wird auf diese Weise sehr schnell mit der Befehlsstruktur dieses Mikroprozessors vertraut. Zusätzlich kann er mit dem Introkit, so heißt der Bausatz, wirklichkeitsnahe Anwendungen realisieren und demonstrieren. So kann man z. B. programmgesteuerte Zeitgeber für Lichtanlagen aufbauen. Zwei Drittel der Leiterplattenfläche stehen dem Benutzer zur freien Verwendung zur Verfügung, darauf kann er Logikschaltungen oder zusätzliche Speicher unterbringen. Der Bausatz eignet sich somit auch zum Aufbau von Prototypen-Systemen. In Kürze werden auch RAM-, ROM- (je 4 K x 8 bit), Ein/Ausgabe-, Analog-Interface-, PROM-Programmier- und PROM-Assembler-Karten erhältlich sein.

Ganz ohne Lötkolben kommt man mit einem Mikroprozessor-Lernmodul von der Firma Texas Instruments aus. Er ist um einen 4-bit-Prozessor aufgebaut und wird von Hand (über Kippschalter) programmiert. Mit einem umfangreichen Handbuch kann sich der Anfänger Schritt für Schritt in die Materie einarbeiten und lernt „spielend" Dinge wie Mikroprogrammieren und das Erstellen von Algorithmen und festen Befehlen. Ebenso erwirbt er Grundkenntnisse im Entwurf von Steuerschaltungen und einfachen Mikroprozessorsystemen.





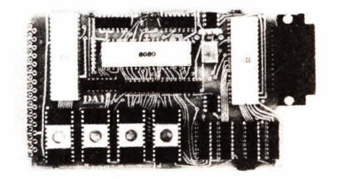
Dem tragbaren System (Preis etwa 550 DM einschließlich MwSt.) werden ebenfalls weitere Moduln folgen: Ein Steuermodul ermöglicht die Programmierung eines PROM, ein Speichermodul erweitert die Speicherkapazität um 1 KWorte, und ein Ein/Ausgabemodul erweitert die Busleitungen auf vier Ein/Ausgabeeinheiten mit je 4 bit.

☐ Vertrieb: National Semiconductor GmbH, Industriestr. 10, 8080 Fürstenfeldbruck, Tel. (0 81 41) 13 71.

☐ Texas Instruments Deutschland GmbH, Haggertystr. 1, 8050 Freising, Tel. (0 81 61) 8 05 11.

Standardisierte Mikrocomputer-Karte im Europaformat

Die Firma Ernst Fey hat den Vertrieb eines Mikrocomputers übernommen, der auf der Basis des Typs 8080 aufgebaut ist. Das System enthält mit Ausnahme der Stromversorgung alle für die Ein- und Ausgabe und die Steuerung der Daten erforderlichen Kompo-



nenten und ist auf einer einfachen Europakarte untergebracht. Für die Entwicklung war das amerikanische Software-Beratungsunternehmen DAI verantwortlich, das im direkten Kontakt mit verschiedenen Herstellerfirmen diesen Mikrocomputer als Standardlösung konzipiert hat. Die Karte enthält bereits ein vielseitiges Interface, das die Daten seriell oder byte-orientiert und sowohl synchron als auch asynchron übertragen kann. Eine Unterbrechungsleitung, die bis zu 8 Interrupt-Ebenen verarbeitet, ermöglicht das externe Starten einzelner Unterprogramme. Es ist ein Programmspeicher mit 4 K-Worten und ein Arbeitsspeicher mit 512 Worten vorgesehen, wobei die Programmerstellung auf Wunsch auch von der Lieferfirma übernommen wird.

☐ Vertrieb: Dipl.-Ing. Ernst Fey, Horemansstr. 28, 8000 München 2, Tel. (0 89) 18 40 41-46.

Dipl.-Ing. Heinrich Birck

Digitale Regelung durch Mikroprozessoren

Dies ist der erste von drei Beiträgen, die sich mit der Thematik der digitalen Regelung unter Verwendung von Mikroprozessoren befassen. Es werden digitale Instrumentierungskonzepte für die Prozeßregelung und -steuerung besprochen und in diesem Zusammenhang die Prinzipien der digitalen Regelung rekapituliert. Im zweiten Beitrag wird die Hardware eines digitalen Kompaktreglers auf Mikrorechnerbasis vorgestellt, und der letzte Beitrag diskutiert am Beispiel einer Kaskadenregelung die Softwareprobleme, die sich beim Mikrorechnereinsatz für die Prozeßregelung ergeben.

1 Stand der Technik

1.1 Vor- und Nachteile der zentralisierten direkten digitalen Vielfachregelung (DDC)

Als in der Mitte der sechziger Jahre die ersten Prozeßrechner auf dem Markt erschienen, erlebte die digitale Regelung auf der theoretischen Seite einen großen Aufschwung. In der Praxis jedoch sind die Prozeßrechner bei weitem nicht in dem Maße für die direkte digitale Regelung (DDC) eingesetzt worden, wie man ursprünglich erwartete. Dies hat viele Ursachen. Die wichtigste war wohl, daß die aus Rentabilitätsgründen notwendige Zusammenfassung von 50 oder mehr Regelkreisen in einem einzigen Gerät bei dem Betreiber der Anlage ein gewisses Unbehagen auslöste. Die Anwender sahen sich oft gezwungen, den zentralen Rechner durch einen zweiten abzusichern und Handstationen zur direkten Verstellung der Stellglieder vorzusehen oder die wichtigsten Regelkreise mit analogen Bereitschaftsreglern (Backup-Reglern) auszurüsten. Heutzutage sind die Prozeßrechner zwar zuverlässiger geworden, aber noch nicht in ausreichendem Maße, um die teuren Sicherheitsmaßnahmen einsparen zu können. Außerdem bleibt der entscheidende Nachteil, daß die Anlage immer schwer zu überschauen ist, wenn derartig viele Regelkreise von einem einzigen Rechner bedient werden. So beschränkt sich auch heute der Einsatz von Prozeßrechnern in vielen Fällen nur auf Meßdatenerfassung, -protokollierung und Bilanzierung.

Ausgehend von den analogen Bereitschaftsreglern, die einen wenn auch einfachen Rechneranschluß (elektronischer oder mechanischer Schalter) besaßen, entstanden analoge Folgeregler, deren Sollwerte oder sogar deren Proportionalbeiwert und Nachstellzeit von einem übergeordneten Rechner vorgegeben werden können. Diese Datenübergabe vom Prozeßrechner zum rechnergeführten Regler erfolgt meist inkremental in Form von Stellimpulsen. Als moderne elektronische Kompaktregler (hierbei sind Regler- und Bedienungsteil in einem Gehäuse nach DIN 43 700 zusammengefaßt) können sie direkt in eine Meßwarte übersichtlich eingebaut werden.

1.2 „Digitalfreundliche" Regelungssysteme und ihre Vorteile

Auf der anderen Seite gibt es schon lange Bestrebungen, die Prozeßinstrumentierung, d. h. Meßumformer, Regler, Stellglied und Datenübertragung zu digitalisieren oder wenigstens „digitalfreundlich" zu gestalten. Als digitalfreundlich sind hier die *frequenzanaloge Datenübertragung* [1] und Regler nach dem Prinzip des *Digital Differential Analyzers* (DDA) einzuordnen [2]. Solche frequenzanalogen Prozeßführungssysteme sind allerdings in der Praxis bisher selten eingeführt worden. Sie stellen letztlich eine Übergangsform zur rein digitalen Signalübertragung und -verarbeitung dar.

Die regelungstechnischen Vorteile digitaler Regelungen sind bekannt [2]. Die wesentlichsten seien hier noch einmal aufgeführt:

- Sichere und einfache Signalübertragung
- Hochgenau reproduzierbare Signaldarstellung
- Driftfreiheit und leichte Manipulierbarkeit des Integrationsspeichers und damit effektive Bewältigung des integralen „*Windup*"
- Zeitdiskrete Signalverarbeitung und damit Möglichkeit der Mehrfachausnutzung von Geräten über Zeitmultiplexverfahren
- Einfache Herstellung von Kommunikationsmöglichkeiten zu anderen Rechnern.

1.3 Dezentralisierung der digitalen Regelung durch Mikroprozessoren

Mit der Verfügbarkeit preiswerter hochintegrierter Mikroprozessoren und Halbleiterspeicher bietet sich nun die Möglichkeit, *dezentrale Kleinstgeräte für die direkte digitale Regelung zu entwickeln, die sich in ein größeres Prozeßregelungs- und Steuerungssystem übersichtlich integrieren lassen.* Die Nachteile des zentralisierten Prozeßrechners entfallen größtenteils, die Vorteile der digitalen Regelung bleiben dagegen erhalten.

Als Nachteil der digitalen Regler bleibt zu erwähnen, daß sie aufgrund ihrer zeitdiskreten Signalverarbeitung prinzipiell niemals so schnell arbeiten können wie ein analoger Regler. Allerdings reicht die Arbeitsgeschwindigkeit der meisten Mikroprozessoren bei weitem aus, die meisten verfahrenstechnischen Regelstrecken zu bedienen. Bis auf wenige Ausnahmen mit höchsten Anforderungen an die Geschwindigkeit werden Mikroprozessoren immer zum Zwecke der Regelung einsetzbar sein.

2 Dezentralisierte Prozeßführungskonzepte

Durch die leichte Anpaßbarkeit eines Mikrorechners an eine digitale Schnittstelle bietet sich die Möglichkeit, Rech-

Mitteilung vom Lehrstuhl und Laboratorium für Meß- und Regelungstechnik (*o. Prof. Dr.-Ing. G. Schmidt*) der Technischen Universität München.

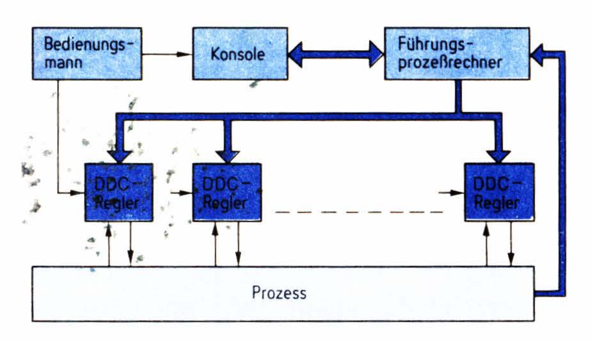


Bild 1. Dezentralisiertes, hierarchisches Rechnernetzwerk zur Prozeßregelung und -steuerung

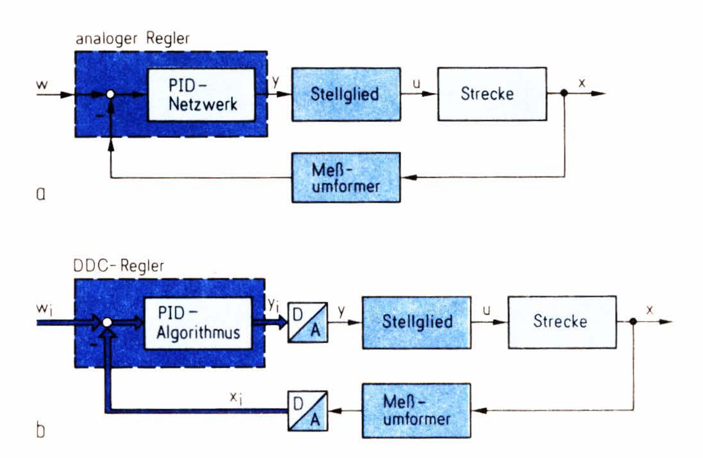


Bild 2. ▶ Typische gerätetechnische Ausrüstung eines Regelkreises: a) analog, b) digital

nernetzwerke zu bilden, die sich durch eine Verteilung der Aufgaben auszeichnen [3]. Es soll hier nur das einfachste, welches für eine Anwendung in der Prozeßregelung und -steuerung denkbar ist, diskutiert werden: ein hierarchisches System *(Bild 1)*. Im Prinzip sind solche Systeme bereits mit Prozeßrechnern in Verbindung mit analogen Folgereglern realisiert worden. Für jeden Regelkreis steht ein völlig autonomer *digitaler Regler* zur Verfügung. Über einen *Datenbus* ist die Verbindung zu einem übergeordneten Führungsprozeßrechner hergestellt; er ist nicht mit den dauernd wiederkehrenden Regelaufgaben befaßt, sondern steht zur Protokollierung, Bilanzierung und Optimierung, d. h. Sollwert- und Parametervorgabe, zur Verfügung. Auch das kontrollierte An- und Abfahren einer Anlage kann über eine laufende Anpassung der Sollwerte, der Reglerparameter und gegebenenfalls des Reglerprogramms an die jeweiligen Betriebspunkte vom Rechner übernommen werden. Da eine digitale Datenübertragung vorhanden ist, können nicht nur Sollwerte oder Parameter übergeben werden, sondern auch andere Informationen wie z. B. ein Befehl zur An- oder Abkopplung eines bestimmten Reglers.

Der übergeordnete Prozeßrechner ist für den Betrieb der Anlage unter Umständen zwar vorteilhaft, aber nicht lebenswichtig. Fällt er aus, so halten die einzelnen Regler die zuletzt eingestellten Werte und regeln autonom mit diesen weiter, bis das Bedienungspersonal von Hand eingreift und die Werte direkt am Gerät ändert. In einem solchen dezentralisierten Regelungssystem wird das Ausfallrisiko verteilt und dadurch die Gefahr eines Zusammenbruchs des gesamten Systems stark vermindert [3].

Ist der Prozeß selbst örtlich weit verteilt, wie z. B. bei Transportsystemen (Öl, Gas, Wasser, Verkehr), dann ist diese Struktur besonders vorteilhaft, weil jeder Regler prozeßnah angeordnet werden kann und nur noch aufbereitete Daten zum Führungsrechner übertragen werden. Mikrorechner eignen sich auch zur Bildung weit komplizierterer Netzwerke [6]. Man kann dadurch z. B. erreichen, daß der Ausfall eines einzelnen Regelrechners durch einen anderen abgedeckt wird.

Selbstverständlich, und das soll hier ausdrücklich hervorgehoben werden, können digitale Regler auf Mikrorechner-Basis auch außerhalb eines Rechnernetzwerkes betrieben werden, wobei dann die Koppelelektronik zu einer Datenübertragungseinrichtung entfällt. Man denke nur an die Taschenrechner, um zu ahnen, wie klein und leistungsfähig ein solcher digitaler Regler einmal werden könnte.

3 Der digitale Regelkreis

Unabhängig davon, mit welcher Technologie oder mit welchen Mikroprozessoren digitale Regler verwirklicht werden, bleibt das Blockschaltbild eines digitalen Regelkreises im Prinzip immer gleichartig *(Bild 2)*. Am Beispiel eines digitalen PID-Reglers soll, ausgehend von der rein analogen Signalverarbeitung, die prinzipielle Funktionsweise einer digitalen Regelung erläutert werden.

Ziel der Regelung ist es, die Regelgröße x unabhängig von irgendwelchen Störungen möglichst genau auf den vorgegebenen Sollwert w zu bringen und diesen zu halten. Dazu braucht der Regler eine Information über den momentanen Istwert der Regelgröße x, den der Meßumformer zur Verfügung stellt. Für eine digitale Weiterverarbeitung wandelt ein A/D-Umsetzer den Istwert in eine digitale Zahl. Da eine digitale Signalverarbeitung nur zeitdiskret erfolgen kann, wird die A/D-Umsetzung nur dann vorgenommen, wenn der Regler den Istwert benötigt, nämlich zum Zeitpunkt $i \cdot T_s$ (T_s = Abtastintervall). Der A/D-Umsetzer wirkt demnach als Abtastglied und erzeugt das diskrete Signal x_i *(Bild 3)*.

Bei der Darstellung kontinuierlicher Signale durch einen digitalen Rechner erfolgt neben der durch die taktgebundene Arbeitsweise bedingten zeitlichen Diskretisierung noch eine Quantisierung oder „Amplitudenrasterung". Ein A/D-Umsetzer wird also bei einer kontinuierlichen Veränderung des Eingangssignales den in *Bild 4* dargestellten treppenförmigen Verlauf am Ausgang zeigen, wenn ihm ein Halteglied, d. h. ein Register, nachgeschaltet ist. Im folgenden sei aber angenommen, daß die Wortlänge für das dargestellte Signal so groß gewählt ist, daß man eine Amplitudenrasterung vernachlässigen kann.

Der Soll-/Istwert-Vergleich erfolgt im Regler; liegt der Sollwert ebenfalls in digitaler Form vor, dann wird die Regeldifferenz e_i durch eine einfache Subtraktion berechnet:

$$e_i = w_i - x_i.$$

Daraus kann der Regler mittels einer diskreten Rechenvorschrift, Algorithmus genannt, die Stellgröße y_i berechnen, die von einem D/A-Umsetzer in ein analoges Signal umgewandelt wird. Vor dem oder in dem Umsetzer wird dabei ein digitales Register benötigt, das als Halteglied wirkt. Das meist als Leistungsverstärker ausgelegte Stellglied nimmt dann den Eingriff in die Regelstrecke vor.

Werden die Umsetzer in das Reglergehäuse integriert *(Bild 5)*, dann erhält man einen digitalen Regler, der sich von einem analogen (Bild 2a) von außen gesehen praktisch nur

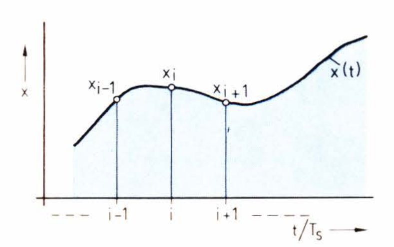


Bild 3. Zeitliche Diskretisierung eines analogen Signales durch die taktgebundene Arbeitsweise digitaler Rechner

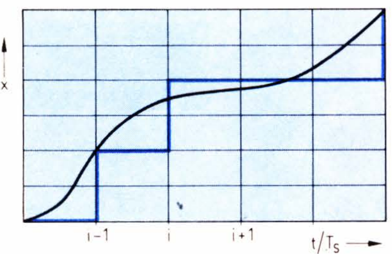


Bild 4. Amplitudenrasterung und Zeitrasterung bei digitaler Signalverarbeitung

noch darin unterscheidet, daß die Einstellung des Sollwertes digital vorgenommen wird.

4 PID-Regelalgorithmen

Im Falle der völlig analogen Signalverarbeitung (Bild 2a) gilt für einen PID-Regler die Differentialgleichung:

$$y(t) = K_P \left[e(t) + T_v \frac{d}{dt} e(t) + \frac{1}{T_n} \int_{-\infty}^{t} e(\tau) d\tau \right],$$

$$e(t) = w(t) - x(t).$$

Durch Diskretisieren zum Abtastzeitpunkt $i \cdot T_s$ gewinnt man daraus den *PID-Stellungsalgorithmus*

$$y_i = K_P \left[e_i + \frac{T_v}{T_s} (e_i - e_{i-1}) + \frac{T_s}{T_n} \sum_{m=-\infty}^{m=i} e_m \right], \qquad (1)$$

mit dem die Stellgröße y_i zu jedem Abtastzeitpunkt neu berechnet wird (Bild 2b). Steuert der Regler ein integrierendes Stellglied an (z. B. einen Motor), dann braucht er nur die Stellgeschwindigkeit Δy_i auszugeben. Die zugehörige Differenzengleichung leitet sich aus dem Stellungsalgorithmus und aus

$$\Delta y_i = y_i - y_{i-1}$$

her und wird *PID-Geschwindigkeitsalgorithmus* genannt:

$$\Delta y_i = K_p \left[e_i - e_{i-1} + \frac{T_v}{T_s} (e_i - 2e_{i-1} + e_{i-2}) + \frac{T_s}{T_n} e_i \right]. \qquad (2)$$

Von beiden Algorithmen gibt es zahlreiche Varianten [4, 5]. Die wichtigste davon erhält man durch die Annahme, daß sich der Sollwert w_i während eines Abtastintervalles praktisch nicht ändert. Also setzt man

$$w_i = w$$

und damit

$$e_i = w - x_i.$$

Wird die Regeldifferenz e_i in Gleichung (2) eingesetzt, ergibt sich der *stoßfreie Geschwindigkeitsalgorithmus*

$$\Delta y_i = K_P \left[x_i - x_{i-1} + \frac{T_v}{T_s} (x_i - 2x_{i-1} + x_{i-2}) + \frac{T_s}{T_n} (w - x_i) \right]. \qquad (3)$$

Er hat die Eigenschaft, daß bei einer schnellen Änderung des Sollwertes sich die Regelgröße nur langsam, also stoßfrei, auf den neuen Wert einstellt, was bei manchen Anlagen, die keine starken Einschwingvorgänge zeigen sollen, wünschenswert ist. Es ist aber zu beachten, daß bei diesem Algorithmus der Integralanteil niemals weggelassen werden kann, da sonst der Regler ohne Kenntnis des Sollwertes abdriftet.

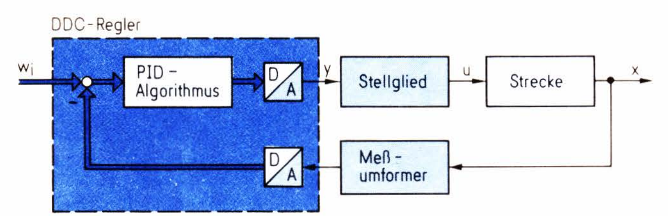


Bild 5. Weitere Ausführungsform eines digitalen Regelkreises

Die genannten Regelalgorithmen sind diskrete Näherungen für die Differentialgleichung des analogen PID-Reglers, was sich bereits aus ihrer Herleitung ergibt. Tatsächlich erhält man durch den Grenzübergang Abtastintervall T_s gegen Null wieder diese Differentialgleichung. Man wird deshalb immer, um ein ähnliches Verhalten wie beim analogen Regler zu erzielen, das Abtastintervall so wählen, daß der digitale Regler quasianalog arbeitet. *Als Faustregel läßt sich angeben, daß dies immer gewährleistet ist, wenn das Abtastintervall kleiner ist als ein Zehntel der beherrschenden Zeitkonstanten des gesamten aus Regler und Strecke bestehenden Regelkreises.* Sehr viel kleiner sollte man das Abtastintervall allerdings auch nicht wählen, um die Wortlänge für den Quotienten aus Vorhaltzeit T_v und Abtastzeit T_s und den Quotienten aus Nachstellzeit T_n und Abtastzeit T_s nicht unnötig groß machen zu müssen.

Diese Wortlänge hängt im wesentlichen nur von der *Programmierung* ab. Die Abtastzeit muß also der Strecke angepaßt werden und deshalb zumindest in groben Stufen einstellbar sein. Da in beiden Quotienten noch ein Freiheitsgrad, nämlich die verstellbare Abtastzeit T_s, enthalten ist, ergibt sich für die dynamischen Parameter T_n und T_v eine *sehr große Variationsbreite*, die bei analogen Reglern kaum darstellbar ist.

5 Zusätzliche Aufgaben des digitalen Reglers

Natürlich kann ein speziell für die digitale Regelung konzipierter Mikrorechner neben der PID-Regelung noch sehr viel mehr. Die zusätzliche Übernahme von Steueraufgaben, wie die eines Programmschaltwerkes, ist ohne weiteres möglich. Außerdem können durch entsprechende Programmierung auch andere, meist kompliziertere Regelverfahren, angewendet werden.

Auf jeden Fall werden digitale Regelmikrorechner im Bereich konventioneller Regelaufgaben, die mit bereits in der Industrie eingeführten analogen Geräten gelöst werden, meist PID-Regler sein, sei es als in die Warte eingebauter Kompaktregler oder als vor Ort in das Stellglied integrierter Regler. Darüber hinaus ermöglicht die Leistungsfähigkeit und Flexibilität heutiger Mikroprozessoren die Entwicklung nichtkonventioneller Regelungen, für die es bisher noch keine sinnvollen, gerätetechnischen Vorbilder gibt.

Dipl.-Ing. Heinrich Birck wird bei einer seiner Folgearbeiten vorgestellt werden.

Literatur

1 *Kalis, H.* et al.: Frequenzanaloges Prozeßführungssystem. ELEKTRONIK 1974, H. 10, S. 361...364.

2 *Weinmann, A.:* Einführung in die digitale Regelungstechnik. Aufsatz in drei Teilen. ELEKTRONIK 1969, H. 3, S. 65...68; H. 4, S. 113...116; H. 5, S. 151...154.

3 *Färber, G.:* Dezentralisierte Datenverarbeitungskonzepte mit Hilfe von Mikroprozessoren. Online 1973, H. 11, S. 784...789.

4 *Föllinger, O.:* Regelungstechnik. Hüthig Verlag, Mainz, 1972.

5 *Schöne, A.:* Prozeßrechensysteme in der Verfahrensindustrie. Hanser Verlag, München, 1969.

6 *Neunert, H.:* Systemtechnik mit Mikrocomputern. ELEKTRONIK 1974, H. 10, S. 391–395.

Über MIKROPROZESSOREN unterrichtet der REPORT in dieser Ausgabe ausführlich; dortselbst weitere Literaturhinweise.

Dipl.-Ing. Heinrich Birck

MIKRORECHNER – Software für die digitale Regelung

Schon beim Einsatz von Minicomputersystemen übersteigen die Kosten für die notwendige Software u. U. die Gerätekosten. Bei Mikrocomputern ist das wegen der geringen Gerätekosten in verstärktem Maß der Fall. Deshalb bestehen zwingende wirtschaftliche Gründe, der Software mindestens die gleiche Aufmerksamkeit wie der Hardware zu schenken. Der Autor beschreibt am Beispiel der Anwendung eines Mikroprozessors für einen digitalen PID-Regler, dessen hardwaremäßige Struktur in Heft 4 dargestellt wurde [6], die Softwareprobleme, die hier entstehen.

1 Programmerstellung

Bei der Entwicklung eines Mikrorechners für einen speziellen Zweck, wie z. B. für einen digitalen PID-Regler in Kompaktausführung, wird der Entwicklungsingenieur nicht ohne ausreichende Kenntnisse in der zugehörigen Software zum Erfolg kommen. Damit das Gesamtsystem möglichst wenig aufwendig wird, sollte schon bei der Konzipierung der Hardware auch die softwaremäßige Lösung der gestellten Aufgabe mit berücksichtigt werden.

Um eventuell vorhandene Zeitbedingungen zu prüfen oder den benötigten Speicherplatz abschätzen zu können, ist es nötig, bereits vor der Auswahl eines Mikroprozessors oder eines Mikrorechnersystems ein für das Problem beispielhaftes Programm zu schreiben. Die Anzahl der bei einem bestimmten Prozessortyp zur Verfügung stehenden Befehle gibt nämlich keinen Hinweis darauf, wie umfangreich ein Programm wird, und wie lange dessen Abarbeitung dauert. *Entscheidend dafür ist die Mächtigkeit der einzelnen Befehle in Verbindung mit der für ihre Abarbeitung benötigten Rechenzeit.* Da für ein kleineres Problem, wie das bei der Verwendung von Mikrorechnern der Fall ist, meist nur die Eigenschaften von bestimmten Befehlsklassen besonders wichtig sind, kann nur im Einzelfall und im Zusammenhang mit der zugehörigen Aufgabenstellung eine Aussage über die Eignung eines Befehlsvorrates getroffen werden.

Ein anderes Auswahlkriterium ist neben dem Preis auch die Anzahl der für den Mikrorechner benötigten Hardware-Bausteine, was auf den Entwicklungsaufwand und die Zuverlässigkeit Einfluß hat. Dagegen werden die softwaremäßigen Hilfsmittel zur Programmerstellung wie *Text-Editor*, *Assembler* und *Simulator* von den Prozessorherstellern in ähnlichem Rahmen angeboten und gehen in die Entscheidung nur in untergeordneter Weise ein. Der zweckmäßige Einsatz dieser Hilfsmittel geht aus *Bild 1* hervor.

Die Programmierung eines Mikrorechners erfolgt meist in der *Assembler-Sprache*, um den Speicherplatzbedarf und die Rechenzeit gering zu halten [1, 2]. Es ist dazu nötig, aus dem funktionellen Flußdiagramm, das man aus der Problemanalyse erhalten hat, ein detailliertes Flußdiagramm anzufertigen. Darin muß jede Operation Schritt für Schritt

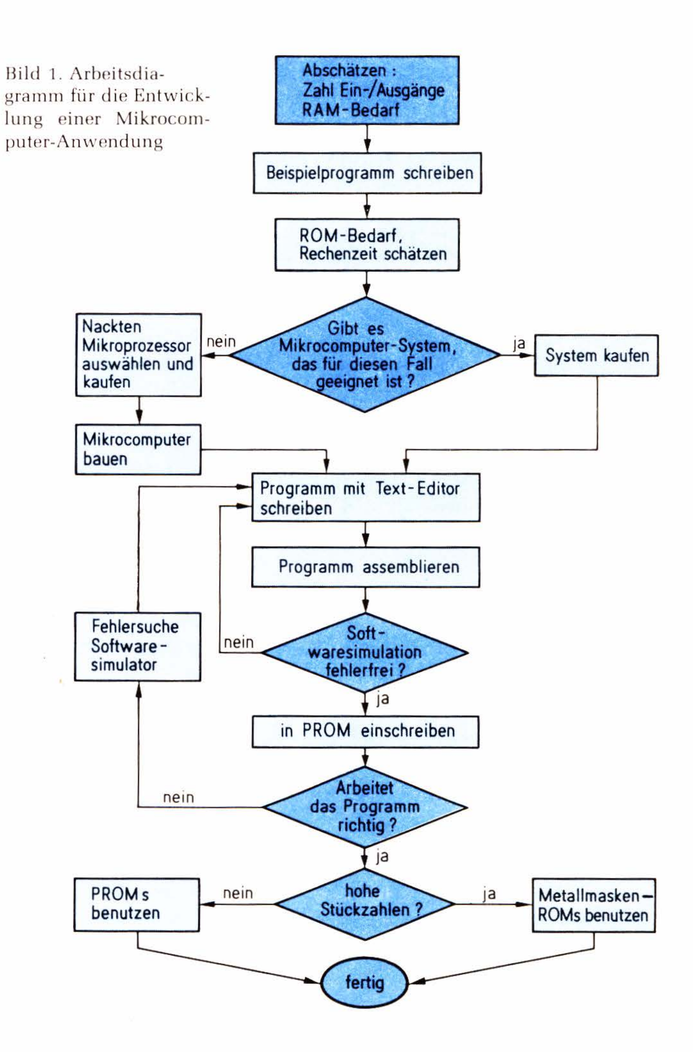


Bild 1. Arbeitsdiagramm für die Entwicklung einer Mikrocomputer-Anwendung

Mitteilung aus dem Lehrstuhl und Laboratorium für Steuerungs- und Regelungstechnik (*o. Prof. Dr.-Ing. G. Schmidt*) der Technischen Universität München.

Bild 2. Programmbeispiel für eine 5fach durchlaufene Schleife (5mal Linksschieben des Akkumulatorinhaltes)

Marke	Befehl	Operand	Kommentar
	LBI	5	Lade B mit 5
Beginn	RLC		Schiebe den Inhalt des Akkumulators nach links
	DCB		Erniedrige B um 1
	JFZ	Beginn	Springe nach Beginn, wenn das Ergebnis der vorangegangenen Operation keine Null war (bedingter Sprung)
	.		
	.		
	.		

dargestellt sein, damit einerseits danach das Programm erstellt werden kann und andererseits später eine gute Programmdokumentation vorliegt.

Arbeitet der Mikrorechner autonom *(stand-alone-Anwendung)*, dann besteht der Speicher für das Programm aus ROMs oder PROMs. In der Entwicklungsphase des Programms wird man immer PROMs benutzen, da sie Programmkorrekturen zulassen. Später, ab einer Stückzahl von etwa 100, lohnt es sich, ROMs zu benutzen, da sie billiger sind, einen etwa um den Faktor 4 erhöhten Integrationsgrad besitzen und deshalb weniger Platz und vor allem weniger Leistung benötigen.

2 Softwaremäßiger Aufbau des Mikroprozessors 8008

Der für den digitalen Regler [6] verwendete Mikroprozessor C 8008 enthält sechs 8-bit-Register, einen 8-bit-Akkumulator, vier Bedingungsmarken *(flags)* und ein paralleles 8-bit-Rechenwerk, mit dem Addition, Subtraktion und einige logische Operationen durchgeführt werden können [3]. Ein achtstufiger 14-bit-Adreßkeller erlaubt die Verschachtelung von bis zu sieben Unterprogrammen. Die 14-bit-Adresse läßt einen Adreßraum von 16 KBytes zu.

Alle arithmetischen und logischen Verknüpfungen müssen zwischen dem Akkumulator A – einem privilegierten Register – und einem der sechs Register B, C, D, E, H, L oder direkt mit einem Speicherplatz vorgenommen werden, dessen Adresse durch den Inhalt der Register H und L dargestellt wird. Das Ergebnis steht immer in A. Da nur 14 bit für die Adresse benötigt werden, die Register H und L zusammen aber 16 bit haben, können die obersten 2 bit des Registers H mit *„don't cares"* belegt werden. Der Prozessor ignoriert sie bei der Adressierung des Speicherplatzes. Auch direkte Verknüpfungen können nur mit dem Akkumulator durchgeführt werden (z. B. addiere zum Inhalt von A direkt die Zahl 5). Der Akkumulator ist ferner das Tor für Ein-/Ausgabeoperationen. Nur in dieses Register können Daten über Ein-/Ausgabebefehle in das System herein- oder herausgegeben werden.

Die einzige für die Register B...L durchführbare arithmetische Operation ist das Erhöhen oder Erniedrigen um 1, wobei auch die Bedingungsmarken gesetzt werden. Diese Möglichkeit ist sehr wichtig, weil dann jedes dieser Register als Schleifenzähler verwendet werden kann *(Bild 2)*.

Die vier Bedingungsmarken des Mikroprozessors 8008 signalisieren die Art des Ergebnisses einer arithmetischen oder logischen Operation, und zwar

- *carry:* Über- oder Unterlauf (z. B. bei Addition oder Subtraktion)
- *zero:* Ergebnis ist gleich Null
- *sign:* gibt das Vorzeichen (= höchstwertiges Bit) an
- *parity:* signalisiert gerade Parität.

Abhängig davon kann über bedingte Sprünge oder bedingte Unterprogrammaufrufe eine Verzweigung des Programms erfolgen. Der Unterschied zwischen einem Sprung und einem Unterprogrammaufruf besteht darin, daß im Gegensatz zum Sprung beim Unterprogrammaufruf die Rückkehradresse im Adreßkeller gespeichert wird. Durch einen Rücksprungbefehl (RET) am Ende des Unterprogramms setzt der Prozessor dann sein Programm mit dieser Rücksprungadresse fort.

Der Befehlsvorrat des 8008 besteht aus 48 Befehlen und läßt sich in fünf Befehlstypen gliedern. Davon sind

- 7 Indexregisterbefehle
- 28 Akkumulatorbefehle
- 10 Befehlszähler- und Adreßkeller-Befehle
- 2 Ein-/Ausgabebefehle
- 1 Betriebszustandsbefehl.

Die *Indexregisterbefehle* umfassen alle Lade- und Speicheroperationen in Verbindung mit den Registern A...L, ferner die Increment- und Decrement-Befehle.

Die *Akkumulatorbefehle* beinhalten die arithmetischen Operationen wie Addition, Subtraktion mit oder ohne Über- bzw. Unterlauf (= *carry*). Die arithmetischen Befehle mit Berücksichtigung des Carry sind für Rechnung mit mehrfacher Wortlänge unbedingt nötig. Ferner gehören logische Operationen wie UND, ODER, Exklusives ODER und ein Vergleiche-Befehl dazu, durch den nur die Bedingungsmarken gesetzt werden, und die vier Schiebe-Befehle (rechts, links, aus- oder einschließlich Carry). Alle Akkumulatorbefehle verändern die Bedingungsmarken.

Unter die *Befehlszähler- und Adreßkeller-Operationen* sind die unbedingten und bedingten Sprünge, Unterprogrammaufrufe und Rücksprünge einzuordnen. Eine Besonderheit des 8008 ist ein Restart-Befehl, der in seiner Wirkung einem unbedingten Unterprogrammaufruf gleicht, aber nur acht absolute Adressen anspringen kann, wodurch für die Wortlänge dieses Befehls nur 1 Byte benötigt wird, im Gegensatz zu 3 Byte für einen gewöhnlichen Unterprogrammaufruf. Dieser Befehl wird bevorzugt für den Beginn einer Interrupt-Bearbeitungsroutine oder zum Aufruf kurzer, aber häufig aufgerufener Unterprogramme benutzt. Im Falle eines Interrupts wird der Maschinencode für diesen Befehl, der eine der acht Adressen (in indizierter Form) beinhaltet, direkt über den Interrupteingang dem Prozessor mitgeteilt. Auf diese Weise kann der Prozessor auf acht Interruptebenen unterbrochen werden, sofern eine hardwaremäßige *Prioritätsschaltung* vorgesehen ist.

Der Prozessor kennt nur einen *Eingabebefehl*, mit dem per Programm acht Eingabekanäle geschaltet werden können. Mit dem ebenfalls einzigen Ausgabebefehl sind 24 Ausgangsregister adressierbar.

Mit dem *Halt-Befehl* wird der Prozessor in einen Haltezustand (STOPPED) übergeführt. Nur ein Interrupt kann diesen Zustand beenden.

3 Programmsysteme

Um den durch den verwendeten Prozessor vorgegebenen Befehlsvorrat für einen digitalen Regler wirkungsvoll, d. h. flexibel und kostengünstig, einsetzen zu können, ist es wichtig, bereits bei der Programmerstellung auf *Modularität der Programme* zu achten. Dazu mußte ein Programmsystem erstellt werden, das klar gegliedert ist und zwischen den einzelnen Programmteilen definierte Schnittstellen hat. Die grobe Gliederung ergibt sich aus dem funktionellen Ablaufdiagramm für ein Reglerprogramm *(Bild 3)*.

Nach dem Einschalten des Reglers muß das Gerät über einen *Start-Interrupt* (Drücken des Starttasters) initialisiert werden. Der Regler beginnt damit sein Programm auf dem Speicherplatz 0. Danach wird ein Startprogramm durchlaufen, das definierte Anfangsbedingungen setzt. Dabei werden Sollwerte und Parameter auf den Zustand „Handführung" gebracht, d. h. es wird nur die Sollwert- und Parametereinstellung von Hand zugelassen. Erst danach ist die Handeinstellung der Sollwerte und Parameter oder aber die Umschaltung auf die Betriebsart „Prozeßrechnerführung" möglich, damit ein eventuell angeschlossener Prozeßrechner den Anfahrvorgang übernehmen kann. Durch Setzen der Parameter ungleich Null bzw. Unendlich erfolgt dabei eine Strukturumschaltung.

Nach dem Abfragen der Meßstelle wird mit Hilfe des *Regelalgorithmus* die Stellgröße berechnet und dann ausgegeben. Danach geht das Programm in das *Betriebssystem* über, das die Abfrage der Schalter für eine Parameterverstellung, die Aufbereitung und Ausgabe der Daten für die angewählte Anzeige und die Erledigung der über einen Taster per Interrupt angemeldeten Anforderung auf eine Zustandsänderung erledigt *(Bild 4)*. Die Datenaufbereitung für die Anzeige ist insofern nötig, als z. B. eine im 2er-Komplement vorliegende negative Zahl erst in eine positive Zahl mit negativem Vorzeichen gewandelt werden muß. Mit der positiven Zahl wird die 7-Segment-Anzeige nach einer Dual/BCD-Umsetzung und mit dem Vorzeichenbit die Leuchtdiode für das Minuszeichen bzw. Pluszeichen angesteuert. Soll außerdem eine mit einem gedachten Komma versehene binäre Festkommazahl dezimal mit Komma angezeigt werden, ist vorher noch eine Multiplikation zur Korrektur notwendig.

Vor der Istwertabfrage und nach der Ausgabe der Stellgröße ist es sinnvoll, eine *Softwareschnittstelle* einzuführen; diese ist so geartet, daß der dazwischenliegende Programmteil, also Istwerteingabe, Regelalgorithmus und Stellgrößenausgabe, auf besonderen PROMs stehen kann. Auf diese Weise braucht nur ein Teil des Festwertspeichers ausgewechselt zu werden, um eine Änderung des Regelalgorithmus vorzunehmen.

Durch eine weitere Strukturierung der einzelnen Programmteile in möglichst viele gemeinsame und oft wiederverwendete Unterprogramme kann erreicht werden, daß nur ein einziges PROM ausgewechselt werden muß, in dem im wesentlichen nur noch die Unterprogrammaufrufe stehen, mit denen man den jeweiligen Regelalgorithmus zusammensetzt. Dabei wirkt sich positiv aus, daß die verschiedensten Regelalgorithmen immer wieder gleichartige Rechenoperationen zur Grundlage haben. Zu diesem Unterprogrammsystem gehören

- Multiplikation
- Division
- mehrere Überlauf- und Unterlaufroutinen zur Wortlängenbegrenzung und zur Verhinderung des integralen Windup
- Zweiwortaddition für eine Wortlänge von 16 bit
- Zweiwortsubtraktion
- Zweiwort-Inkrementroutinen für Adreßmanipulation in den Registern H und L
- Zweiwort-Dekrementroutinen
- Programm zum Umladen von Speicherfeldern innerhalb des RAMs, was für den prozeßrechnergeführten Zustand oder den gemultiplexten Betrieb zweier Regelkreise benötigt wird. Dabei lädt z. B. das Programm die Sollwerte und Parameter, die der Führungsrechner auf ein definiertes RAM-Feld geschrieben hat, auf die Plätze um, von denen sich der Regelalgorithmus seine aktuellen Sollwerte und Parameter holt.
- Save-Routine zum Retten der Registerinhalte und der Condition-Bits für Interrupts oder Unterprogrammaufrufe
- Restore-Routine zum Rückladen der geretteten Registerinhalte und Condition-Bits
- Schiebe-Programme für mehrfaches Rechts- oder Linksschieben
- Anzeigeroutinen für die Bedienung der dezimalen Anzeige
- Ein-/Ausgaberoutinen einschließlich Ansteuerung und Multiplexen der Umsetzer.

Bei Unterprogrammen, die durch einen Interrupt unterbrochen und von der Bearbeitungsroutine desselben Interrupts wieder aufgerufen werden können, muß man darauf achten, daß sie wiedereintrittsfähig (reentrant) gestaltet sind. Um das Überschreiben von Zwischenergebnissen des Unterprogramms im RAM zu verhindern, dürfen zu deren Adressierung nur relative Adressen oder Keller-Operationen verwendet werden.

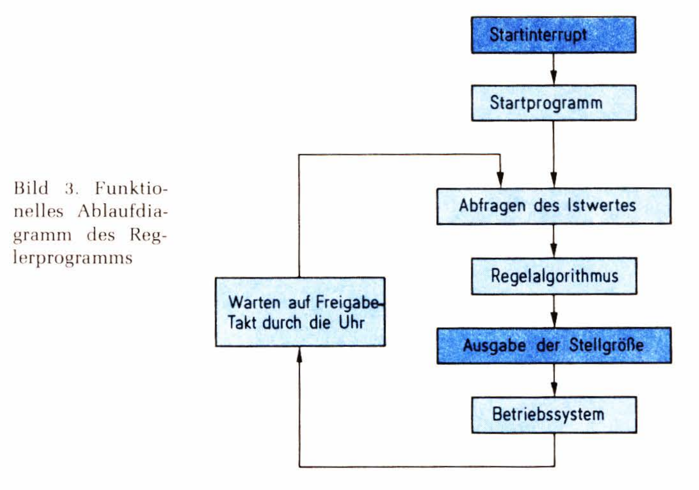


Bild 3. Funktionelles Ablaufdiagramm des Reglerprogramms

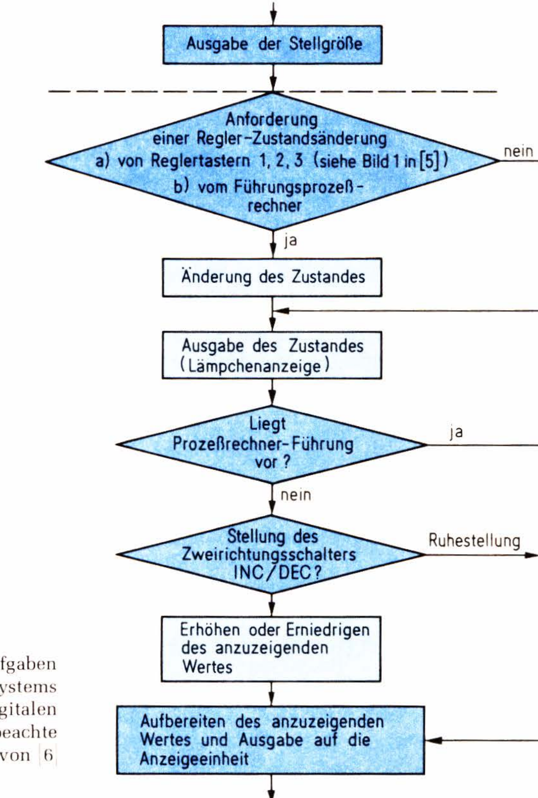
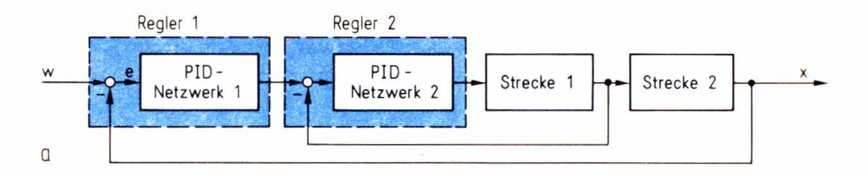


Bild 4. Aufgaben des Betriebssystems für einen digitalen Regler (man beachte dazu Bild 1 von [6])



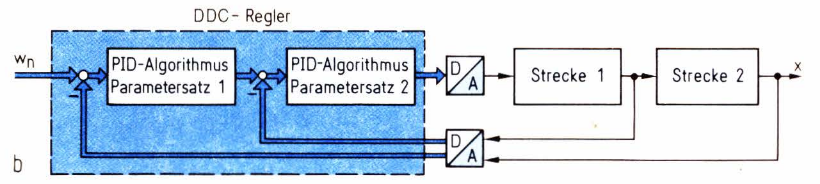


Bild 5. Kaskadenregelung: a) analog, b) digital

Mit der Verfügbarkeit dieses Programmsystems und einer Reihe von damit erstellten Regelprogrammen wie z. B.

- PID-Stellungsalgorithmus
- PID-Geschwindigkeitsalgorithmus
- Ein- bzw. Zweikreisregelung
- Kaskadenregelung
- Verhältnisregelung
- Minimum-Varianz-Regelung (für stochastische Störgrößen)

zeigt sich die *enorme Flexibilität, die ein programmierbarer Regelrechner in einer einzigen hardwaremäßigen Grundausführung besitzt und die mit analogen Hilfsmitteln kaum erreicht werden kann.* Für den Anwender wirkt der Regler aber vorteilhafterweise nicht als programmierbarer Rechner, sondern einfach als ein Gerät, dessen Funktion durch Austausch eines integrierten Bausteines geändert werden kann.

Neben diesen für den laufenden Betrieb benötigten Programmen ist ein *Testprogrammsystem* sehr hilfreich. Es gibt zwei Klassen von Testprogrammen, nämlich solche, die

- *online* während der Wartezeiten innerhalb eines Abtastintervalles eine Selbstprüfung vornehmen und einen Fehler nach außen, d. h. dem Personal oder einem angeschlossenen Rechnersystem, melden, wobei nur die Tatsache und nicht unbedingt die Ursache eines Fehlerfalles von Interesse ist.
- *offline* während der Fertigungskontrolle oder der Reparatur genaue Lokalisierung des Fehlers anstreben. Dabei kann ein Servicezusatz mit Single-Step-Einrichtung benutzt werden.

Voraussetzung für ein Online-Selbsttesten ist, daß noch ein gewisser Teil des Reglers, nämlich der Prozessor und jener Teil des ROMs noch funktionieren, in dem das Testprogramm steht. Offline ist jedoch diese Voraussetzung nicht unbedingt notwendig. Mit dem Servicezusatz und eventuell zusätzlichen Messungen können auch diese Fehlerfälle, sofern sie statischer Natur sind, bei schrittweisem Vorgehen durch das Testprogramm unter Umständen erkannt werden. Die wichtigsten Testprogramme sind

- Anzeigetest (muß zuerst erfolgen, da es zweckmäßig ist, die Ergebnisse der anderen Tests über die Anzeige mitzuteilen)
- RAM-Test
- PROM-Test
- Ein-/Ausgabetests (einschließlich Umsetzertest- und Eichprogrammen für die Umsetzer)
- Prozessortest.

Testprogramme, die den Prozessor prüfen, sind allerdings aus Gründen des Aufwandes nur bedingt sinnvoll. Man muß sich dabei auf einige gezielte Tests beschränken wie z. B. die exemplarische Berechnung eines Regelalgorithmus mit bekannten Eingangsdaten und bekanntem Ergebnis.

4 Beispiel: Kaskadenregler

Mit einem digitalen Regler, der die hardwaremäßige Voraussetzung für die Bedienung zweier Regelkreise im Multiplexbetrieb erfüllt, ist es möglich, auch eine Kaskadenregelung mit nur einem Gerät vorzunehmen (*Bild 5*). Dabei können ferner Sollwert und Parameter von einem Führungsrechner eingestellt werden. Außerdem erlaubt das entwickelte Programm, entweder eine Zweikreisregelung oder eine Kaskadenregelung durchzuführen [4].

Nach dem Einschalten des Reglers wird über den Starttaster das Startprogramm angestoßen, um definierte Anfangsbedingungen im Datenspeicher zu setzen und die Voreinstellung der Sollwerte, der Parameter, der Anzeige, des Führungszustandes und der Regelkreisnummer K vorzunehmen (*Bild 6*). In einer Abfrageschleife wartet jetzt der Regler darauf, daß über den Zweirichtungsschalter INC/DEC die Wahl zwischen Zweikreis oder Kaskadenregelung getroffen wird.

Fortsetzung Seite 74

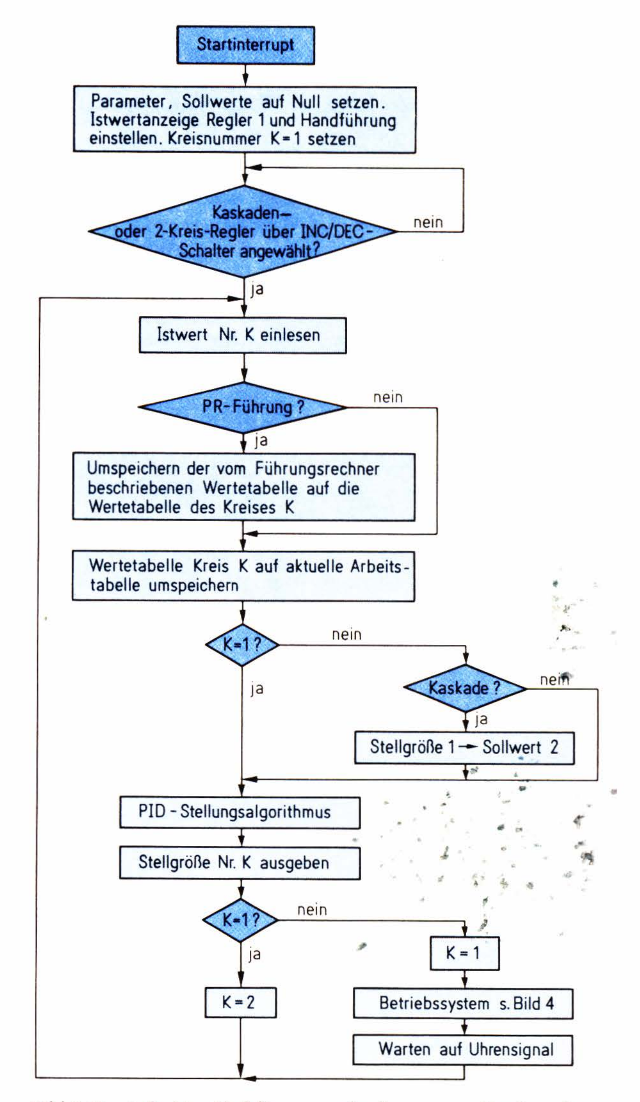


Bild 6. Vereinfachtes Flußdiagramm des Programms für einen Kaskadenregler bzw. Zweikreisregler

Danach, also nach Verlassen der Schleife, kann die Wahl nicht mehr rückgängig gemacht werden. *Man beachte, daß dieser Schalter dann seine Funktion ändert.* Er wird nur noch zur Sollwert- und Parameterverstellung im handgeführten Zustand benutzt (s. Betriebssystem). Nach Einlesen des Istwertes K erfolgt im Falle der Prozeßrechnerführung das Umspeichern der irgendwann vom Führungsrechner über DMA-Zugriff gelieferten Datensätze (Sollwert, Parameter) auf die Wertetabelle des Kreises K. Liegt Handführung vor, unterbleibt das Umspeichern, und die Wertetabelle kann über das Betriebssystem von Hand im Bedarfsfalle geändert werden. Danach wird diese Tabelle auf die aktuelle Arbeitstabelle des Regelalgorithmus umgeladen. Auf diese Weise kann für beide Regelkreise immer derselbe Algorithmus verwendet werden; er arbeitet nur mit zwei unterschiedlichen Parametersätzen.

Wird gerade Regler 2 bearbeitet, dann muß der Sollwert im Falle der Kaskadenregelung gleich der Stellgröße des Reglers 1 gesetzt werden. Darin besteht der einzige Unterschied im Programm zwischen Kaskaden- und Zweikreisregelung. Der Mehraufwand, im Programm beide Fälle vorzusehen, ist deshalb äußerst gering. Nach Berechnung der Stellgröße durch den Algorithmus wird diese ausgegeben. Die Ausgabe der Stellgröße des Reglers 1 bei einer Kaskadenregelung stört nicht, da nur die Stellgröße 2 an die Regelstrecke angeschlossen wird. Nach Regler 1 wird sofort Regler 2 bearbeitet *(Bild 7)*. Erst danach geht das Programm ins Betriebssystem über, dessen Funktionen bereits erläutert wurden (Bild 4); sind diese erledigt, wartet der Prozessor auf ein Taktsignal der Uhr, das eine neue Abtastung des Istwertes anstößt.

5 Besondere Software-Probleme und Ausblick

Eine angenehme Begleiterscheinung der Programmierbarkeit eines Mikrorechners ist die Möglichkeit, praktisch immer durch besondere Unterprogramme hardwaremäßige Lücken für Verschlüsselungs- oder Entschlüsselungseinrichtungen, für Codeanpassung oder Lücken im Befehlsvorrat des verwendeten Prozessors abdecken zu können.

Trotzdem wäre es im Sinne einer einfacheren Programmierung, kürzerer Programme und kürzerer Rechenzeiten wünschenswert, wenn ein für die digitale Regelung verwendeter Mikroprozessor gewisse Mindestvoraussetzungen erfüllen würde. Dazu zählen Befehle im Befehlsvorrat des Prozessors, die die bereits als Unterprogrammsystem aufgelisteten Routinen zumindest teilweise ersetzen. Ferner wäre ein Befehl zur Dual-/BCD-Umsetzung einer Zahl für die Anzeige sehr vorteilhaft. Auch sollten alle Registerinhalte und die Condition-Bits softwaremäßig rettbar sein, da bei Echtzeitproblemen, wie der Regelung, *Interruptverarbeitung* unbedingt vorgesehen werden muß. Dagegen ist ein Befehlsvorrat für Gleitkommarechnung für Zwecke der digitalen Regelung nicht nötig. Die Regelalgorithmen sind meist so überschaubar, daß die viel weniger speicherplatz- und rechenzeitintensive Festkommadarstellung ausreicht.

Als weiterer Griff in die Zukunft wäre die Entwicklung einer höheren Programmiersprache für digitale Regelmikrorechner zu nennen, deren Elemente entweder als Assemblermakros oder mit Hilfe *mikroprogrammierbarer Mikroprozessoren* (z. B. GPC/P von National Semiconductor) per Mikroprogramm implementiert würden. In Verbindung mit einer Weiterentwicklung der Hardware für den Ein-/Ausgabe- und den Umsetzerteil könnten damit sehr leistungsfähige, kompakte und einfach handzuhabende digitale Regler entstehen.

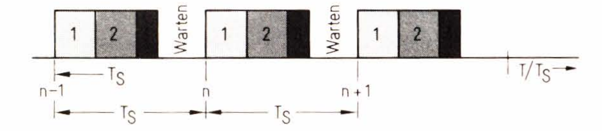


Bild 7. Einteilung der Zeitscheiben beim Kaskaden- bzw. Zweikreisregler: 1 = Rechenzeit für Regler 1; 2 = Rechenzeit für Regler 2; 3 = Rechenzeit für das Betriebssystem

Der Autor wurde in 6 vorgestellt.

Literatur

1 *Lewis, D. R., Siena, R. W.:* Clear the hurdles of microprocessors. Electronic Design, 1973, H. 20, S. 76...80.

2 *Weiss, D.:* Software for MOS/LSI microprocessors. Electronic Design, 1974, H. 7, S. 50...57.

3 MCS-8 Micro Computer Set, Intel Users Manual, Nov. 1973, Revision 4.

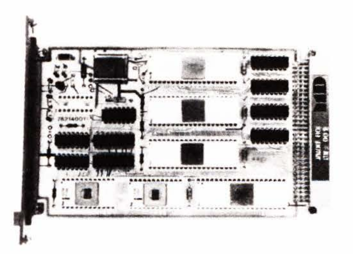
4 *Buchenberg, J.:* Realisierung einiger Regelalgorithmen für einen DDC-Regler. Diplomarbeit am Institut für Meß- und Regelungstechnik der Technischen Universität München, Feb. 1975.

5 *Birck, H.:* Digitale Regelung mit Mikroprozessoren. ELEKTRONIK 1976, H. 3, S. 87...89

6 *Birck, H.:* Ein digitaler Regler auf Mikrorechner-Basis. ELEKTRONIK 1976, H. 4, S. 63...66.

Mikrocomputer auf einer Leiterkarte

Eine optimale Lösung für den Aufbau von Multiprozessor-Systemen bietet die Firma MD Electronic mit ihrem Proc-80-System an. Die kleinste selbständige Einheit ist dabei der Mikrocomputer PROC 80 S, der auf einer Europakarte die Zentraleinheit, RAMs, I/O-Bausteine und fertige Betriebsprogramme enthält. Dafür stehen verschiedene Anwenderprogramme der Herstellerfirma zur Verfügung. Für die Zusammenschaltung werden fertige Multilayer-Verbindungsebenen angeboten, die auch mit dem früher angebotenen PROC-8-System dieses Herstellers kompatibel sind. Als Masterprozessor in einem solchen Verbundsystem, aber auch als leistungsfähiger Minicomputer für den OEM-Einsatz, ist der Typ PROC 80 LSI konzipiert worden. Auf einer 40 x 190 mm² großen Platine befinden sich neben der Zentraleinheit ein Datenspeicher mit 16-K-RAM und ein löschbarer Programmspeicher mit 8-K-EPROM. Bemerkenswert ist die große Zahl der Ein- und Ausgabeschnittstellen, die für den Anschluß von Peripheriegeräten nach V 24 und RS 232C vorgesehen sind. Über vier Prioritätskanäle besteht außerdem die Möglichkeit des direkten Speicherzugriffs mit einer Übertragungsrate von 500 Byte pro Sekunde; damit lassen sich direkt schnelle Peripheriegeräte wie Floppy-Disk- oder Magnetbandeinheiten anschließen. Über das vollständige Lieferprogramm geben ausführliche Druckschriften Auskunft, die auf Wunsch kostenlos zur Verfügung stehen.



□ Hersteller: MD Electronic, Schloßstraße 2, 5060 Bensberg, Tel. (0 22 04) 5 10 61.

Preiswerter Mikroprozessor-Bausatz

Alle erforderlichen Bauelemente mit umfangreicher Literatur für die Entwicklung eines vollständigen Mikroprozessors enthält der Bausatz „MEK 6800 D 1", den die Firma Motorola ab sofort anbietet. Der Satz besteht aus der Zentraleinheit 2-K-RAM- und 8-K-ROM-Einheiten Tri-State-Ausgängen sowie den Interface-Bausteinen, die über einen 8-bit-Datenbus und einen 16-bit-Adreßbus zusammengeschaltet werden. Es wird nur eine Versorgungsspannung von 5 V benötigt. In der angebotenen Version enthalten die ROMs zwei Programme, die den Anschluß seriell arbeitender Peripheriegeräte ermöglichen. Darüber hinaus können weitere Programme eingegeben und verarbeitet werden. Ein Programmier-Handbuch und detaillierte Beschreibungen der verwendeten und weiterer Programme ergänzen die Zusammenstellung.

□ Vertrieb: Motorola GmbH, GB Halbleiter, Heinrich-Hertz-Str. 1, 6204 Taunusstein-Neuhof, Tel. (0 61 28) 87 28 00.

Dipl.-Ing. A. Klimke und Ing. J. Huber

Mikrocomputer überwachen Energienetz

Stromausfälle, die ganze Bundesländer, wie jüngst Bayern, stromlos machen oder den Zugverkehr über Stunden lahmlegen, weisen auf die Probleme hin, die weitverzweigte Hochspannungsnetze mit sich bringen.

Energie wird an den verschiedensten geografischen Stellen über Leistungsschalter in das Netz eingespeist. Ein Leistungsschalter schaltet automatisch ab, wenn in einem Abschnitt ein Kurzschluß auftritt, die Impedanzbelastung zu groß wird, übermäßiger Strom fließt oder die thermische Belastung die Toleranzgrenze übersteigt. Ein solcher Schaltvorgang kann im Netz eine Kettenreaktion nach sich ziehen, die das ganze System lahmlegt. Der Vorgang geschieht so schnell, daß man danach sehr schwer feststellen kann, wo der Ausgangspunkt war und was zur Auslösung führte. Entsprechend langwierig ist die Fehlersuche. Zur möglichst schnellen Fehlerlokalisierung möchte man in regionalen Zentralen eine laufende Übersicht über die Vorgänge im Netz haben.

Löst ein Schalter aus, so müssen das maßgebliche Auslösekriterium und die Uhrzeit auf Millisekunden genau protokolliert werden. Eine derartige Überwachung erfordert den Einsatz von Prozeßrechnern.

Noch vor wenigen Jahren erschien dieses Problem unlösbar: Auf der einen Seite soll ein weiträumig vermaschtes Netz, bei dem Ereignisfolgen auftreten können, die sehr schnell ablaufen und tausende von Daten liefern, überwacht werden, andererseits steht ein beschränktes und langsames Kommunikationsnetz zur Verfügung. Rechner waren sehr teuer, also kam nur zentrale Datenverarbeitung in Frage. Für eine befriedigende Auflösung der Ereignisfolgen sind dann aber so viele Leitungen nötig, daß eine Realisierung zu teuer würde.

Die Münchener Firma Kayser Threde & Co. löste jetzt das Problem der Überwachung von Hochspannungsnetzen mit Hilfe von Mikrocomputern, deren günstiger Preis neue Möglichkeiten schuf. In jeder Schaltstation steht ein Modell LSI-11 (Digital-Equipment), ein kleiner, zuverlässiger Rechner, dessen Herzstück ein Mikroprozessor ist. Dieser überwacht ständig Status, Spannung und Strom der einzelnen Leistungsschalter und fungiert als Außenstation zum Zentralrechner (ebenfalls LSI-11).

1 Außenstationen

Die Außenstationen entscheiden, was wichtig ist und was nicht, und reduzieren so die Informationsflut über den Zustand der einzelnen Schalter auf ein kurzes Telegramm im Störungsfall. Nur das interessiert die Zentrale.

Zur Überwachung verwendet die Außenstation einen programmgesteuerten Multiplexer, der die Information je eines Schalters an das entsprechende Rechnerinterface weitergibt. Die Programmlogik erreicht z.B. bei 16 Schaltern eine Auflösung von 3 ms.

Sie verhält sich dabei äußerst flexibel, denn sie filtert Störungen aus und kann alle möglichen (und unmöglichen) Informationskombinationen interpretieren. Die Schaltereignisse werden mit Auslösekriterium, Schalterspezifikation und Uhrzeit in einem großen Puffer gespeichert. Die Strom- und Spannungswerte werden ebenfalls mittels Multiplexer ständig überwacht und gepuffert.

Zur Erfassung der Zeit ist in jeder Außenstation eine Echtzeituhr mit einer Auflösung von 2 ms vorhanden. Die Uhren werden alle 15 min von der Zentrale synchronisiert, so daß Funktionsabfolgen, die von mehreren Außenstationen erfaßt werden, zeitlich genau korreliert sind.

Schließlich können noch Steuerimpulse ausgegeben werden, wodurch im Alarmfall gezielte, automatische Schaltvorgänge vorgenommen werden könnten. Der Schritt zur automatischen Fehlerbehebung erfordert aber noch genaue Untersuchungen an Hochspannungsnetzen.

2 Zentrale

Der Zentralrechner verwendet zur Überwachung der einzelnen Außenstationen das sogenannte „Polling“: Er fragt zyklisch ab, ob Meldungen vorliegen. Im normalen Betriebsfall erhält er lediglich ein kurzes Lebenszeichen oder, falls gewünscht, die Strom- und Spannungswerte. Schaltvorgänge, ausgelöst durch Störungen oder durch Fernsteuerung, werden als Meldung nach dem nächsten Polling-Zeichen abgesetzt und in der Zentrale mit Hilfe eines Druckers protokolliert.

Datenübertragungsfehler werden erkannt und bewirken eine Wiederholung der Meldung. Eine Unterbrechung der Datenübertragung verhindert zwar die sofortige Information der Zentrale, die Meldung ist jedoch nicht verloren, denn der Speicher der Außenstation kann etwa 1000 Meldungen speichern, die nach Beheben der Störung alle übertragen werden.

Das grundlegende Prinzip, das hier angewendet wurde, ist auch in der Management-Theorie bekannt: „*management by exception*“. Läuft ein Betrieb normal, interessiert er nicht. Nur wenn etwas Unvorhergesehenes auftritt, muß man sich um ihn kümmern. Durch die intelligenten Außenstationen erreicht man diese Arbeitsweise. Sie können mit großer Geschwindigkeit am Ort des Geschehens Daten auswählen, analysieren und verdichten, Funktionsabläufe verfolgen, bewerten und, falls nötig, interpretiert melden. Schließlich können sie Entscheidungen treffen und den Prozeß steuern.

Was die Zentrale erfährt, ist ein „Rechenschaftsbericht“. Zur Verbindung zwischen Außenstation und Zentrale genügt ein Datenübertragungskanal. Der Zentralrechner fungiert als Informant des Bedienungspersonals sowie als Kontrollorgan und Koordinator der Außenstationen. Aufgrund der Arbeitsteilung ist es möglich, auch in der Zentrale einen Mikrocomputer zu verwenden.

Mikrocomputer und Fernsprechleitungen – Dezentralisierung der Verarbeitung und Minimierung des Datentransfers – ermöglichten die kostengünstigste Lösung der hier gestellten Aufgaben.



Bei der Prozeßsteuerung genügt es nicht, Daten und Befehle zwischen Zentraleinheit und Peripherie lediglich auszutauschen; die Teilprozesse (Stellglieder, Meßwertaufnehmer usw.) sollen vielmehr innerhalb einer vorgegebenen Zeit (Echtzeit-Verhalten) und je nach Wichtigkeit ihrer Anforderung bedient werden. Das geeignete Mittel für diesen Zweck ist eine richtige Interruptverarbeitung, die – je nach Aufgabenstellung – auf verschiedene Weise erreicht werden kann. Prinzipiell besteht dabei kein Unterschied, ob es sich beim Prozeßrechner um einen Großcomputer, einen Minicomputer oder um einen Mikroprozessor handelt.

Dr. D. Hammer

Interruptverarbeitung bei Prozeßsteuerungen

In der überwiegenden Zahl aller Fälle ist der Prozeß über ein Ein-/Ausgabe-Bussystem, wie es *Bild 1* zeigt, mit dem Rechner verbunden; der Arbeitsspeicher ist meist über einen eigenen Bus angeschlossen. Die Interruptleitungen sind meistens in den Ein-/Ausgabe (E/A)-Bus des Rechners mit einbezogen. Bei ganz einfachen und langsamen Systemen genügt es unter Umständen, die Interrupts durch Fahnen zu ersetzen, die von einem Organisationsprogramm in einer Endlosschleife abgefragt werden. Sobald eine Fahne erkannt wird (siehe Kapitel 2.1), verzweigt das Organisationsprogramm zu der dieser Fahne zugehörigen Serviceroutine. Diese Methode wird jedoch dann problematisch, wenn das Organisationsprogramm noch andere Tätigkeiten ausführt und die Fahnenabfrage entsprechend selten erfolgt.

1 Aufgabenstellung und prinzipielle Lösungsmöglichkeiten

Sobald eine Interrupt-Anmeldung vom Prozeß beim Rechner ankommt, müssen folgende Vorgänge ablaufen:

- Selektion der Interrupt-Anmeldungen nach Art und Priorität. Der Zeitpunkt des Auftretens ist meist nicht vorhersehbar (statistisch), weshalb auch mehrere Interrupt-Anmeldungen gleichzeitig auftreten können; die Selektion kann entweder automatisch durch die Hardware des Ein-/Ausgabe-Interface oder durch Abfrage, welcher Teilprozeß den Alarm ausgelöst hat, durch die Software erfolgen (*polling*)
- Unterbrechung des laufenden Programmes (Interrupt) und Aufruf der dem jeweiligen Interrupt zugeordneten Bearbeitungsroutine (*Interrupt-Serviceroutine = ISR)*
- Retten des Rechner-Status zu Beginn der ISR, um nach Abarbeitung des Interrupts das unterbrochene Programm wieder fortsetzen zu können
- Wiederherstellung des ursprünglichen Rechner-Status am Ende der ISR und Rücksprung zum unterbrochenen Programm.

Eine ISR unterscheidet sich von einem Unterprogramm (UP) dadurch, daß der Aufruf nicht vom gerade laufenden Programm, sondern zu einem meist nicht vorhersehbaren

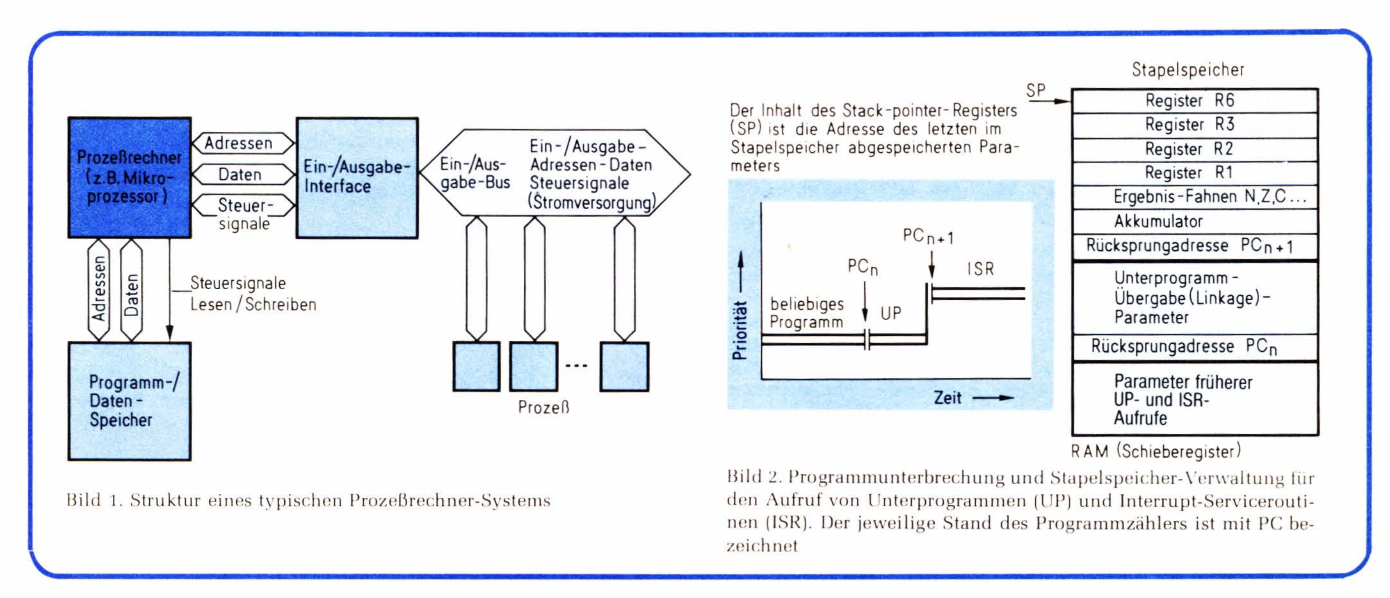


Bild 1. Struktur eines typischen Prozeßrechner-Systems

Bild 2. Programmunterbrechung und Stapelspeicher-Verwaltung für den Aufruf von Unterprogrammen (UP) und Interrupt-Serviceroutinen (ISR). Der jeweilige Stand des Programmzählers ist mit PC bezeichnet

Zeitpunkt vom Prozeß aus erfolgt. Dementsprechend müssen auch alle von der ISR benützten Register und die Ergebnis-Fahnen *(condition-flags)* der letzten Operation (Null, Negativ, Carry usw.) gerettet werden. Das Abspeichern erfolgt meist im Schreib-/Lese-Teil des Arbeitsspeichers (RAM). Es können jedoch auch spezielle Programmunterbrechungs-Speicher wie Schieberegister oder Zwischenspeicher *(scratch pad memory)* verwendet werden.

Das Abspeichern des Rechner-Status zum Zeitpunkt der Programmunterbrechung wird durch Stapelspeicher (*stack*) ganz wesentlich erleichtert (*Bild 2*). Unter einem stack versteht man einen Schreib-/Lese-Speicher mit sequentiellem Zugriff. Ein eigenes Register enthält die Adresse der jeweils letzten Eintragung, den sogenannten stack-pointer (SP). Die zu rettenden Parameter werden durch inkrementieren des SP der Reihe nach abgespeichert und nach Abarbeitung der ISR durch dekrementieren des SP in umgekehrter Reihenfolge wieder gelesen (last in/first out = LIFO-stack). Durch diesen Speicheralgorithmus wird erreicht, daß der Stapelspeicher zu jedem Zeitpunkt nur die noch benötigten Systemparameter in der Reihenfolge ihrer Abarbeitung enthält. Ein Stapelspeicher trägt wesentlich zur Erhöhung der Flexibilität eines Prozeßrechner-Systems bei. Neben dem Status zum Zeitpunkt des Auftretens eines Interrupts können auch Zwischenergebnisse, an ein UP zu übergebende Parameter (*Linkage*-Parameter) und die Rücksprungadressen für UP- und ISR-Aufrufe abgespeichert werden. Letzteres bedeutet, daß die Anzahl der miteinander verketteten UP- und ISR-Aufrufe nur durch das Fassungsvermögen des Stapelspeichers begrenzt ist. Besitzt der Rechner hingegen nur einen internen Programmzähler-Stapelspeicher von vorgegebener Größe, so kann die zusätzliche Abspeicherung der ISR-Rücksprungadressen einen Überlauf verursachen. Der dadurch entstehende Verlust von Rücksprungadressen führt zum Zusammenbruch des Systems.

Mikroprozessoren der zweiten Generation sind in vielen Fällen bereits mit einem eigenen SP-Register und dem entsprechenden Befehlssatz, der auch zum Abspeichern des Akkumulators, der Ergebnis-Fahnen und des Programmzählers (program counter = PC) dient, ausgestattet. Ist dies nicht der Fall, muß der Anwender selbst die entsprechende Hard- und Software entwickeln. Z. B. kann, wie bei den Typen 8008 und 4040 von Intel, ein Indexregister als SP und das RAM des Arbeitsspeichers als Stapelspeicher verwendet werden. Zum Retten des Mikroprozessor-Status sind in diesem Fall meist noch externe Register zur Zwischenspeicherung des Akkumulators, der Speicheradressier-Register und der Ergebnis-Fahnen notwendig.

Die Struktur des Interruptsystems wird durch die Möglichkeit der *programmierten Maskierung* einzelner Interrupts wesentlich vielseitiger. Die Unterbrechung des laufenden Programmes durch momentan unerwünschte oder unwichtige Interrupts kann dann dynamisch dem jeweiligen Betriebszustand angepaßt werden. Die Implementierung des notwendigen Interrupt-Maskenregisters (IMR) im Ein-/Ausgabe-Interface ist denkbar einfach und billig. Bei vielen Mikroprozessoren können auch alle Interrupts durch Maskieren des Interrupt-Eingangs (des Mikroprozessors) generell gesperrt werden (siehe Kapitel 2).

Wesentlich für jedes Mikroprozessor-System ist der Einschalt- oder *power-on*-Interrupt, der das Erreichen der vollen Betriebsspannungen nach dem Einschalten bzw. nach einem Netzausfall anzeigt. Hier müssen zwei Niveaus unterschieden werden:

- Power-on-Sequenz des Mikroprozessors selbst; sie ist durch sequentielle Logik oder Mikroprogramme implementiert und bringt den Mikroprozessor in einen arbeitsfähigen Ausgangszustand (löschen der Register und des PC, setzen der Steuersignale usw.)
- Power-on-Serviceroutine des Benutzers. Diese ISR läuft auf höchster Priorität und nimmt insofern eine Sonderstellung ein, als sie das Ein-/Ausgabe-Interface und den Prozeß initialisiert.

Auf die Implementierung eines entsprechenden Netzausfall-Interrupts, dessen Serviceroutine bei Netzausfall die wesentlichen Betriebsparameter des Systems (Registerinhalte des Mikroprozessors, des Ein-/Ausgabe-Interface und der Prozeßperipherie, variable RAM-Daten usw.) in einen permanenten Speicher (z. B. Kernspeicher) rettet, wird im allgemeinen verzichtet.

Die meisten Mikroprozessoren besitzen nur einen Interrupt-Eingang. In der Praxis treten jedoch meist mehrere Interrupts unterschiedlicher Priorität auf. Der Benutzer muß sich daher selbst die notwendige Hardware (Ein-/Ausgabe-Interface) und Software schaffen, um die Interrupt-Anmeldungen nach ihrer Art bzw. Priorität selektieren und eventuell auch maskieren zu können. Dabei besteht, abgesehen von gewissen grundsätzlichen Erfordernissen, die Möglichkeit, die gewünschten Eigenschaften durch Hardware oder durch Software zu implementieren. Die Vereinfachung der Interrupt-Logik im Ein-/Ausgabe-Interface und bei den einzelnen Teilprozessen wird bei softwareorientierten Lösungen mit einer Verlängerung der Ansprechzeiten *(response time)* und Rechenzeiten erkauft, was bei schnelleren Systemen unter Umständen nicht mehr tragbar ist.

2 Sequentielle Interruptverarbeitung

In diesem Fall werden die Interrupt-Anmeldungen entsprechend *Bild 3* sequentiell in der Reihenfolge ihrer Priorität abgearbeitet. Sobald die ISR mit der jeweils höchsten Priorität läuft, werden alle anderen Interrupts per Hard- oder Software maskiert. Das gilt auch, wenn inzwischen eine Interrupt-Anmeldung höherer Priorität eingetroffen ist. Im Bild wird dies durch eine einheitliche Priorität der ISRs veranschaulicht. Ein eventuell vorhandenes Hauptprogramm dient zur Bearbeitung von zeitunkritischen Aufgaben; etwa bei einem Datenerfassungssystem zur Verarbeitung der mit den einzelnen ISRs eingelesenen Daten. Es läuft in einer Endlosschleife im Hintergrund *(background)* und wird immer wieder unterbrochen. Die maximale Reaktionszeit (auf den Interrupt mit der jeweils höchsten Priorität) ist, abgesehen von meist vernachlässigbaren Verzögerungen bei der Interrupterkennung, gleich der Bearbeitungszeit der längsten ISR. Dieses System wird daher nur dann angewendet, wenn die einzelnen Interrupts keine zu unterschiedliche Priorität haben. Das ist z. B. der Fall, wenn relativ gleichartige Teilprozesse oder Peripheriegeräte gesteuert werden.

Die sequentielle Interruptverarbeitung benötigt eine wesentlich einfachere Hardware als die später behandelte verschachtelte. Da zu jedem Zeitpunkt nur eine ISR aktiv sein



Dipl.-Ing., Dr.techn. Dieter Hammer ist gebürtiger Wiener. Er besuchte zunächst eine Ingenieurschule und studierte anschließend an der Technischen Universität Wien Physik, wo er seit 1967 als Assistent tätig ist. Sein Arbeitsgebiet umfaßt Physikalische Meßtechnik, Prozeßsteuerung mit Rechnern (CAMAC) und Elektronik. Seine Freizeit verbringt er am liebsten mit seiner Familie (zwei Töchter) beim Bergsteigen und Skifahren sowie mit Büchern und Musik.
Privattelefon: Österreich 02 22/8 81 59 23

ELEKTRONIK-Leser seit 1969.

kann, muß immer nur ein Rechner-Status abgespeichert werden. Das kann in einem eigenen Schreib-/Lese-Speicher oder einem Stapelspeicher erfolgen. Weiterhin besitzt der Ein-/Ausgabe-Bus nur eine Interruptleitung, die die ODER-Verknüpfung aller Interrupt-Anmeldungen über das Ein-/Ausgabe-Interface zum Rechner leitet. Die Verwendung paralleler Interruptleitungen, wie etwa bei der verschachtelten Interruptverarbeitung, würde keinen Schnelligkeitsgewinn bringen. Viele Mikroprozessoren sind für die sequentielle Interruptverarbeitung bereits insofern eingerichtet, als der Interrupt-Eingang nach der Erkennung eines Interrupts automatisch maskiert wird und erst durch einen eigenen Befehl am Ende der ISR wieder aktiviert werden muß. Die sequentielle Interruptverarbeitung ist durch folgende Eigenschaften gekennzeichnet:

- Die Interrupt-Register (IR) bzw. Flipflops, in denen die Interrupt-Anmeldungen gespeichert werden, befinden sich ebenso wie die zugehörigen Interrupt-Maskenregister (IMR) *dezentral* bei den einzelnen Teilprozessen
- Die Abfrage, welcher Teilprozeß den Interrupt generiert hat, ist aufwendig
- Die einzelnen IMRs müssen über jeweils eigene Ein-/Ausgabe-Adressen geladen werden, was mehr Ein-/Ausgabe-Operationen erforderlich macht
- Es sind keine zusätzlichen Bus-Leitungen erforderlich, so daß sich diese Methode für räumlich ausgedehnte Bus-Systeme eignet.

2.1 Abfrage der Interrupts durch Software

Nachdem der Rechner einen Interrupt registriert hat, werden die Interrupt-Register in der Reihenfolge ihrer Priorität durch ein Organisationsprogramm abgefragt *(polling)*, das nach *Bild 4* zu den eigentlichen Bearbeitungsprogrammen bzw. ISRs verzweigt. Ist bereits ein (beliebiges) Bearbeitungsprogramm aktiv, so erfolgt kein weiterer Aufruf des Organisationsprogrammes, da der Interrupt-Eingang des Rechners maskiert ist. Besitzt der Mikroprozessor nur einen internen PC-Stapelspeicher, so erfolgt der Aufruf der einzelnen ISRs zweckmäßig mit Sprungbefehlen anstatt mit Unterprogrammaufrufen, um den PC-Stapelspeicher nicht unnötig zu belasten.

Ein Spezialfall des beschriebenen Verfahrens ist die sogenannte *taktgebergesteuerte Fahnenabfrage*. Dies ist die einfachste und langsamste Möglichkeit des Rechners, auf die Anforderungen des Prozesses zu reagieren. Der einzig mögliche Interrupt kommt in regelmäßigen Abständen von einem Taktgeber, der z. B. vom Takt des Rechners abgeleitet wird. Eine Interruptleitung auf dem Bus ist nicht notwendig. Der Prozeß ist „passiv" und gibt seine Anforderungen durch das Setzen von Fahnen bekannt. Diese werden in der schon beschriebenen Weise von einem Organisationsprogramm (der ISR des Taktgebers) abgefragt.
Die taktgebergesteuerte Fahnenabfrage hat den Vorteil, daß ein eventuelles Bearbeitungsprogramm, das in regelmäßigen Zeitabständen ausgeführt werden muß, in das Organisationsprogramm eingebunden werden kann. Typische Fälle sind z. B. eine Datenübertragung und das Ansteuern einer Anzeigeeinheit im Zeitmultiplexverfahren durch den Mikroprozessor. Der Nachteil dieses Verfahrens ist, daß das Retten und Wiederherstellen des Rechner-Status sowie die Fahnenabfrage auch dann erfolgt, wenn keine Anforderun-

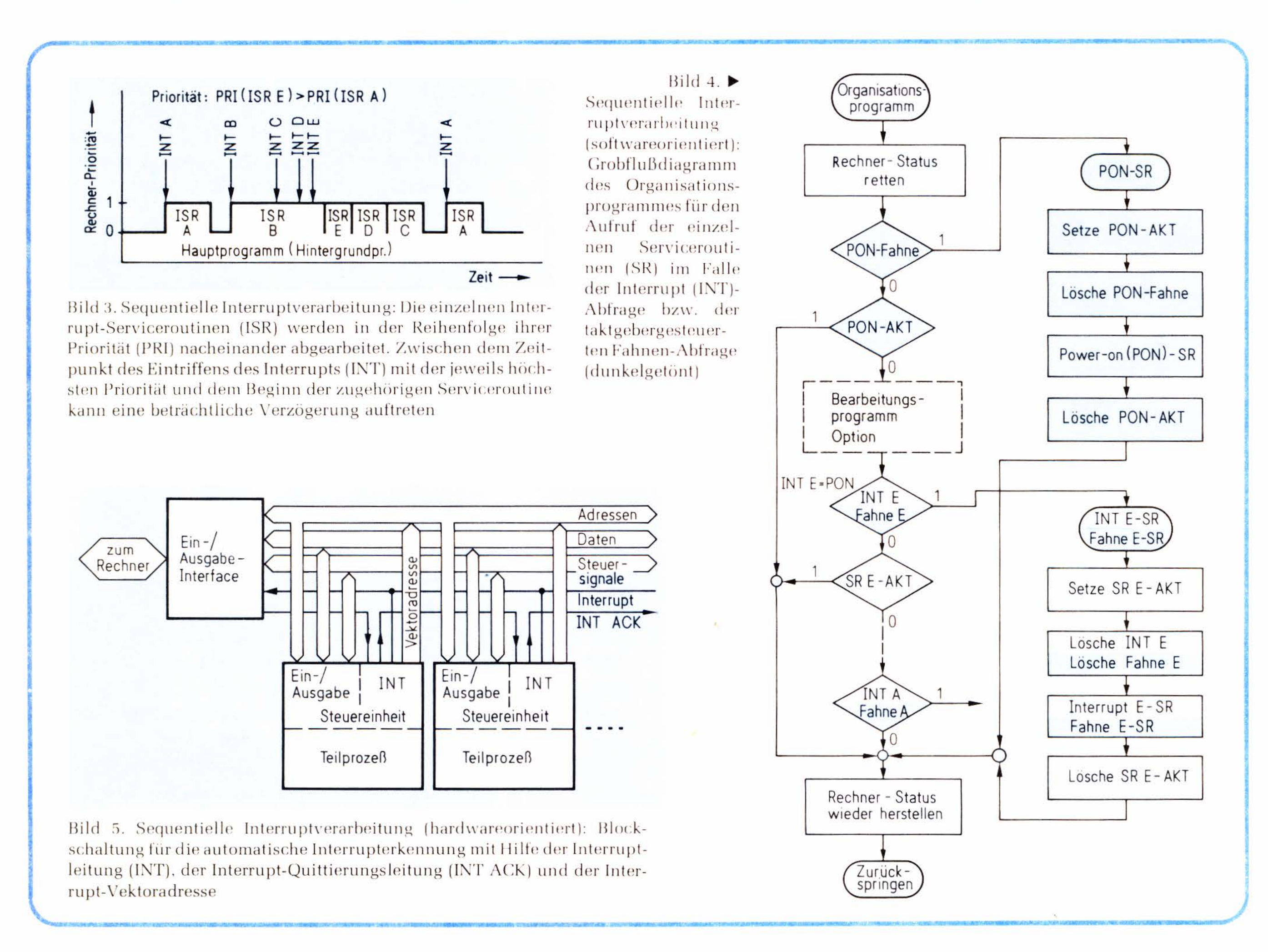


Bild 3. Sequentielle Interruptverarbeitung: Die einzelnen Interrupt-Serviceroutinen (ISR) werden in der Reihenfolge ihrer Priorität (PRI) nacheinander abgearbeitet. Zwischen dem Zeitpunkt des Eintreffens des Interrupts (INT) mit der jeweils höchsten Priorität und dem Beginn der zugehörigen Serviceroutine kann eine beträchtliche Verzögerung auftreten

Bild 4. ▶ Sequentielle Interruptverarbeitung (softwareorientiert): Grobflußdiagramm des Organisationsprogrammes für den Aufruf der einzelnen Serviceroutinen (SR) im Falle der Interrupt (INT)-Abfrage bzw. der taktgebergesteuerten Fahnen-Abfrage (dunkelgetönt)

Bild 5. Sequentielle Interruptverarbeitung (hardwareorientiert): Blockschaltung für die automatische Interrupterkennung mit Hilfe der Interruptleitung (INT), der Interrupt-Quittierungsleitung (INT ACK) und der Interrupt-Vektoradresse

gen vom Prozeß vorliegen. Dadurch wird viel Rechenzeit unnütz verbraucht. Ist die Taktzeit kleiner als die Dauer einer Fahnen-Serviceroutine, so wird das Organisationsprogramm wieder aufgerufen, noch bevor letztere beendet ist. In diesem Fall müssen daher im Gegensatz zu dem in Kapitel 2 Gesagten mehrere Rechner-Statusinformationen auf einem Stapelspeicher abgespeichert werden. Die maximale Reaktionszeit auf die Anforderung mit der jeweils höchsten Priorität ist nun die Taktzeit plus der Dauer der längsten Fahnen-Serviceroutine. Das Organisationsprogramm für die taktgebergesteuerte Fahnenabfrage ist ebenfalls in Bild 4 dargestellt (dunkel getönt). Bis auf die Behandlung der Einschalt- oder power-on-Fahne (PON) ähnelt es weitgehend jenen zur Verarbeitung der Interrupts. Solange die PON-Serviceroutine läuft, darf ein eventuell vorhandenes Bearbeitungsprogramm nicht behandelt werden, da der Prozeß noch nicht initialisiert ist.

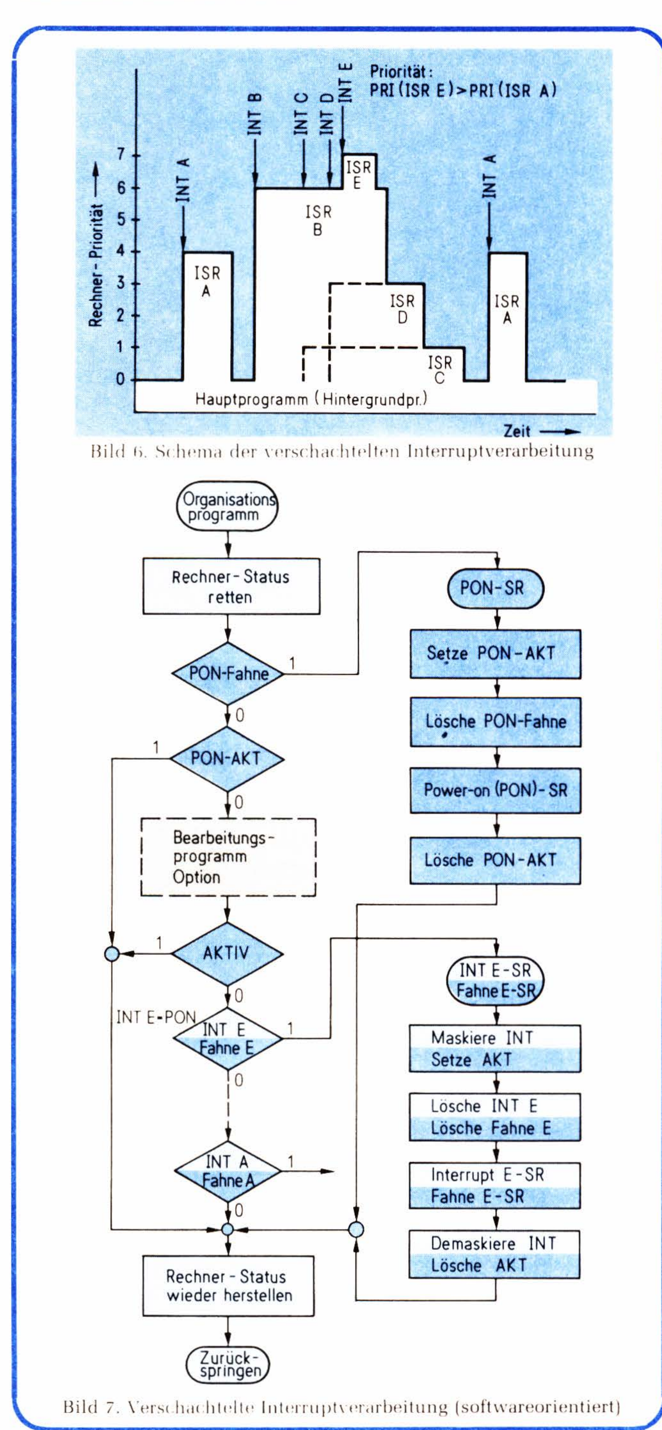


Bild 6. Schema der verschachtelten Interruptverarbeitung

Bild 7. Verschachtelte Interruptverarbeitung (softwareorientiert)

2.2 Automatische Interruptverarbeitung durch Hardware

Dieses Verfahren ist nur dann anwendbar, wenn der Rechner in der Lage ist, sogenannte *Interrupt-Vektoradressen* zu erkennen (*vectored interrupt*). Dies ist bei den meisten Mikroprozessoren der zweiten Generation zumindest in beschränktem Ausmaß möglich (z. B. acht Vektoradressen). Unter einer Interrupt-Vektoradresse versteht man eine der ISR in eindeutiger Weise zugeordnete Speicheradresse, die entweder die Startadresse der ISR selbst ist oder einen Sprung zur Startadresse enthält. Diese Vektoradresse wird während eines Interruptzyklus (wenn der Rechner einen Interrupt registriert hat) über einen eigenen sogenannten Interrupt-Instruktionseingang in Form eines geeigneten Befehles (z. B. JMP INTVEKTADR) eingelesen. Sobald der Rechner einen Interrupt erkennt, gibt er dies dem Ein-/Ausgabe-Interface bekannt. Dieses leitet nun selbständig einen sogenannten Interrupt-Bus-Zyklus ein, der folgenden Ablauf hat (*Bild 5*):

- Alle weiteren Interrupts werden durch das Ein-/Ausgabe-Interface bis zur Beendigung der ISR maskiert
- Das Ein-/Ausgabe-Interface sendet das Signal „Interrupt quittiert" (*interrupt acknowledged* = INT ACK) aus, das seriell durch alle Teilprozesse durchgeleitet wird (*daisy-chain*), bis es zur ersten Interrupt-Steuereinheit kommt, die einen Interrupt generiert hat
- Diese Interrupt-Steuereinheit blockiert INT ACK, nimmt den Interrupt zurück, legt die Interrupt-Vektoradresse des Teilprozesses an die Adreßleitungen des Ein-/Ausgabe-Bus und meldet dies dem Ein-/Ausgabe-Interface durch ein Steuersignal R. Das Signal R erscheint in Bild 5 nicht explizit, da es ebenso zur Rückmeldung bei der Übertragung von Daten dient und zur generellen Bus-Steuerung gehört
- Das Ein-/Ausgabe-Interface übergibt die Interrupt-Vektoradresse an den Rechner, der das laufende Programm unterbricht und zur angegebenen Adresse springt
- Nun schließt das Ein-/Ausgabe-Interface den Interrupt-Bus-Zyklus ab, indem es INT ACK zurücksetzt, worauf die Interrupt-Steuereinheit ihrerseits die Interrupt-Vektoradresse und das Steuersignal R zurücknimmt.

Der beschriebene Ablauf ist asynchron, weshalb er nur für asynchrone Bus-Systeme eingesetzt wird. Diese sogenannte *Daisy-chain*-Methode errichtet entlang des Ein-/Ausgabe-Bus automatisch eine Prioritätsordnung, bei der jener Teilprozeß, der dem Ein-/Ausgabe-Interface am nächsten liegt, die höchste Priorität hat. Die Anordnung der Teilprozesse in der Reihenfolge ihrer Priorität ist im allgemeinen schwierig. Wie bereits einleitend erwähnt, eignet sich die sequentielle Interruptverarbeitung daher nur für relativ gleichartige Teilprozesse.

3 Verschachtelte Interruptverarbeitung

Diese Methode besitzt die kürzeste Reaktionszeit. Wie *Bild 6* zeigt, kann eine ISR jederzeit von einer anderen ISR mit höherer Priorität unterbrochen werden, während die Interrupts mit niedrigerer Priorität warten müssen (*multilevel interrupt*). Da sich nun zu jedem Zeitpunkt mehrere ISRs gegenseitig unterbrechen können, ist zum Abspeichern der verschiedenen Rechner-Statusinformationen ein Stapelspeicher erforderlich (*nesting*). Das Hauptprogramm läuft wieder in einer Endlosschleife im Hintergrund. Die verschachtelte Interruptverarbeitung wird immer dann angewendet, wenn die einzelnen Teilprozesse stark unterschiedliche Prioritäten haben und die Reaktionszeiten klein sein müssen. Dies kann bereits bei sehr einfachen Prozessen der Fall sein: Die Überschreitung eines wichtigen Grenzwertes muß z. B. eine Teletype-Ausgabe unterbrechen können.

Die IRs und IMRs können sich entweder *dezentral* bei den einzelnen Teilprozessen (wie in Kapitel 2 beschrieben) oder *zentral* im Ein-/Ausgabe-Interface befinden. Welche Lösung gewählt wird, hängt hauptsächlich von der räumlichen Ausdehnung des Ein-/Ausgabe-Bus ab. Die zentrale Lösung hat folgende Eigenschaften:

- Die einzelnen Teilprozesse sind über getrennte Interruptleitungen mit dem IR und IMR im Ein-/Ausgabe-Interface verbunden
- Die Feststellung des Interrupts mit der höchsten Priorität ist einfach
- IR und IMR können über je eine Ein-/Ausgabe-Adresse abgefragt bzw. geladen werden
- Sie ist teuer durch die vielen parallelen Interruptleitungen
- Sie ist nur für relativ kurze Bus-Systeme geeignet, wie sie z. B. in Meß- und Steuergeräten auftreten.

3.1 Abfrage der Interrupts durch Software

In Analogie zu Kapitel 2.1 wird die Abfrage *(polling)* entweder durch die ODER-Verknüpfung aller Interrupts oder durch einen Taktgeber gestartet. Die Reaktionszeit ist im einen Fall durch die Länge der Abfragesequenz gegeben, im anderen Fall verlängert sich die maximale Reaktionszeit um die Taktzeit. *Bild 7* zeigt das Organisationsprogramm für die beiden Fälle der Interruptabfrage bzw. der taktgebergesteuerten Fahnenabfrage (dunkelgetönt). Das Organisationsprogramm ist so aufgebaut, daß jede Serviceroutine durch Setzen der zugehörigen AKTIV-Fahne (AKT) alle Serviceroutinen niedrigerer Priorität blockiert. Jedes Organisationsprogramm wird erst dann abgeschlossen, wenn die aufgerufene Serviceroutine abgearbeitet ist. Sind mehrere Serviceroutinen in Bearbeitung, so wird der Stapelspeicher entsprechend stark belastet. Besitzt der verwendete Rechner nur einen internen PC-Stapelspeicher, so müssen die einzelnen Serviceroutinen unbedingt mit Sprungbefehlen aufgerufen werden, da Unterprogrammaufrufe den PC-Stapelspeicher nur unnötig belasten würden.

3.2 Automatische Interruptverarbeitung durch Hardware

Der Rechner muß auch hier unbedingt die Möglichkeit der Eingabe von Interrupt-Vektoradressen besitzen. Befinden sich die IRs und IMRs dezentral beim Prozeß, so entspricht der Ablauf der Interruptverarbeitung im wesentlichen dem unter 2.2 beschriebenen. Zusätzlich muß jedoch jede ISR alle Interrupts niedrigerer Priorität zu Beginn der Serviceroutine maskieren und am Ende wieder demaskieren. Bei zentraler Anordnung dieser Register im Ein-/Ausgabe-Interface ist der Vorgang noch einfacher, da kein Interrupt-Bus-Zyklus notwendig ist. Die Reaktionszeit ist in beiden Fällen im wesentlichen durch die Befehlsausführungszeit begrenzt, da der Rechner einen Interrupt nur nach Ausführung der jeweiligen Instruktion erkennt.

Bild 8 zeigt die Blockschaltung für die automatische Verarbeitung von acht Interrupts unterschiedlicher Priorität. Dieses Schema ist selbstverständlich auf beliebig viele Interrupts erweiterbar. Das zentrale IR wird durch JK-Flipflops gebildet, während das zentrale IMR aus D-Flipflops besteht. Über einen Prioritäts-Codierer gelangt der angemeldete und nicht maskierte Interrupt höchster Priorität AP_{max} zu einem Komparator. Dort wird er mit der in einem eigenen Prioritäts-Stapelspeicher gespeicherten, gerade vom Mikroprozessor bearbeiteten Priorität BP verglichen. Nur für $AP_{max} > BP$ erfolgt die Weiterleitung des Interrupts an den Rechner. Mit dem Interrupt-Quittierungssignal INT ACK wird AP_{max} auf dem Prioritäts-Stapelspeicher abgespeichert. Dadurch wird $BP = AP_{max}$ und der Interrupt zum Rechner wird zurückgesetzt. Gleichzeitig steht die neue Interrupt-Vektoradresse, die der Priorität BP entspricht, zur Verfügung. Die Löschung der nun bearbeiteten Interrupt-Anmeldung im IR erfolgt ebenfalls mit INT ACK. Am Ende der Interrupt-Serviceroutine wird der Prioritäts-Stapelspeicher durch das Signal „Ende der ISR“ (END ISR) wieder zurückgesetzt, so daß die Priorität der zuletzt unterbrochenen Routine wieder an seinem Ausgang erscheint. Das Signal END ISR kann entweder durch Decodierung des Interrupt-Rücksprungbefehls *(return)* gewonnen werden, oder es wird durch einen Ausgabebefehl unmittelbar vor der Rücksprung-Instruktion erzeugt. Der Prioritäts-Stapelspeicher enthält also zu jedem Zeitpunkt die Prioritäten der gerade vom Rechner bearbeiteten ISRs in der Reihenfolge ihrer Priorität. Alle Interrupt-Anmeldungen, deren Behandlung noch nicht begonnen wurde, werden im IR gespeichert.

Die hauptsächlichen Möglichkeiten der Interruptverarbeitung sind in *Bild 9* noch einmal zusammengefaßt. Die bei größeren Systemen oft verwendeten Mischformen zwischen zentralem bzw. dezentralem IR einerseits, und sequentieller

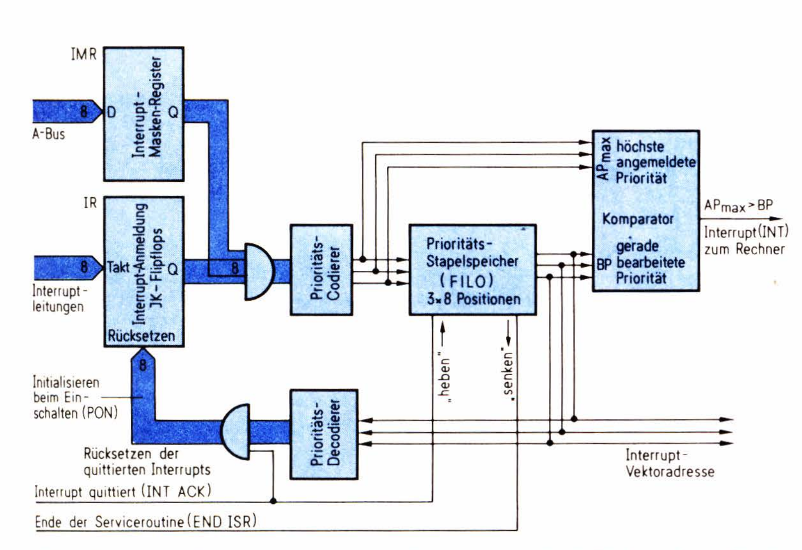


Bild 8. Verschachtelte Interruptverarbeitung (hardwareorientiert): Blockschaltung für die automatische Erkennung von acht Interrupts (erweiterbar) unterschiedlicher Priorität mit Hilfe eines Prioritäts-Stapelspeichers

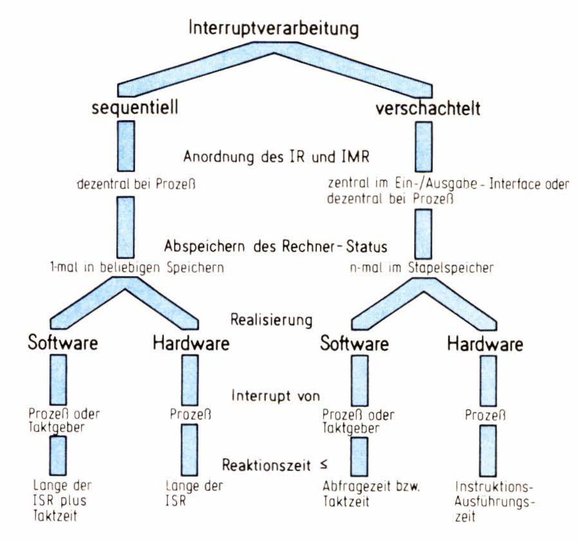


Bild 9. Interruptverarbeitung bei Prozeßsteuerungen: grundsätzliche Möglichkeiten und deren wichtigste Eigenschaften

bzw. verschachtelter Interruptverarbeitung andererseits, sind für Mikroprozessor-Systeme meist zu aufwendig. Hingegen gibt es zwischen den hier eingeführten Begriffen der software- und hardwareorientierten Interruptverarbeitung in der Praxis fließende Übergänge, die sich oft nicht exakt in dieses Schema einordnen lassen. Der zur Implementierung einer bestimmten Interruptverarbeitung notwendige Hardware-Aufwand steigt etwa umgekehrt proportional zur Interrupt-Reaktionszeit. Aufgrund der Mikroprozessor-Philosophie „Ersatz von Hardware durch Software" ist, soweit die freie Rechenzeit und die benötigten Reaktionszeiten dies zulassen, eine softwareorientierte Lösung einer hardwareorientierten vorzuziehen. Aus diesem Grund sind auch die von den Mikroprozessor-Herstellern angebotenen Bausteine und Techniken meist für eine solche Interruptverarbeitung ausgelegt.

Literatur

1 *Blomeyer-Bartenstein H.P.*: Mikroprozessoren und Mikrocomputer. Fachbuch der Siemens AG. München (1975).

2 Microprocessors and Microcomputers. A Comprehensive Technical Introduction (Course Notes). Integrated Computer Systems. Culver City. California (1975).

3 *Hammer, Benes* und *Pulker*: A Digital Quartz Deposition Monitor using a Microprocessor. Thin Solid Films 1976, 32, S. 47...50.

4 *Benes E.* und *Hammer D.*: Einfache Schaltung zur Implementierung beliebig vieler Interrupt-Ebenen bei Mikroprozessoren. Berichte der Informationstagung Mikroelektronik 75, Wien (1975).

5 *Benes E.* und *Hammer D.*: Ein Mikroprozessor-gesteuertes Meßgerät. Berichte der Informationstagung Mikroelektronik 75, Wien (1975).

6 *Nicoud J.D.*: Interfacing. Proceedings of the International Symposium and Course on Mini- und Microcomputers and their Applications, Zürich (1975).

7 *Glantschnig F.*: Interfacing with Minicomputers. Proceedings of the International Symposium and Course on Mini- and Microcomputers and their Applications, Zürich (1975).

8 *Gößler R.* und *Schwerte J.*: Auf dem Weg zur Mikroprozessor-Praxis. ELEKTRONIK 1976, H. 3, S. 74...85.

9 *Siewiorek D.P.*: Process Coordination in Multimicroprocessor Systems. Proceedings of the Euromicro Workshop on Micro-Architecture of Computer Systems, Nice (1975).

Analog-Ein-/Ausgabesysteme für Mikrocomputer

In enger Zusammenarbeit mit der Firma Intel hat die Firma Burr-Brown für den Mikrocomputer Intellec 8 zwei Steckkarten entwickelt. Die eine digitalisiert analoge Eingangsspannungen computergerecht, während die andere das Ausgangssignal des Computers wieder in eine analoge Spannung umwandelt. Beide Platinen passen in jeden freien Speicher- oder Ein-/Ausgabestecker des Intellec 8. Die analogen Ein- und Ausgangssignale werden durch Flachbandkabel von einer zusätzlichen Steckerbox zu den entsprechenden Platinen geführt. Die Eingabeeinheit kann entweder 8 Differenz- (MP 8208) oder 16 massebezogene Signale (MP8216) in einem Spannungsbereich von ± 10 V verarbeiten: Die Auflösung beträgt dabei 12 bit, der Fehler 0,025 % vom jeweiligen Skalenendwert bei einer Umsetzzeit von 20 µs. Als Grundbaustein hat die Firma das bereits entwickelte eigene Datenerfassungssystem SDM 850/851 verwendet, das Eingangsmultiplexer, Instrumentenverstärker, Abtast- und Halteschaltung, 12-bit-A/D-Umsetzer und die gesamte Steuerlogik enthält. Hinzugefügt wurden ein Gleichspannungswandler – der Intellec 8 liefert 5 V, die Steckkarte benötigt ± 15 V – und einige ICs zur Adressendecodierung und zur Anpassung an den Computer.

Die Ausgabeeinheit setzt die Ausgangssignale des Computers mit vier 12-bit-D/A-Umsetzern in analoge Signale um. Bei einem maximalen Fehler von 0,0125 % des jeweiligen Endwerts wird die Einschwingzeit mit 10 µs angegeben. Herzstück der Einheit (MT 8104) sind die vier D/A-Umsetzer, die wiederum über einen Gleichspannungswandler vom Mikrocomputer gespeist werden. Die Signaleingänge sind zweifach gepuffert, so daß ein komplettes 12-bit-Wort mit einem Strobe-Befehl in das Eingangsregister geschrieben werden kann.

Die Programmierung wird sehr einfach, da die Ein-/Ausgabe-Steckkarten wie Speicherplätze behandelt werden. Die Adresse einer Steckkarte kann nachträglich auf jeden beliebigen Wert geändert werden.

□ Vertrieb: Burr-Brown GmbH, Kohlhammerstr. 22-44, 7022 Leinfelden bei Stuttgart, Tel. (07 11) 75 30 21.

A/D-Umsetzer für Mikroprozessor-Peripherie

Speziell zum Anschluß an ihren 12-bit-Mikroprozessor IM 6100 hat die Firma Intersil die Bausteine 8052 und 7101 vorgesehen, mit denen sich ein vollständiger A/D-Umsetzer aufbauen läßt. Auf dem Chip 8052 sind die analogen Blöcke Komparator, Integrator und Referenzspannung untergebracht. Der Baustein 7101 enthält die Steuerlogik, einen Drei-Dekaden-Zähler und die Ausgangsspeicher. Der Aufbau besitzt einen automatischen Nullpunktabgleich, eine interne Takterzeugung und eine automatische Polaritätsanzeige. Für den Anschluß an den Mikroprozesor sind separate Steuereingänge zur Synchronisation vorgesehen. Selbstverständlich sind die Bausteine auch zum Aufbau eines Digitalvoltmeter mit $3^1/_2$ Stellen geeignet, wenn die entsprechenden Decodierer/Treiber und Anzeigen angeschlossen werden. Es ist sichergestellt, daß bei fehlender Eingangsspannung die Anzeige Null erscheint.

□ Vertrieb: Spezial-Electronic KG, Ortlerstraße 8, 8000 München 70, Tel. (0 89) 7 60 00 31.



Monolithischer D/A-Umsetzer für Mikroprozessoren

Der 10-bit-D/A-Umsetzer AD 7522 der Firma Analog Devices ist speziell für den Anschluß an Mikroprozessoren ausgelegt. Er besitzt dazu ein Eingangsregister, das sowohl seriell als auch parallel geladen werden kann, um auch mit Systemen geringerer Wortlänge zusammenarbeiten zu können. Der Temperaturkoeffizient der Nichtlinearität beträgt nur 2 ppm/°C, bezogen auf Vollausschlag. Durch die extern zugeführte Referenzspannung besteht die Möglichkeit, in allen vier Quadranten zu multiplizieren. In Verbindung mit CMOS-Systemen genügt eine einfache Versorgungsspannung von 15 V, bei TTL-Ansteuerung sind zusätzlich noch 5 V erforderlich. In Verbindung mit dem früher bereits vorgestellten 10-bit-A/D-Umsetzer AD 7570 bietet diese Firma nun ein vollständiges Programm von Interface-Bausteinen speziell für Mikroprozessor-Anwendungen an.

□ Vertrieb: Analog Devices GmbH, Mozartstraße 17, 8000 München 2, Tel. (0 89) 53 03 19.

Günther Blaseio

Mikrocomputer zum Selbstbau

Nicht selten hört man die Meinung, die eigentlichen Probleme, die bei der Entwicklung von Mikroprozessor-Systemen auftreten, würden von der Fachpresse – auch von der ELEKTRONIK – verharmlost: Um mit diesen „Wunderbausteinen" überhaupt arbeiten zu können, müßten die Entwickler in teuren Seminaren erst geschult werden, und es seien Entwicklungssysteme und Meßgeräte notwendig, die letztlich doch nur für größere Firmen erschwinglich sind. Symptomatisch für die allzu rosige Darstellungsweise sei die Tatsache, daß sogar schon Bastler vom Bau eines eigenen Computers träumen.

Der folgende Beitrag beschreibt einen Mikrocomputer, der von einem Amateurelektroniker gebaut wurde. Die Materialkosten lagen unter 2000 DM. An Hilfsmitteln standen ein Oszillograf (Preis ca. 800 DM) und ein Vielfach-Meßgerät zur Verfügung. Als Peripherie-Geräte dienen ein Kassetten-Recorder und ein Fernsehgerät. Der Beitrag ist keine Bauanleitung, kann aber als Arbeitsunterlage für ähnliche Projekte benutzt werden.

Das Gerät *(Bild 1)* stellt einen vollwertigen Computer dar, der im Hexadezimalcode über eine eingebaute Tastatur programmiert wird. Als frei verfügbarer Arbeitsspeicher dienen vier RAMs, die insgesamt eine Kapazität von 512 8-bit-Worten haben. Ohne viel Aufwand könnten Peripherie-Geräte, wie eine Floppy-Disk-Einheit oder ein 8-Kanal-Fernschreiber, Meßinstrumente, AD- und DA-Umsetzer angeschlossen werden. Die Zentraleinheit bildet der Mikroprozessor MC 6800 (Motorola), eines der leistungsstärksten Modelle, das gegenwärtig auf dem Markt ist. Für seine Verwendung waren mehrere Gründe ausschlaggebend:

- Er ist außerordentlich bequem zu handhaben, so wird z. B. bei einer Programmunterbrechung *(Interrupt)* der Inhalt sämtlicher Register ohne einen zusätzlichen Befehl im Stapelspeicher *(Stack)* abgelegt. Ähnlich einfach ist das Zurückholen der Daten, nachdem das Interrupt-Unterprogramm abgearbeitet ist.
- Die zugehörigen RAMs sind wortorganisiert (8-bit-weise), d. h. der Arbeitsspeicher kann in kleinen Schritten erweitert werden (durch Hinzufügen eines einzigen Bausteins), im Gegensatz zu bitorganisierten RAMs, bei denen man mindestens acht Bausteine für eine Speichererweiterung benötigt.
- Das System benötigt nur eine Betriebsspannung von 5 V.
- Der wichtigste Grund aber war, daß Motorola ein ROM (MCM 6830-L7) liefert, das ein mit „MIKBUG" bezeichnetes Programm [9] enthält. Dieses Programm setzt sich zusammen aus einem asynchronen Kommunikationsprogramm, aus einem Lade- und einem Diagnostikprogramm. Es ermöglicht beispielsweise, ein Programm in den Arbeitsspeicher einzulesen, es zu ändern oder es ausführen zu lassen. Ein Schalter- und Lämpchenfeld am Gehäuse wird überflüssig, da ein bitweises Urladen nicht mehr nötig ist.

Die Tastatur und die Ansteuereinheit für das Fernsehgerät wurden von der amerikanischen Firma Southwest Technical Products (219 W. Rhapsody, San Antonio, Texas 78 216) bezogen. Gegenüber deutschen Produkten ist die Tastatur wesentlich billiger, der Umbau des Ansteuer-Bausatzes auf die europäische Fernsehnorm (625 Zeilen statt 525, 50 Bilder/s statt 60) erwies sich allerdings als aufwendiger als zunächst angenommen. Auf die Beschreibung dieses Schaltungsteils wurde an dieser Stelle verzichtet, da es unter Umständen günstiger ist, ihn gleich für die europäische Norm zu konzipieren. Eine ausführliche Behandlung dieses Themas wird die ELEKTRONIK in nächster Zeit bringen.

1 Aufbau und Wirkungsweise

Bild 2 zeigt die Blockschaltung des Gerätes. Über eine Sammelleitung, die aus einem 16-bit-Adreßbus, einem 8-bit-Datenbus und einem Steuerbus besteht, sind alle Bausteine miteinander verbunden. Die Steuerung übernimmt der Mikroprozessor. Ein zweiphasiges, nicht überlappendes Taktsignal von 1 MHz wird vom Taktgeber erzeugt. Beim Betätigen der Rücksetztaste löscht ein Flipflop alle internen Register der Zentraleinheit (MPU) und der Peripherie-Interface-Adapter (PIA, ACIA). Eine weitere Taste löst über ein Flipflop einen nicht maskierten Interrupt aus. Besonders nützlich für das Testen von Programmen ist die Einzelbefehlssteuerung, mit der man Befehl für Befehl schrittweise abarbeiten kann.

Der gesamte Speicher setzt sich zusammen aus einem ROM, das das schon erwähnte MIKBUG-Programm enthält, und fünf RAMs, von denen vier frei zur Verfügung stehen und eines vom MIKBUG-Programm in Anspruch genommen wird. Die Verbindung zur Ansteuereinheit für das Fernseh-

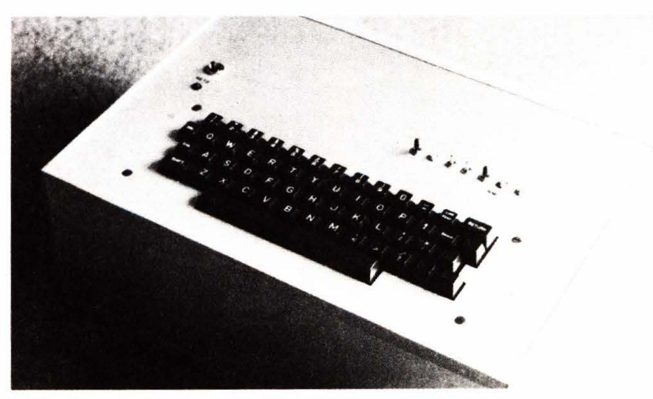


Bild 1. Ansicht des Gerätes

gerät und zur Tastatur übernimmt ein PIA. Vom Programm gesteuert werden die Zeichen im ASCII-Code asynchron aus- und eingelesen, dabei wird die Parallel-Serien-Wandlung beim Auslesen bzw. die Serien-Parallel-Wandlung in umgekehrter Richtung vorgenommen. Aufgrund der bitseriellen Datenübertragung bot sich die Verwendung eines Modems (Modulator/Demodulator), der ebenfalls als Baustein erhältlich ist, an, dadurch kann ein normaler Kassetten-Recorder als Speicher eingesetzt werden, und ein Lochstreifengerät wird überflüssig. Eine Möglichkeit zur Langzeitspeicherung muß unbedingt vorhanden sein, weil die RAMs bei einer Unterbrechung der Betriebsspannung ihre Information verlieren. In der Praxis schreibt man ein Programm über die Tastatur in den Arbeitsspeicher, wird es nicht mehr gebraucht, speichert man es auf einer Kassette ab und kann es dann innerhalb kürzester Zeit immer wieder einlesen.

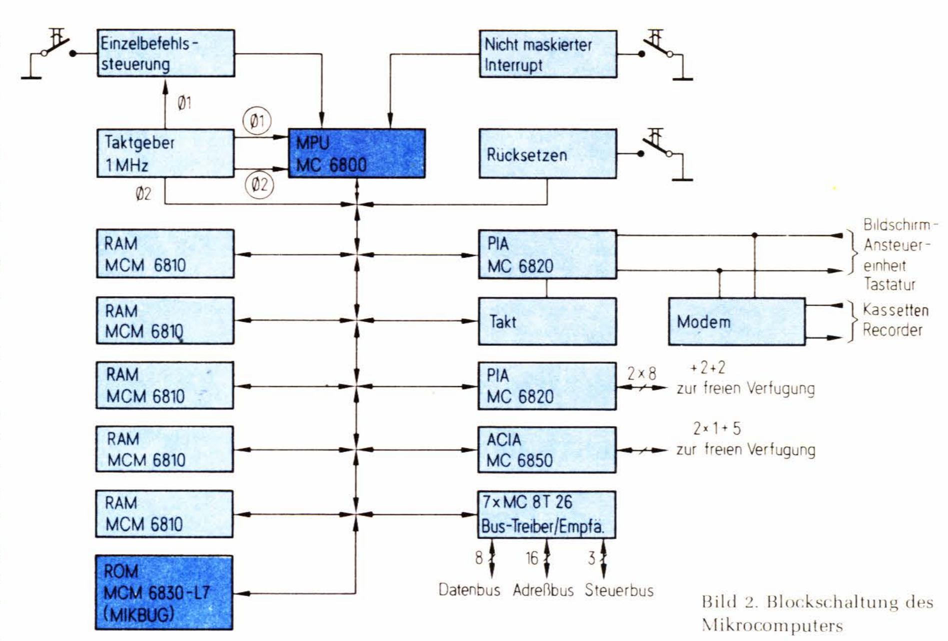


Bild 2. Blockschaltung des Mikrocomputers

Zum Anschluß beliebiger externer Geräte an den Rechner sind ein PIA *(Peripheral Interface Adapter)* und ein ACIA *(Asynchronous Communications Interface Adapter)* vorgesehen. Ihre Anschlüsse sind direkt mit einem Stecker verbunden und so von außen zugänglich [1]. Da die Busleitungen nicht unbegrenzt belastbar sind, wurden sie mit Bus-Treiber/Empfängern ausgestattet, um den Anschluß weiterer RAMs, PIAs usw. zu ermöglichen.

2 Ausführungsdetails

Bild 3 zeigt die Gesamtschaltung des Mikrocomputers.

2.1 Bus- und Steuerleitungen der MPU

Der Mikroprozessor ist über 16 Anschlüsse mit dem Adreßbus und über 8 Anschlüsse mit dem Datenbus verbunden. Die Lese-/Schreib-Leitung (*Read/Write* = R/$\overline{W}$), eine Steuerleitung, sagt den Speichern und Ein-/Ausgabe-Einheiten, in welcher Richtung der Datenverkehr stattfinden soll. Liegt am Eingang DBE *(Data Bus Enable)* „0", dann ist der Datenbus des Mikroprozessors desaktiviert. Dies ist nur interessant, wenn man die Möglichkeit des direkten Speicherzugriffs *(Direct Memory Access = DMA)* ausnutzen will, was man aber nur bei sehr schnellen Anwendungen macht. Wenn das, wie in diesem Fall, nicht vorgesehen ist, wird DBE mit dem Taktsignal Φ 2 synchronisiert. Ähnlich verhält es sich mit dem Anschluß TSC *(Three State Control)*, der die Adreß- und Read-/Write-Leitungen desaktivieren kann; er wird an Masse gelegt. Der Ausgang BA *(Bus Available)* zeigt an, ob sich der Mikroprozessor im Warte- (Wait-State) oder im Haltezustand (Halt-State) befindet und ob deshalb die Adreßleitungen (z. B. bei DMA) zugänglich sind; er wird bei dieser Anwendung nicht benötigt.

2.2 Interruptleitungen

Für einen Hardware-Interrupt gibt es zwei Möglichkeiten: Bei einem *nicht maskierten Interrupt* – er wird durch logisch „0" am Anschluß $\overline{NMI}$ ausgelöst – arbeitet der Rechner sofort nach Beendigung des gerade laufenden Befehls das entsprechende Interruptprogramm ab. Der Inhalt der Register wird im Stapelspeicher *(Stack)* festgehalten und nach dem Zurückspringen ins Hauptprogramm wieder in die Register geladen. Der Eingang $\overline{NMI}$ ist über ein Flipflop (zur Kontaktentprellung) mit einem Taster am Gehäuse verbunden, so daß von außen das gerade laufende Programm jederzeit unterbrochen werden kann. In der Praxis kann man damit beispielsweise durch Tastendruck aus dem MIKBUG-Programm herausspringen, um ein Anwenderprogramm laufen zu lassen.

Bei einer Interruptanfrage *(Interrupt Request)*, die durch logisch „0" am Eingang $\overline{IRQ}$ erfolgt, wird erst dann eine Unterbrechung ausgelöst, wenn ein bestimmtes Bit *(Interrupt Mask Bit)* im Zustandsregister *(Condition Code Register)* der MPU nicht gesetzt ist. Man kann den Interrupt also von einer Bedingung abhängig machen, die über das Programm gestellt wird. Der $\overline{IRQ}$-Eingang ist über eine verdrahtete ODER-Verknüpfung *(Wired-OR)* mit den PIAs und dem ACIA verbunden. Hat einer der Bausteine einen Interrupt angemeldet, werden alle der Reihe nach adressiert. Am richtigen Baustein stellt der Mikroprozessor eine Veränderung des Steuerwortes fest, das in einem speziellen Zustandsregister steht, und weiß dadurch, daß der Interrupt von hier kommt. Der Lesevorgang setzt das betreffende Register in den ursprünglichen Zustand zurück.

2.3 Rücksetzleitungen

Über ein Flipflop (zur Kontaktprellung) ist ein Taster mit den Rücksetzeingängen der MPU, der PIAs und des ACIA verbunden. Wird er betätigt, spricht der Rechner die beiden höchsten Adressen des MIKBUG-ROMs an. Damit wird die Steuerung des Mikroprozessors vom MIKBUG-Programm übernommen und man kann z. B. Programme einlesen, auslesen oder neu erstellen. Mit Hilfe der Rücksetztaste kann man also jederzeit aus einem Anwenderprogramm in das MIKBUG-Programm springen.

2.4 Taktgeber

Der Taktgeber, der den Applikationsberichten für das Mikroprozessorsystem M 6800 [8] fast unverändert entnommen wurde, liefert ein nichtüberlappendes, zweiphasiges Taktsignal von 1 MHz an die MPU. Um die geforderten Logik-Po-

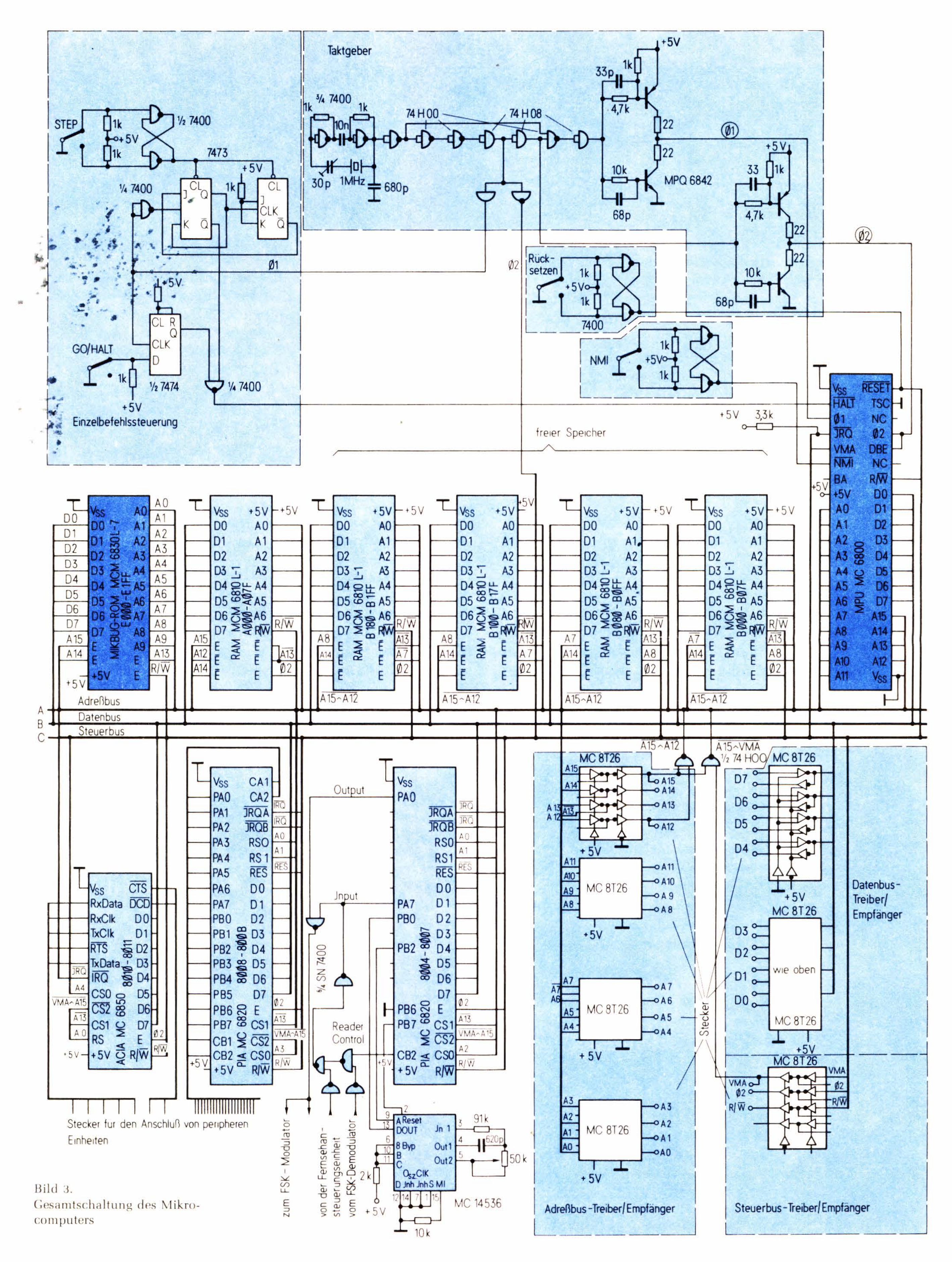


Bild 3.
Gesamtschaltung des Mikrocomputers

tentiale von 0,3 V und 4,7 V zu erreichen, wurden die Treiber aus diskreten Bauelementen aufgebaut. Die vier benötigten Transistoren sind in der integrierten Schaltung MPQ 6842 enthalten, dadurch wird eine gute Symmetrie gewährleistet; die Ansteuerung übernehmen die Gatter 74 H 00 und 74 H 08. Ihre Verschaltung, die die Verzögerungszeiten der Gatter ausnützt, verhindert, daß sich die Taktsignale Φ 1 und Φ 2 überlappen. Ein Quarzoszillator sorgt für eine hohe Frequenzkonstanz, die zwar vom Mikroprozessor nicht gefordert wird, sich aber beim Programmie-

ren als Vorteil erweist, da die angegebenen Befehlszykluszeiten die Taktzeit von 1 µs zugrunde legen und so die Laufzeit eines Programms bequem berechnet werden kann. Wie aus der Schaltung hervorgeht, liefert der Taktgeber Φ 2 auch an den Steuerbus und Φ 1 an die Einzelbefehlssteuerung (siehe auch S. 71).

2.5 *Einzelbefehlssteuerung*

Wegen der dynamischen Register der MPU muß die Taktfrequenz zwischen 0,1 und 1 MHz liegen. Eine schrittweise Befehlsausführung ist durch eine besondere Schaltung aber trotzdem möglich. Man benutzt dazu den $\overline{\text{HALT}}$-Anschluß des Mikroprozessors: Legt man daran „0"-Potential, so wird nur noch der gerade laufende Befehl ausgeführt. Bei entsprechender Stellung des Schalters „GO/HALT" liegt an $\overline{\text{HALT}}$ ständig „0", und man kann mit dem Taster „STEP" einen kurzen positiven Impuls auslösen, der – synchronisiert mit Φ 1 – das Abarbeiten genau eines Befehls zuläßt.

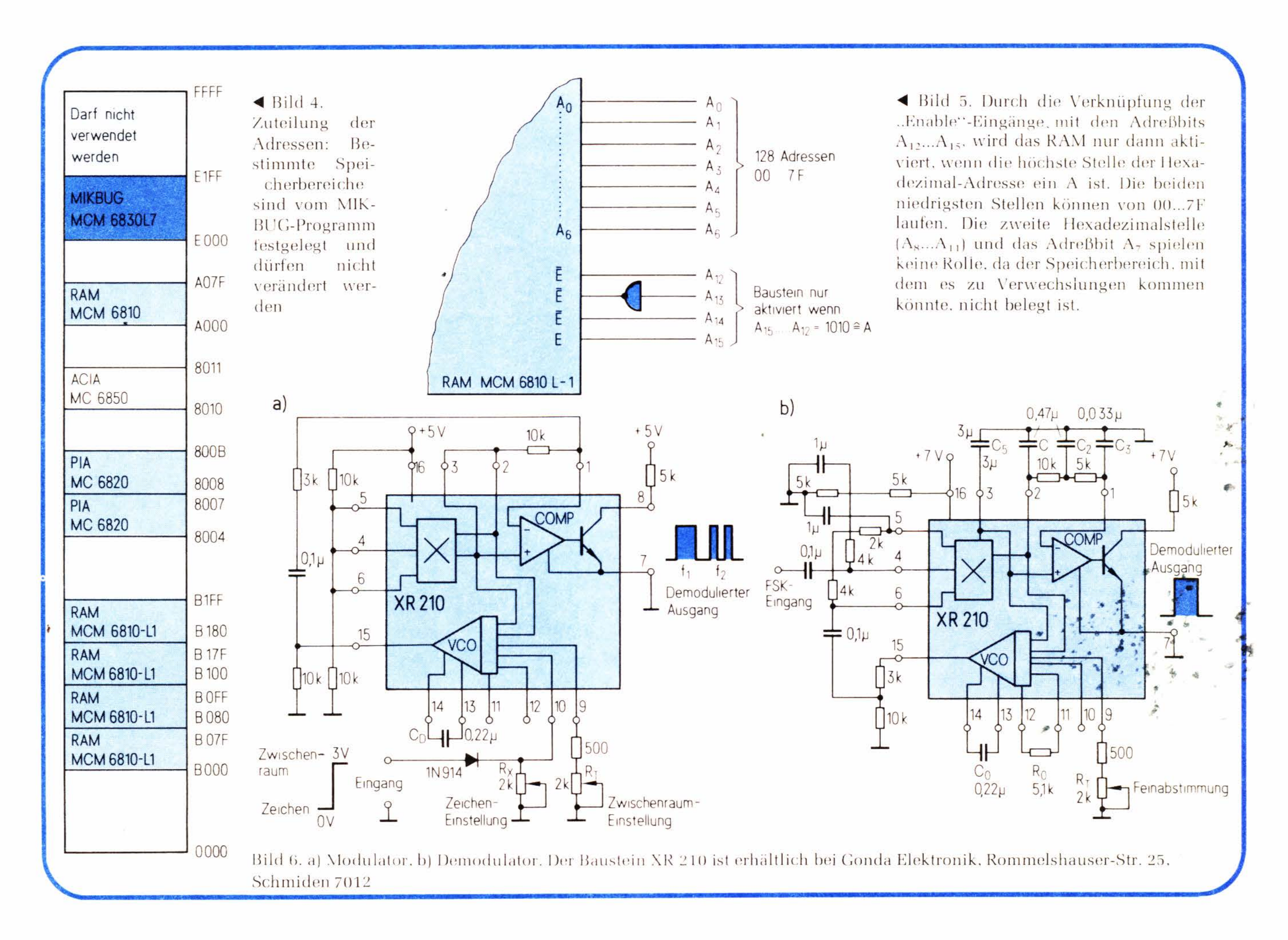
2.6 *Zuteilung von Adressen durch „Enable"-Leitungen*

Durch das MIKBUG-Programm ist festgelegt, welchen Adressen verschiedene Bausteine zugeordnet sind *(Bild 4)*. So muß das ROM so in das System eingefügt werden, daß es auf die Adressen E000...E1FF antwortet, zugleich müssen die beiden höchsten Adressen auch von FFFE und FFFF angesprochen werden (das ist für einen definierten Anfangszustand beim Rücksetzen notwendig). Das RAM, das von der MIKBUG-Firmware als Stapelspeicher verwendet wird, muß auf die Adressen A000...A07F ansprechen, der PIA für die Ansteuerung des Sichtgerätes hört auf die Adressen 8004...8007 und der restliche PIA sowie der ACIA werden mit 8008...800B bzw. 8010...8011 adressiert. Die Adreßdecodierung erreicht man durch eine Verschaltung bestimmter Adreßleitungen mit den „Enable"-Leitungen des jeweiligen Bausteins, wie es in *Bild* 5 am Beispiel des „MIKBUG-RAMs" dargestellt ist (gewünschter Adreßraum: A000....A07F). In diesem Fall werden die 128 Speicherplätze von den Bits A_0...A_6 des Adreßbus angesprochen (höchste Adresse: dual 111 1111 entspricht hexadezimal 7F). Die erste Hexadezimalstelle, die A lauten muß, wird dadurch gewonnen, daß man A_{12}...A_{15} so an die „Enable"-Leitungen legt, daß der Baustein nur dann aktiviert wird, wenn die vier höchstwertigen Bits der Adresse in der Konfiguration 1010 (entspricht hexadezimal A) vorliegen. Die zweite Hexadezimalstelle wird in diesem Fall nicht decodiert, da die Adressen, auf die das RAM ebenfalls reagiert, nicht verwendet werden.

Als Arbeits- und Programmspeicher dienen vier RAMs, denen die Adressen B000...B1FF zugewiesen wurden. Dies hat keinen besonderen Grund, es wurde lediglich beabsichtigt, die Adressen ab 0000 für einen größeren externen Speicher freizuhalten. Die zum Decodieren zusätzlich benötigten logischen Verknüpfungen wie $A_{15} \wedge A_{12}$ werden mit NAND-Gattern (74H00) und Treibern (MC 8T 26) erzeugt.

2.7 *PIAs und ACIA*

Der programmierbare Zeitgeber MC 14536 legt die Schrittgeschwindigkeit der Datenübertragung zur und von der Ansteuereinheit für das Fernsehgerät mit 300 Baud fest. Für die serielle Ein- und Ausgabe sind gewöhnliche NAND-Gatter vorgesehen. Will man einen Fernschreiber oder ein RS-232-C-Terminal anschließen, muß man spe-



◀ Bild 4. Zuteilung der Adressen: Bestimmte Speicherbereiche sind vom MIKBUG-Programm festgelegt und dürfen nicht verändert werden

◀ Bild 5. Durch die Verknüpfung der „Enable"-Eingänge, mit den Adreßbits A_{12}...A_{15}, wird das RAM nur dann aktiviert, wenn die höchste Stelle der Hexadezimal-Adresse ein A ist. Die beiden niedrigsten Stellen können von 00...7F laufen. Die zweite Hexadezimalstelle (A_8...A_{11}) und das Adreßbit A_7 spielen keine Rolle, da der Speicherbereich, mit dem es zu Verwechslungen kommen könnte, nicht belegt ist.

Bild 6. a) Modulator, b) Demodulator. Der Baustein XR 210 ist erhältlich bei Gonda Elektronik, Rommelshauser-Str. 25, Schmiden 7012

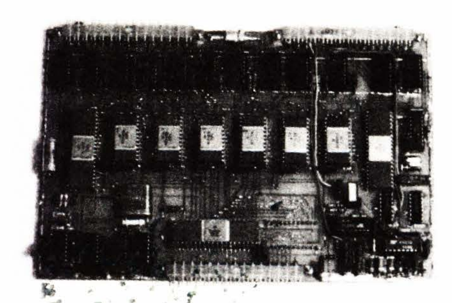


Bild 7. Der Mikrocomputer hat auf einer Leiterplatte im doppelten Europaformat (233,4 x 160 mm²) Platz

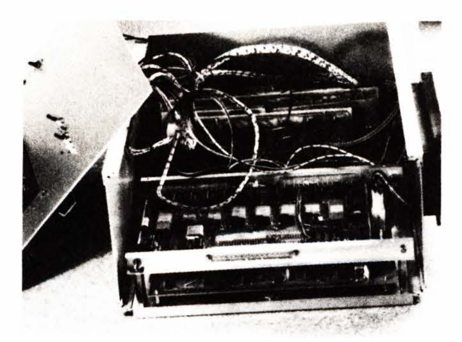


Bild 8. Blick in das Innere des Gesamtgerätes

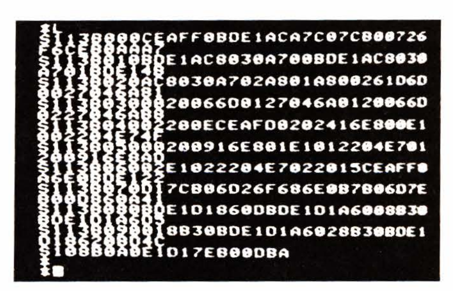


Bild 9. Die Aufnahme entstand nach Beendigung der Ladefunktion; die Daten stammen vom Kassetten-Recorder

zielle Leistungstreiber verwenden. Der mit „Reader-Control" bezeichnete Anschluß zeigt an, ob das Programm gerade die Speicherladefunktion durchführt. Er ist zum Einschalten eines Lochstreifenlesers gedacht und wird hier zum Steuern eines Tores für die Daten vom FSK *(Frequenz-Shift-Keying)*-Demodulator benutzt. Die weitere Verschaltung der NAND-Gatter stellt eine Rückführung der Ausgangsdaten der Fernseh-Ansteuereinheit zu ihrem Eingang dar (Echo).

Zum Anschluß beliebiger Peripherie-Einheiten sind noch ein PIA und ein ACIA vorgesehen. Ihre Anschlüsse sind direkt mit Steckern verbunden und können von außen abgegriffen werden. Während der PIA nach außen auch parallele Daten senden und empfangen kann, ist der ACIA lediglich für seriellen Betrieb ausgelegt.

2.8 Bus-Treiber/Empfänger

Für eine spätere Erweiterung der Schaltung sind die integrierten Bus-Treiber/Empfänger MC 8T 26 vorgesehen. Sie erlauben den Datenverkehr in beide Richtungen (bidirektional). Vom Steuerbus werden nur die Signale Φ 2, $R/\overline{W}$ und VMA über diese Bausteine geführt. Letzteres, das „Valid-Memory-Adress"-Signal wird von der MPU geliefert und zeigt an, ob die am Adreßbus anliegende Adresse gültig ist. PIAs und ACIAs benötigen dieses Signal, da ein unkontrolliertes Aufrufen ihrer Adressen den Inhalt ihrer Register ändern könnte. Auch die zur Adreßdecodierung benötigten negierten und verstärkten Signale wie $\overline{A_7}$ oder $\overline{A_{15}} \wedge VMA$ werden den Bus-Treiber/Empfängern entnommen.

2.9 Modem

Mit Hilfe des Modems können Daten auf einer gewöhnlichen Tonband-Kassette gespeichert und wieder in den Arbeitsspeicher eingelesen werden. Der Modulator wandelt die Einsen und Nullen am Eingang in tiefe und helle Töne von 1070 Hz und 1270 Hz um *(Bild 6a)*. Der Demodulator erzeugt umgekehrt wieder die ursprünglichen Daten aus der vom Kassetten-Recorder kommenden Frequenzfolge (Bild 6b). Beide Schaltungen verwenden den PLL-Baustein XR-210 [12] von der Firma Exar, dessen Hauptanwendungsgebiet FSK-Modems sind. Die Frequenz der spannungsgesteuerten Oszillatoren (VCO) wird durch externe RC-Glieder festgelegt. Der Demodulator benötigt eine Betriebsspannung von mindestens 7 V, die ihm gesondert zugeführt wird.

2.10 Mechanischer Aufbau

Der gesamte Mikrocomputer und das Modem finden auf einer doppelseitig beschichteten Platine im doppelten Europaformat Platz *(Bild 7)*. Da die Möglichkeit einer Durchkontaktierung nicht bestand (erst ab drei Platinen lohnt sich ein Auftrag an eine hierfür spezialisierte Firma), mußte durch alle Löcher ein Draht gezogen und beidseitig verlötet werden. Mikrocomputer, Fernseh-Ansteuereinheit, Netzteil und Bedienungselemente sind in einem Aluminiumgehäuse von 400 x 300 x 150 mm³ untergebracht. Über der Mikrocomputerplatine befindet sich noch genügend Platz für weitere Baugruppen *(Bild 8)*, insbesondere für Speicher. Ein Subminiaturlüfter verhindert einen Wärmestau.

3 Funktionen des MIKBUG-Programms

Das MIKBUG-ROM stellt dem Benutzer ein Programm zur Verfügung, das ihm einen asynchronen Datenverkehr mit dem Mikrocomputer erlaubt. Es umfaßt 512 Byte. Die restlichen 512 Byte des ROM, die ein zusätzliches Kommunikationsprogramm – in Verbindung mit einem Parallel-Serien-Wandler – und Test-Bytes enthalten, werden hier nicht gebraucht. In den Abschnitten 3.1...3.8 werden die einzelnen Funktionen beschrieben.

3.1 Rücksetz-Funktion

Das MIKBUG-Programm beginnt mit der Steuerung des Rechners, sobald die Rücksetztaste gedrückt wird. Das Sichtgerät antwortet mit einem Sternchen am Anfang der nächsten Zeile.

3.2 Speicher laden

Drückt man nach dem Sternchen auf die Taste L *(Load)*, kann ein Programm vom Tonbandgerät eingelesen werden *(Bild 9)*. Dies geschieht in einem formatierten Objektcode, der sich aus einzelnen Datenabschnitten *(Records)* zusammensetzt. Jedem Abschnitt geht ein Startzeichen (S) voraus. Er wird durch ein Prüf-Byte, der Prüfsumme, beendet. Bei einem erkannten Lesefehler stoppt der Rechner das Einlesen und druckt ein Fragezeichen aus.

3.3 Speicher prüfen und ändern

Gibt man nach einem Sternchen ein M ein *(Bild 10)*, antwortet der Rechner mit einem Leerzeichen. Tastet man darauf die gewünschte Adresse ein (im Bild A002), wiederholt der Rechner die Adresse und fügt nach einem Leerzeichen den Speicherinhalt und ein Leerzeichen an (hier 00). Schreibt der Benutzer ein Leerzeichen und darauf eine neue zweistellige Hexadezimalzahl, wird der Speicherinhalt durch diese neue Zahl ersetzt (hier B0). Durch ein beliebiges Zeichen (bei Adresse A008 ein Punkt) wird der Speicherinhalt beibehalten und zur nächsten Adresse gesprungen. Mit zwei Leerzeichen (bei Adresse A009) beendet man den Vorgang.

3.4 Drucken und stanzen

Diese Funktion wird durch ein P (*Print-Punch*) ausgelöst. Sie schreibt den Speicherinhalt im formatierten Objektcode auf den Bildschirm. Ein zur gleichen Zeit laufendes Tonbandgerät kann die Information aufzeichnen. Anfangs- und Endadressen des Ausdrucks müssen zuvor angegeben wer-

den. Das geschieht, indem sie, wie bei der M-Funktion in Bild 9 demonstriert wurde, auf die Plätze A002...A005 abgespeichert werden (hier B000...B020).

3.5 Ausgabe der MPU-Registerinhalte R

Ein R von der Bedienungskonsole (Bild 10) veranlaßt eine Auflistung der Registerinhalte der MPU in nachfolgender Reihenfolge: Zustandsregister, Akkumulator B, Akkumulator A, Indexregister, Programmzähler und Stapelspeicher. Eine Änderung der Inhalte ist möglich.

3.6 Gehe zum Benutzerprogramm G

Hat ein Benutzer ein Programm geladen und will dieses nun laufen lassen, muß er den Programmzähler im Stapelspeicher auf die Anfangsadresse seines Programms stellen. Schreibt er darauf ein G, springt der Rechner zum Benutzerprogramm und bearbeitet es.

3.7 Interruptanfrage

Bei einer Interruptanfrage (IRQ) arbeitet der Rechner, sofern das Interrupt-Maskenbit nicht gesetzt ist, bei einer Adresse weiter, die der Benutzer zuvor in die Zellen A000 und A001 abgespeichert hat.

3.8 Nicht maskierter Interrupt

Diese Funktion ähnelt der Interruptanfrage. Die Adresse des Programms, das bearbeitet werden soll, muß aber in die Zellen A006 und A007 eingelesen werden. In Bild 9 bei der M-Funktion wurde in diese Zellen die Adresse B000 eingelesen.

3.9 Programmbeispiele

Zwei kleine Beispiele sollen aufzeigen, wie man das MIKBUG-Programm in der Praxis verwendet:

a) Zeichen von der Tastatur in den Akkumulator A einlesen: Dazu benötigt man den Befehl

BD E1AC

BD (im Objektcode) entspricht dem Befehl JSR (Springe zum Unterprogramm = *Jump Subroutine*) in Assemblersprache: E1AC ist die Anfangsadresse eines Unterprogramms, das im MIKBUG-ROM steht und alle Befehle für das Einlesen eines Zeichens von der Tastatur in den Akkumulator A enthält.

b) Warten bis der Buchstabe S in den Akkumulator eingelesen ist: Dazu benötigt man die Befehlsfolge

```
BD E1AC
81 53
26 F9
```

Der erste Befehl entspricht dem Beispiel a). 81 entspricht dem Assembler-Befehl CMP (Vergleiche = *Compare*), und 53 ist die Hexadezimalcodierung des ASCII-Zeichens S. Die Codierung für den bedingten Sprungbefehl BNE *(Branch if not Equal)* ist 26, und F9 ist die relative Rücksprungadresse, unter der der erste Befehl steht. Das Ganze ist also eine Schleife: erst wenn ein S im Akkumulator A steht, wird der nächste Befehl im Programm bearbeitet.



Günther Blaseio ist in Weiden, in der nördlichen Oberpfalz, geboren. In Erlangen studierte er zwei Semester Informatik, wechselte aber dann die Fachrichtung. Zur Zeit ist er im neunten Semester Zahnmedizin. Seine Hobbies: Elektronik seit 12 Jahren, Amateurfunk, Skifahren.
ELEKTRONIK-Leser seit 1972 regelmäßig.



Bild 10. Beispiele für die M-, P- und R-Funktion des MIKBUG-Programms

4 Erfahrungen

Die Probleme beim Aufbau des Gerätes lagen, wie so häufig, im Detail. Nicht der Entwurf des Schaltbildes, sondern der Entwurf und das Herstellen der gedruckten Schaltung nahm mehr Zeit in Anspruch als geplant. Vor allem die Realisierung von Leiterbahnen mit einer Breite von 0,5 mm bereitet mit Amateurmitteln große Schwierigkeiten, obwohl fotografisch umkopiert wurde. Leider ist das Wire-Wrap-Verfahren, das für einen solchen Aufbau ideal wäre, zu teuer. Weder der Rechner, noch die meisten Baugruppen der Fernsehansteuerung funktionierten auf Anhieb. Die Fehlersuche mit einem Einstrahloszillografen erweist sich hier als recht mühsam, da die zeitliche Beziehung mehrerer Signale nicht dargestellt werden kann. Günstig ist der Einbau der ICs mit Steckfassungen, so können Fehler leichter lokalisiert werden. Irrtümlich wurde z. B. die „Enable"-Leitung am Datenbustreiber nicht auf 0 V gelegt. Die Folge war, daß der gesamte Datenbus ständig auf Masseniveau gedrückt wurde. Zog man beide ICs aus ihren Fassungen, arbeitete der Rechner einwandfrei.

Das Programmieren im Maschinencode bzw. im Hexadezimalcode ist zwar zeitraubend, bietet aber keine prinzipiellen Schwierigkeiten. Man entwirft das Programm in Assemblersprache und schreibt bei jedem Befehl den Hexadezimalcode daneben. Interessant ist die Ankündigung einer amerikanischen Firma, die Programmiersprache BASIC für das Mikrocomputersystem M 6800 in ROMs gespeichert herzustellen. Für das Mikrocomputersystem 8080 von Intel ist BASIC als Software schon verfügbar [11].

Als Hardwareerweiterung ist eine Baugruppe geplant, die den Anschluß eines Oszillografen an den Rechner ermöglicht. Er soll als grafisches Sichtgerät dienen. Die Anpassung werden zwei Digital-/Analog-Umsetzer übernehmen, die den X- und Y-Eingang ansteuern. Ein Taktgeber wird die Zeichengeschwindigkeit festlegen.

Literatur

[1] *Siebert, H.-P.*: Das 8-bit-Mikroprozessorkonzept M 6800. ELEKTRONIK 1974, H. 10, S. 387...390.

[2] ELEKTRONIK 1975, H. 1, S. 49.

[3] ELEKTRONIK 1975, H. 8, S. 23.

[4] ELEKTRONIK 1975, H. 9, S. 28 und 30.

[5] ELEKTRONIK 1975, H. 12, S. 22.

[6] Broschüre „Systems Reference and Data Sheets" M 6800, Motorola.

[7] Programming Manual M 6800 Motorola.

[8] Applications Manual M 6800 Motorola.

[9] MES 6800 Description (MIKBUG-Programmbeschreibung), Motorola.

[10] *Ogolin, J.*: Computer Bits. Popular Electronics Januar 1976, S. 88

[11] Popular Electronics Dezember 1975, S. 34.

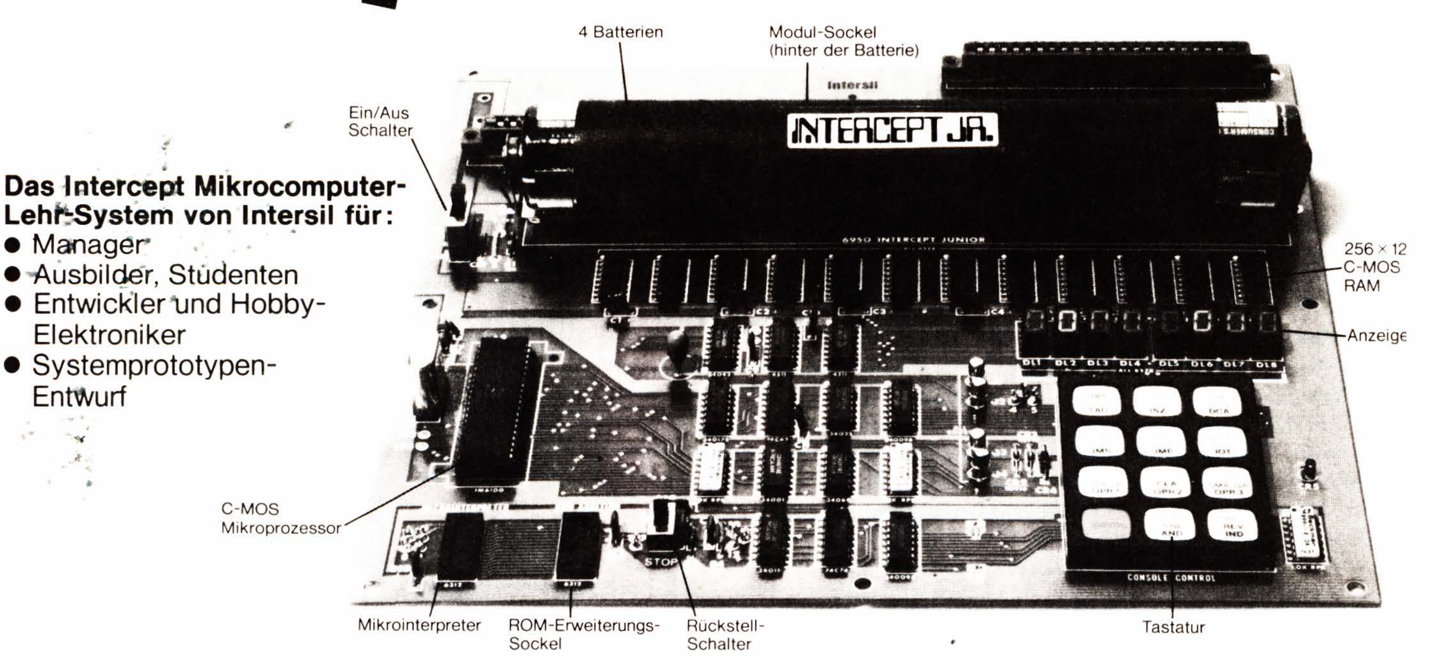
[12] Exar Applikationsschrift XR 210. Exar-Vertretung: Gonda Elektronik GmbH, Rommelshauser-Str. 25, 7012 Schmiden/Stuttgart, Tel. (07 11) 51 18 38/39.

[13] Ein Datensichtgerät für 32 Buchstabenzeilen mit je 64 Buchstaben. Applikationsschrift EB 89 der Firma Texas Instruments.

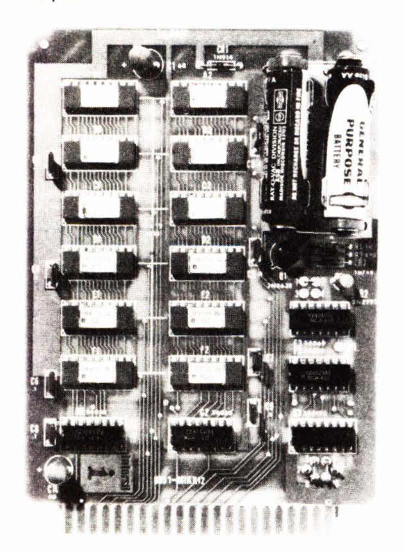
[14] *Gößler, R., Schwerte, J.*: Auf dem Weg zur Mikroprozessor-Praxis. ELEKTRONIK 1976, H. 3, S. 74...86.

µP-Tutor

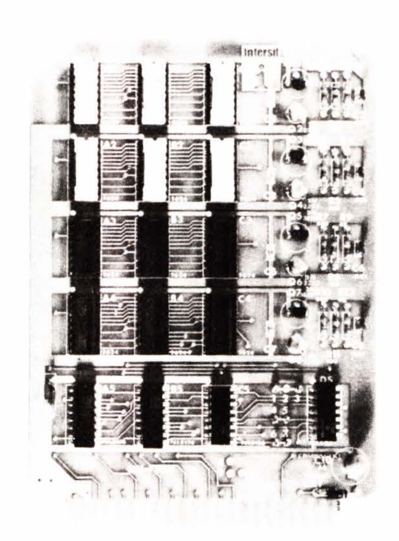
Das Intercept Mikrocomputer-Lehr-System von Intersil für:
- Manager
- Ausbilder, Studenten
- Entwickler und Hobby-Elektroniker
- Systemprototypen-Entwurf



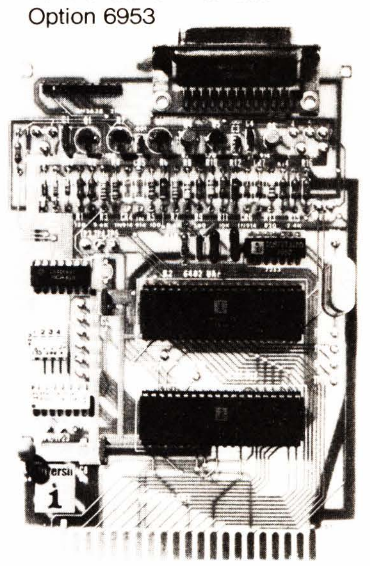
Zusatz RAM Modul 1024 × 12 C-MOS
Option 6951



Programmierbares PROM Modul 2048 × 12
Option 6952



Parallel/Seriell-Interface
Option 6953



Die Situation:

Sie wollen oder müssen mitreden, wenn es um Mikroprozessoren geht. Tonnen von Datenblättern der µP-Hersteller und sogenannte Einführungsseminare haben nicht das Verständnis für den Mikroprozessor in Ihrem Unternehmen hervorgerufen, wie es heute nötig ist.

Schnelles Lernen:

Hier hilft Intercept. Egal, welchen Typ von µP Sie später einsetzen werden.
Dieses System macht Sie mit der Funktion und der Programmierung von µP vertraut. Nach einigen Stunden Studium haben Sie Ihr Intercept programmiert Multiplikationen auszuführen, Sie wissen was indirekte Adressierung ist und wie man Zeitverzögerungen mit µP realisiert.

Funktionsbereit:

Keine Einzelteile: vollständig zusammengebaut, alle Funktionen getestet, einschließlich Stromversorgung

Funktionsbereit: eigene Tastatur und Anzeige, serielle und parallele Schnittstelle für den Anschluß von externen Elementen auf der Optionskarte (6953)

Im Preis enthalten: Hardware Intercept 6950 Modul, Software Monitorprogramme (gespeichert in 1024 ROM Bytes), Dokumentation: Owners Handbook und Schaltpläne.

Preise: + 11% MWSt.

		DM
Intercept	6950	780,00
Optionskarte 1024 Byte RAM	6951	403,00
Optionskarte 2048 Byte P'ROM	6952	207,00
Optionskarte Parallel/ Seriell-Interface	6953	227,00

Intercept ist auch ohne die Optionskarten voll funktionsfähig und PDP 8-Software-kompatibel.

Das "Owners Handbook" erhalten Sie auch separat gegen Vorauskasse von 20 DM auf unser Postscheckkonto 275 320–809 München. Stichwort Intercept.



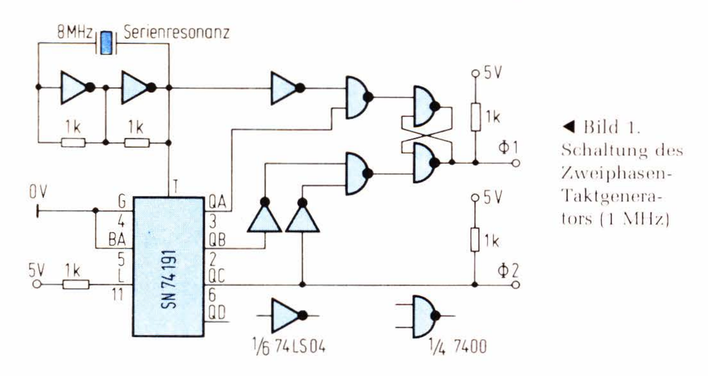
8000 München 70, Ortlerstr. 8, Postfach 701626, Tel. 089 76 000 31, Telex 5 212176 spez d
3062 Bückeburg/Hannover, Kreuzbreite 14, Tel. 057 22 10 11-15, Telex 9 71624 spez d

Taktgenerator für Mikroprozessor „6800"

Beim Arbeiten mit Mikroprozessoren muß dem Aufbau des Taktgenerators besondere Aufmerksamkeit gewidmet werden. Nur wenn dieser ganz den Spezifikationen entspricht, kann die volle Taktfrequenz erreicht werden. Im folgenden soll ein Taktgenerator für den Mikroprozessor „6800" beschrieben werden, der sich in der Praxis gut bewährt hat:

Die zu erzeugenden Taktsignale Φ_1 und Φ_2 dürfen sich nicht überlappen. Die Flanken müssen eindeutig zeitlich voneinander getrennt sein. Die Spezifikation weist aus, daß Φ_1 mindestens 430 ns und Φ_2 mindestens 470 ns lang sein müssen. Soll die volle Taktfrequenz von 1 MHz erreicht werden, bleiben also nur noch 100 ns übrig, um die Taktflanken zu trennen.

Bild 1 zeigt die Schaltung. Der Synchronzähler 74191 liefert an seinem Ausgang QC ein Signal von 1 MHz im Tastverhältnis 1:1, das unmittelbar als Taktsignal verwendet



◀ Bild 1. Schaltung des Zweiphasen-Taktgenerators (1 MHz)

werden kann, da es mit 500 ns Dauer des logisch-1-Pegels der Spezifikation entspricht. Das Signal Φ_1 muß jetzt so erzeugt werden, daß es innerhalb der Zeit, in der Φ_2 auf 0-Pegel liegt, seinen 1-Pegel erreicht, ohne daß sich die Flanken überschneiden.

Dem Pulsdiagramm (*Bild 2*) und der Schaltung kann entnommen werden, daß zum Zeitpunkt t_1 das aus zwei NAND-Gattern gebildete Flipflop in seine 1-Lage ($\Phi_1 = 1$) gebracht wird, weil QB und QC logisch 0 sind. Die zeitliche Trennung der Flanken von Φ_1 und Φ_2 (Δt_1) entsteht eindeutig durch drei Gatterlaufzeiten. Eine Halbperiode des Quarz-

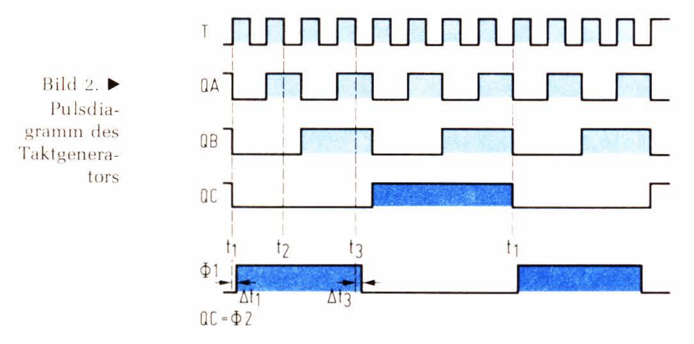


Bild 2. ▶ Pulsdiagramm des Taktgenerators

taktes T vor dem Wiedererscheinen von Φ_2 kippt das Flipflop zurück und beendet den 1-Zustand von Φ_1 (Zeitpunkt t_3), weil T=0 und QA=1 ist. Auch hier wirken Gatterlaufzeiten (Δt_3), aber da eine Halbperiode von T 63 ns lang ist, bleiben die Flanken von Φ_1 und Φ_2 sauber getrennt.

Es bleibt noch zu vermerken, daß zum Zeitpunkt t_2 ein Zustand (T=0, QA=1) vorliegt, der geeignet wäre, Φ_1 vorzeitig auf 0-Pegel zu bringen. Er kommt deswegen nicht zum Tragen, weil der für Φ_1=1 relevante Zustand (QB=0, QC=0) etwas länger am Flipflop wirksam bleibt, und damit ein Kippen verhindert.

Die erreichten Zeiten für Φ_1 und Φ_2 sind 430 ns und 500 ns bei 1 MHz.

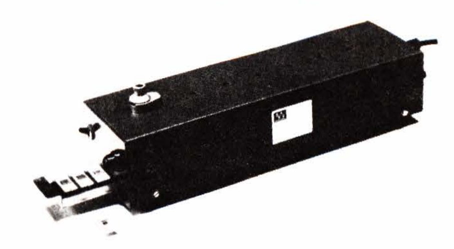
Prof. Dipl.-Ing. C. Dirks, Ing. (grad.) Schuwerk

Literatur

Dirks, Krinn: Microcomputer, Kohlhammer Verlag, Stuttgart 1976.

Peripherie-Geräte für Intel-Mikrocomputer

Das Angebot an Peripherie-Geräten für die Intellec-Mikrocomputer hat die Firma A. Neye erweitert. Unter der Bezeichnung APG 8000 ist jetzt ein automatisches PROM-Programmiergerät lieferbar, bei dem die



Dateneingabe wahlweise über Fernschreiber, Lochstreifenleser oder die Tastatur erfolgen kann. Das Gerät wird von einem internen Mikroprozessor gesteuert, so daß Anpassungsmöglichkeiten an die verschiedenen PROMs bestehen. – Das Doppel-Kassetten-Laufwerk KLW 8/80 kann über eine separate I/O-Interface-Karte an den Intellec-Mikrocomputer angeschlossen werden und ermöglicht auf einfache Weise das Archivieren und Bearbeiten von Programmen. – Erweitert wurden die im *Bild* dargestellte PROM-Löscheinrichtung PLE 100 (zusätzliche Schaltuhr) und das Hand-Programmiergerät PPG 100, das jetzt unter der Bezeichnung PPG 200 mit zusätzlichem Eingang für externe Daten- und Steuersignal-Eingabe angeboten wird.

☐ Vertrieb: Alfred Neye-Enatechnik GmbH, 2085 Quickborn, Schillerstr. 14, Tel. (0 41 06) 61 21.

Montagefertige Mikrocomputer in Bausatzform

Alle zum Bau eines funktionsfähigen Mikrocomputers erforderlichen Teile enthalten die Bausätze, die die Firma Cramer Electronics Inc. (Großbritannien) unter der Bezeichnung „Cramerkit" anbietet. In Zusammenarbeit mit der amerikanischen Firma Microcomputer Technique Inc. sind bisher Bausätze entwickelt worden, die wahlweise mit folgenden Mikroprozessoren lieferbar sind: Intel 8080, Motorola 6800, Texas 8080, AMD 9080 oder Mostek F 8. Anfang nächsten Jahres können auch die Typen COSMAC von RCA, Intel 3001, AMD 2901, Texas SBP 0400 und Motorola 10800 als CPU in weiteren Bausätzen verwendet werden. Außer den Bauteilen werden sämtliche technischen Unterlagen, Schaltbilder und umfangreiche Literatur mitgeliefert, die durch komplette, auf Magnetband-Kassetten aufgenommene Programme ergänzt werden.

☐ Vertrieb: Cramer Electronics, 16 Uxbridge Road, Ealing, London W5 2 BP, Tel. London 5 79 30 01.

Dr. K. Rohrberg

Wann lohnt sich der Einsatz von Mikroprozessoren?

Nicht selten werden Mikroprozessoren deshalb nicht eingesetzt, weil die Höhe der Kosten für arbeitsfähige Systeme und die erzielbaren Einsparungen im praktischen Einsatz unbekannt sind. Anhand von tatsächlich durchgeführten Projekten soll untersucht werden, wie sich die Kosten auf die Entwicklung, auf das eigentliche Mikroprozessor-System und auf die übrige Hardware verteilen. Bei jedem der zwölf Beispiele, die aus verschiedenen Anwendungsgebieten stammen, werden auch andere Lösungsmöglichkeiten in Betracht gezogen.

Der eigentliche Mikroprozessor mit der Systemsteuerung und den Leitungstreibern findet auf einer einfachen Europakarte Platz. Zum Arbeiten sind im allgemeinen auch ein Programmspeicher und ein Schreib-/Lesespeicher nötig. Nach dem heutigen Stand der Technik lassen sich 8 KByte RAM oder PROM auf einer einfachen Europakarte unterbringen. Da der Speicherbedarf der meisten Systeme selten 5 K Festwertspeicher und 4 K Schreib-/Lesespeicher übersteigt, nimmt das eigentliche Mikroprozessor-System nicht mehr als drei Karten in Anspruch. Für kleinere Systeme mit einem Festwertspeicher-Bedarf von weniger als 2 K und einem Schreib-/Lesespeicher-Bedarf von weniger als 1 K ist es heute sogar schon möglich, alle Elemente zusammen mit dem Mikroprozessor auf einer einzigen Europakarte unterzubringen. Vergleicht man die Preise der Bauteile dieser Karte und anderer Karten, wie sie für die Ein- und Ausgabeleitungen des Systemes benötigt werden, so stellt man fest, daß der Preis für die Mikroprozessorkarten höher liegt als der für die übrigen Karten. Zwei Ein-/Ausgabekarten sind aber schon teurer als die eigentliche Mikroprozessorkarte. Daran erkennt man, daß der Preis des Mikroprozessors in einem kompletten System (gemäß *Tabelle* etwa zwölf Europakarten) im Hinblick auf die Gesamtkosten heute bereits von untergeordneter Bedeutung ist. Den Hauptanteil der Hardwarekosten verschlingt die für die Prozeßanpassung benötigte Peripherie, wie digitale Ein- und Ausgänge, Analog-Digital-Umsetzer, Meßstellenumschalter, Ein-, Ausgabe- und Anzeigegeräte und Spannungsversorgung.

Mit den in der Tabelle aufgeführten Beispielen sollen nun die Gebiete näher abgegrenzt werden in denen der Einsatz von Mikroprozessoren wesentliche Vorteile gegenüber anderen Lösungsmöglichkeiten bietet. Nach unten tritt der Mikroprozessor als Konkurrent zu festverdrahteten Schaltungen mit integrierten Bausteinen und als Konkurrent zu Schützsteuerungen auf. Nach oben ist er in der Lage, Aufgaben zu bewältigen, die bisher nur von Rechnersystemen ausgeführt werden konnten. Dies ist das Hauptanwendungsgebiet von Minicomputern. Dabei ist zu berücksichtigen, daß die Unterscheidungsmerkmale zwischen Mikroprozessoren und Minicomputern weniger durch die Hardware bestimmt werden. Bei einigen Minicomputern ist ein Mikroprozessor als Zentraleinheit eingesetzt. Der Hauptunterschied zu einem Mikroprozessorsystem besteht vielmehr in der Software. Bei Minicomputern stehen höhere Programmiersprachen zur Verfügung; auf Anschlußelektronik nach außen für die Prozeßverarbeitung wird weniger Wert gelegt. Für Mikroprozessor-Systeme, die für den Einsatz industrieller Steuerungen geeignet sind, wird meist ein ausgefeiltes Standardprogramm an Ein-/Ausgabeelektronik zum Prozeßanschluß angeboten.

Anhand der letzten drei Spalten der Tabelle sollen optimale Einsatzgebiete von Mikroprozessor-Systemen gegenüber anderen Techniken abgegrenzt werden: Die Relaistechnik führt nur dort zu günstigeren Lösungen, wo es nicht auf Geschwindigkeit ankommt und die Funktionen sehr einfach sind. Bereits bei relativ einfachen Steuerungen mit mehr als 16 digitalen Ein- und Ausgängen mit logischen Verknüpfungen untereinander stellt ein Mikroprozessor-System oft die kostengünstigere Lösung dar. Ebenso einfach ist die Abgrenzung des Gebietes nach oben. Minicomputer sind für Mikroprozessor-Systeme keine Alternative im engeren Sinn, da – wie bereits angeführt – die gesamte Peripherie-Elektronik für den Minicomputer ebenfalls vorgesehen werden muß. Den Einsparungen der Mikroprozessoren stehen die Mehraufwendungen für die Hardware des Minicomputers gegenüber; der Systempreis erhöht sich.

Daraus darf nun nicht der falsche Schluß gezogen werden, daß Mikroprozessor-Systeme den Minicomputer ersetzen oder verdrängen. Bei Anlagen, bei denen die Ergebnisse zu einem großen Datenfluß mit den von der EDV her bekannten Verarbeitungsverfahren führen, ist es vorteilhaft, das Mikroprozessor-System durch einen übergeordneten Minicomputer als Leitrechner zu ergänzen, anstatt die weitere Datenverarbeitung im Mikroprozessor vorzunehmen. Ein Beispiel ist das neunte Projekt in der Tabelle, wobei als Leitrechner ein System 7 fungiert. Man nützt dabei die auf Datenverarbeitung zugeschnittenen Programmiersprachen des Leitrechners aus und entlastet auf der anderen Seite den Leitrechner von den eigentlichen Steuerungsfunktionen durch die Mikroprozessor-Systeme. Echtzeitprobleme, wie sie oft bei nachträglicher Erweiterung der Anlagen auftreten, sind bei solchen Systemen weitgehend unbekannt, darüber hinaus ergibt sich eine wesentliche Einsparung beim Programmaufwand für den Leitrechner.

Die größte Überdeckung ergibt sich mit Lösungen in herkömmlicher IC-Technik (TTL, MOS, CMOS usw.). Anhand der Tabelle sieht man, daß bei fast allen Problemen Lösungen in dieser Technik möglich wären. Ab einem bestimmten Schaltungsaufwand bietet ein Mikroprozessor-System jedoch bedeutende Vorteile dadurch, daß die logische Verknüpfung der Funktionen nicht über Schaltleitungen, sondern durch ein Programm ausgeführt sind. Diese Programme lassen sich im Gegensatz zur Hardware leicht ändern, und zudem kann das Programmieren durch Hilfen wie Assembler, Monitoren, Programmbibliotheken usw. weitgehend automatisiert werden. Als Richtwert kann heute etwa 1000 DM für Seriengeräte und etwa 5000...6000 DM für Einzelgeräte (einschließlich Entwicklungskosten) angesehen werden. Rechnet man diese Werte in Arbeitszeit um, so erkennt man schnell, daß besonders bei Einzelgeräten mit etwas komplexeren Funktionen die kostengünstigere Lösung ein Mikroprozessor-System ist.

Der Autor ist Gesellschafter bei der Firma MPS Mikroprozessor-System GmbH, Stuttgart.

Anwendungsbeispiele für Mikroprozessor-Systeme

Projekt	Leistung	Entwicklungs-aufwand Programmlänge Anwenderprogr.	Hardware	Einsatzgeb.	Vergleich mit anderen Lösungen		
					Relaistechnik	IC-Technik	Minicomputer
Störmelde-drucker	Überwach. von 256 Störmelde-leitungen alpha-numerischer Drucker Echtzeituhr	250 Std. 1,5 KByte 2,6 KByte (Klartext)	19-Zoll-Ein-baurahmen, 3 HE, 9 Europa-karten, Drucker, Tischgehäuse	selbsttätige Überwachung v. 256 Melde-leitungen, Protokollie-rung	nicht ausführ-bar zu gleichen Kosten	Ausdruck des zu-geordneten Klar-textes, nur mit erhöhtem Aufwand möglich	zu aufwendig
Meßwertüber-wachung und Prozeßproto-kollierung	Überwach. von 1000 digitalen und 80 analogen Meßwerten. Fern-schreiber, Echt-zeituhr, Grenz-werte durch Kun-den programmier-bar	960 Std. 5,5 KByte 0,5 KByte Grenzwerte	19-Zoll-Einbau-rahmen, 12 HE, 31 Europa-karten	vollautomat. Meßwert- und Alarmmeldungs-Protokollie-rung mit Grenzwert-überwachung	nicht ausführ-bar	nicht ausführbar (Programmierung durch Kunden muß möglich sein)	Einzelbitverarb. aufwendiger als bei Mikropro-zessor-System, Programm. des Druckformates ist jedoch ein-facher
Klassifizie-rungsgerät für Netzschalt-spannung	kontinuierliche Klassifizierung der Netzspan-nungsspitzen-werte	120 Std. 1,5 KByte	19-Zoll-Tisch-gehäuse, 11 Europakarten, 1 Display	Netzüber-wachung, Untersuchung an Schweiß-geräten	nicht ausführ-bar	Entwicklungsauf-wand höher, da beim Mikroprozessor leichte Anpassung möglich	zu aufwendig
Automati-sierung schalltechn. Prüfverfahren	Meßanlagensteue-rung und Meß- u. Prüfergebnis berechn. nach DIN 4109 Fernschreiber	130 Std. 1,8 KByte	19-Zoll-Tisch-gehäuse, 3 HE, 8 Europa-karten	Steuerung von Brüel & Kjaer-Schallmeß-anlagen Berechn. der Schallmeßergeb.	nicht ausführ-bar	nur unter Verwen-dung zusätzlicher Rechnerbausteine mögl., schwierige Anpassung bei Prozeduränderung	zu aufwendig
Prüfgerät für Beatmungs-automaten	48 dig. Lei-stungsausgänge, 20 Analogmeß-geräteeingänge, kundenprogram-mierbar in Makrosprache	350 Std. 4 KByte 0,5 KByte Makro-anwender-programm	19-Zoll-Ein-schubgehäuse 6 HE, 12 Europa-karten, Fern-schreiber, Lei-stungsnetzgerät	Qualitäts- und Endprüfung von Beatmungs-geräten	nicht ausführ-bar	nicht ausführbar als Einzelgerät unter Einhaltung der Kosten	zu aufwendig
Blitzlicht-prüfautomat	11 Fotodioden für Blitzmessung, 3 Meßwertan-zeiger, Grenzwert-überwach. + Überschreitungs-anzeiger	120 Std. 1,5 KByte	19-Zoll-Tisch-gehäuse, 3 HE, 8 Europa-karten	Qualitäts-prüfung in der Endkon-trolle	nicht ausführ-bar	nur unter Verwen-dung zusätzl. Rechnerbau-steine möglich, Anpassungs-schwierigk. bei Änderung	zu aufwendig
Wiegedaten-verarbeitung	Erfassung der Wiegemengen von 10 versch. Waa-gen, 10 analoge Eingänge, Kugel-kopfschreibmasch. Echtzeituhr	180 Std. 3 KByte	19-Zoll-Ein-schubgehäuse 6 HE, 18 Europa-karten	Erfassung und Protokollie-rung von Wiegedaten, Mittelwertbild., graph. Darst. d. Gewichtsvert.	nicht ausführ-bar	zu hohe Entwick-lungskosten	zu aufwendig
Werkzeugsteue-rung	16 dig. Eingänge 16 dig. Ausgänge	70 Std. 1 KByte	19-Zoll-Ein-schubgehäuse 5 Europakarten	Stanz-/Schnitt-werkz.-Steuerung	nur einf. Funkt. keine Optimier.	ohne Rechnerbau-steine nicht ausführ-bar	zu aufwendig
Transport- und Prozeß-steuerung für Halbleiter-fertigung	32 Relais-Ein- und Ausgänge, Schnittstelle für Leitrechner IBM System 7	400 Std. 1,5 KByte	6 Systeme 19-Zoll-Ein-schubrahmen, je 3 HE, 12 Europa-karten	dezentrale Steuerung im EDV-gesteuerten Verbundsystem	nicht ausführ-bar	nicht ausführ-bar	einsetzbar als Leitrechner für die dezentrale Mikroprozessor-steuerung
Steuerung von Transport-systemen in Oberflächen-veredelungs-anlagen	128 Digitalein-gänge Optokoppler 64 Relaisausgänge Makroprogrammier-sprache, 8 Simul-tanprozesse	900 Std. 4 KByte 1 KByte	19-Zoll-Ein-schubgehäuse 6 HE, 20 Europa-karten	Transportsteuer. frei programmier-bar	nur sehr einf. Steuerungen ausführbar	zu unflexibel, nicht programmier-bar	zu aufwendig
Terminal-steuerung	Anluß V24, Anschluß IBM Diskette	120 Std. 0,5 KByte	2 Europakarten (CPU 511)	automatischer Datenverkehr	nicht ausführ-bar	zu aufwendig	zu aufwendig
Codeumsetzer für Terminals und Bild-schirme	Anschluß V24 und bitparalleler Ein-/Ausgang	90 Std. 1 KByte	2 Europakarten (CPU 511)	Interface zwischen Daten-leitungen mit untersch. Codes- und Übergabeproze-duren	nicht ausführ-bar	zu aufwendig	zu aufwendig

Wer programmiert PROMs?

Zu unserem Report über ROMs, PROMs und PLAs (siehe S. 17...26 in diesem Heft) haben wir nachfolgend eine tabellarische Übersicht von Firmen zusammengestellt, die im Kundenauftrag die Programmierung von PROMs übernehmen. Die Programmierung erfolgt gewöhnlich nach a) einer optisch lesbaren Programmkarte, b) einem 8-Kanal-Lochstreifen (ASCII- oder Hexadezimal-Code) oder c) nach einem Master-PROM. Außer den genannten Firmen werden PROMs auch von den jeweiligen Halbleiterbauelemente-Herstellern programmiert.

Programmierfirma	PROM-Hersteller
Berger Elektronik GmbH & Co. KG Am Tiergarten 14, 6000 Frankfurt, Tel. (06 11) 49 03 11	Harris, Fairchild
COSMOS Electronic GmbH, Hegelstr. 16, 8000 München 83, Tel. (0 89) 60 20 88	AMD
EBV Elektronik, Myliusstr. 54, 6000 Frankfurt, Tel. (06 11) 72 04 16	NS, Motorola
Electronic 2000 Vertriebs GmbH, Neumarkter Str. 75, 8000 München 80, Tel. (0 89) 43 40 61	Fairchild, Intel
Erie Elektronik GmbH, Kreuzsteinstr. 1, 8500 Nürnberg, Tel. (09 11) 6 60 65	Harris
Jermyn GmbH, Postfach 1146, 6277 Camberg, Tel. (0 64 34) 60 05	Motorola, Intel (in Kürze)
Kontron Elektronik GmbH, Oskar-v.-Miller-Str. 1, 8057 Eching, Tel. (0 81 65) 7 73 90	Harris
Mikrotec GmbH Johannesstr. 91, 7000 Stuttgart 1, Tel. (07 11) 22 80 27	AMI
Mütron, Müller & Co. KG, Bornstr. 22, 2800 Bremen 1, Tel. (04 21) 31 04 85	NS
Neumüller GmbH, Karlstr. 55, 8000 München 2, Tel. (0 89) 59 91-2 34	MMI, TI
Alfred Neye-Enatechnik GmbH, Schillerstr. 14, 2085 Quickborn, Tel. (0 41 06) 61 21	Intel, Mostek
PAN Electronic, Schlesierstr. 4, 8021 Taufkirchen, Tel. (0 89) 6 12 33 29	NS, MMI
Positron GmbH, Pforzheimer Str. 377, 7000 Stuttgart 31, Tel. (07 11) 88 11 41	NS, Signetics
RTG, E. Springorum KG, Bronnerstr. 7, 46 Dortmund **Tel. (02 31) 54 95-1** **Ing. E. Sommer, Jahnstr. 43,** **6000 Frankfurt 1, Tel. (06 11) 55 02 89**	NS, Motorola
Semtech GmbH, Schultheißallee, 8500 Nürnberg, Tel. (09 11) 4 00 66/67	Intersil
Spezial Electronic, Ortlerstr. 8, 8000 München 70, Tel. (0 89) 7 60 00 31	Intersil
Techno-Projekt Heinrich-Ebener-Str. 13, 7000 Stuttgart 50, Tel. (07 11) 56 17 12	Fairchild, AMD
TISCO, Haggertystr. 1, 8050 Freising, Tel. (0 81 61) 80-1	TI
Unitronic Postfach 33 04 29, 2000 Düsseldorf, Tel. (02 11) 63 42 14	Fairchild, Mostek
Österreich	
Bacher GmbH, Meidlinger Hauptstr. 78, A-1120 Wien, Tel. (00 43) 2 22 83 63 96	Intel
Ing. Ernst Steiner, Geylinggasse 16, A-1130 Wien 13, Tel. (02 22) 82 26 74	Signetics, MMI, AMI
Schweiz	
Industrade AG, Gemsenstr. 2, CH-8011 Zürich, Tel. (00 41) 1 00 22 30	Intel
Moor AG, Bahnstr. 58, CH-8105 Regensdorf, Tel. (01) 8 40 66 44	Fairchild

Wer entwickelt Mikroprozessor-Systeme?

Adcomp Datensysteme GmbH,
Horemansstr. 8,
8000 München 19,
Tel. (0 89) 19 40 19

Alltron Ges. für elektronische Systeme,
Fichtestr. 33,
1000 Berlin 61,
Tel. (0 30) 8 03 88 80

Ingenieurbüro
Alois Amann Systemtechnik,
In den Hochwiesen 39,
7000 Stuttgart 40,
Tel. (07 11) 82 52 64 oder (0 71 95) 47 69

Balü Electronic,
Abt. Industrie Vertrieb,
Fischerwiete 1,
2000 Hamburg 1,
Tel. (0 40) 33 60 22

Berghof GmbH,
Harretstr. 1,
7412 Eningen,
Tel. (0 71 21) 85 51

Ingenierbüro Burkard,
Marienthalerstr. 15,
2000 Hamburg 26,
Tel. (0 40) 25 43 13
(86 55 22)

Elbatex GmbH,
Cäcilienstr. 24,
7100 Heilbronn,
Tel. (0 71 31) 8 90 01

Grossenbacher Elektronik,
vertreten durch
Ingenieurbüro W. Kuck,
Matthias-Kerer-Str. 25,
8201 Schlossberg,
Tel. (0 80 31) 7 12 07

v. Hoerner & Sulger Electronic GmbH,
Schloßpl. 8,
6830 Schwetzingen,
Tel. (0 62 02) 1 58 05

Hoseit System GmbH,
Turfstr. 14,
8000 München 81,
Tel. (0 89) 93 60 65

ITEMA Elektronik,
Ges. für Meß- und Steuerungstechnik mbH,
Zweigertstr. 9,
4300 Essen 1,
Tel. (02 01) 78 25 20

Ingenierbüro J. Klaus,
Forstweg 10,
2000 Norderstedt,
Tel. (0 40) 5 25 35 05

MCT Microcomputertechnik,
Joachim Eckardt,
Schützenweg 12,
8950 Kaufbeuren,
Tel. (0 83 41) 6 26 29

MD Electronic
Münzer-Diehl GmbH,
Schloßstr. 2,
5060 Bergisch-Gladbach,
Tel. (0 22 04) 5 10 61

Microtec GmbH,
Johannesstr. 91,
7000 Stuttgart 1,
Tel. (07 11) 22 80 27

Moses Electronic,
Dipl.-Ing. M. Iloff,
Offenbachstr. 16,
7000 Stuttgart 1,
Tel. (07 11) 69 57 32

MPS Mikroprozessor-System GmbH,
Sonnenbergstr. 13,
7000 Stuttgart 1,
Tel. (07 11) 24 13 75

Alfred Neye-Enatechnik GmbH,
Schillerstr. 14,
2085 Quickborn,
Tel. (0 41 06) 61 21

PAN Electronic,
Schlesierstr. 4,
8021 Taufkirchen,
Tel. (0 89) 6 12 33 29

PCS GmbH
Periphere Computer Systeme,
Dompfaffweg 10,
8000 München 82,
Tel. (0 89) 46 40 35

Ingenieurbüro PEP,
Kunz-von-der-Rosen-Str. 5,
8950 Kaufbeuren,
Tel. (0 83 41) 24 29

RK Elektronik,
Reinhard Kern,
Postfach 7207,
7417 Pfullingen,
Tel. (0 71 21) 7 17 83

RTG, E. Springorum KG,
Bronnerstr. 7,
4600 Dortmund 1,
Tel. (02 31) 54 95-1

Tewidata,
Ges. für techn.-wiss. Datenverarbeitung mbH,
Allacher Str. 230 e,
8000 München 50,
Tel. (0 89) 8 12 60 05

Unitronic,
Lindhofstr. 3,
2360 Bad Segeberg,
Tel. (0 45 51) 20 64

Mikroprozessoren, Produktbezeichnungen und Vertriebsadressen

Hersteller	Typen	Vertrieb
Advanced Memory Systems (AMS)	2650	Erie Elektronik GmbH, Kreuzsteinstr. 1, 8500 Nürnberg, Tel. (09 11) 6 60 65
Advanced Micro Devices (AMD)	AM 2901, AM 9080 A	Advanced Micro Devices Mikro Elektronik GmbH, Herzog-Heinrich-Str. 3, 8000 München, Tel. (0 89) 53 95 88
AEG-Telefunken	PPS-4, PPS-4/2, PPS-8	AEG-Telefunken, FB-Halbleiter, Theresienstr. 2, 7100 Heilbronn 2, Tel. (0 71 31) 8 82-1
American Micro Systems Inc. (AMI)	S 6800, CMC 8	AMI Microsystems GmbH, Rosenheimer Str. 30, Suite 237, 8000 München 80, Tel. (0 89) 48 30 81
ASEA HAFO	AMC-8	HEK GmbH, Postfach 18 10, 2400 Lübeck, Tel. (04 51) 5 29 91
Computer Automation	Alpha LSI 3/05	Geveke, Gutenbergring 40, 2000 Norderstedt, Tel. (0 40) 5 23 50 61
Digital Equipment	MPS 10, LSI 11, KMP 01-A, PDP-11/03	Digital Equipment, Wallensteinplatz 2, 8000 München 40, Tel. (0 89) 3 50 31
Electronic Arrays	9002	Electronic Arrays GmbH, Hofmannstr. 20, 8000 München 70, Tel. (0 89) 7 85 31 68
Electronic Memories and Magnetics Corp.	CP 1600	EMM GmbH, Hauffstr. 4, 8000 München 70, Tel. (0 89) 7 14 30 40
Fairchild	F 8, 9404/05, 4704/05, F 8 Evaluation Kit, F 8 F, F 8 SPDM, F 8 Formulator	Fairchild Halbleiter GmbH, Hagenauerstr. 38, 6202 Wiesbaden-Biebrich, Tel. (0 61 21) 20 51
Ferranti	F 100 L	Ferranti GmbH, Widenmayerstr. 5, 8000 München 22, Tel. (0 89) 29 73 53
General Automation	LSI-12/16	General Automation, Heider-Hof-Weg 23, 5100 Aachen, Tel. (0 24 05) 6 41
General Instrument (GI)	LP 8000, CP 1600 GIC 8000, GIMINI, 1650	General Instrument GmbH, Nordendstr. 1a, 8000 München 40, Tel. (0 89) 28 40 31
Harris Semiconductor	HM 6100	Kontron Elektronik GmbH, Oskar-von-Miller-Str. 1, 8051 Eching, Tel. (0 81 65) 7 73 39
Hitachi Ltd.	MC 6800	Hitachi Components, Immermannstr. 15, 4000 Düsseldorf, Tel. (02 11) 35 30 73
Intel Corporation	4004, 4040, 8008, 8080, 3000, SBC 80/10, intellec 4/40, intellec MDS, SDK-80, SBC 80/20	Intel Semiconductor GmbH, Seidlstr. 27, 8000 München 2, Tel. (0 89) 55 81 41 Alfred Neye-Enatechnik GmbH, Schillerstr. 14, 2085 Quickborn, Tel. (0 41 06) 61 21
Intersil Corporation	IM 6100, Intercept	Spezial Electronic KG, Ortlerstr. 8, 8000 München 70, Tel. (0 89) 7 60 00 31
Monolithic Memories Inc. (MMI)	MM 5701/6701, MM 600	MMI GmbH, Mauerkircherstr. 4, 8000 München 80, Tel. (0 89) 98 26 01
MOS-Technology	6502, KIM-1	Neumüller GmbH, Karlstr. 55, 8000 München 2, Tel. (0 89) 59 91-1
Motorola	MC 6800, MC 10 800, Exorciser	Motorola GmbH, GB Halbleiter, Heinrich-Hertz-Str. 1, 6204 Taunusstein-Neuhof 5, Tel. (0 61 28) 87 28 00
Mostek	F 8, F 8 Evaluation Kit, GEMS 8, Z80	Mostek GmbH, Talstr. 172, 7024 Filderlinden-Bernhausen, Tel. (07 11) 70 10 96
National Semiconductor Corp. (NS)	IMP 8, CMP 8, SC/MP 8, IMP 16, PACE, SC/MP-KIT, IPC/16 P, IPC/8 P, IMP 16 P/L, 8080	National Semiconductor GmbH, Industriestr. 10, 8080 Fürstenfeldbruck, Tel. (0 81 41) 13 71
Nippon Electric Comp. (NEC)	μCOM-4/-8/-16	NEC Electronic (Europe) GmbH, Immermannstr. 22, 4000 Düsseldorf, Tel. (02 11) 35 70 88
Periphere Computer Systeme (PCS)	PCU	PCS GmbH, Dompfaffweg 10, 8000 München 82, Tel. (0 89) 46 40 35
Plessey	MIPROC	Plessey (Deutschland) GmbH, Motorstr. 56, 8000 München 40, Tel. (0 89) 3 51 60 21
Prolog	PLS 400, PLS 440 MPS 800, MPS 821, MPS 883/885, MPS 863/865, M 422/422 A, M 822, M 823	Spezial Electronic
Raytheon Corp.	AM 2901	Raytheon Halbleiter GmbH, Thalkirchner Str. 74, 8000 München 2, Tel. (0 89) 53 96 93
RCA	COSMAC, CDP 1801, CDP 1802	RCA GmbH, Schillerstr. 14, 2085 Quickborn, Tel. (0 41 06) 61 21
Rockwell International	PPS-4/1, PPS-4/2, PPS-4-I, PPS-8, PPS-8/2, PPS-4 MP Assemulator	Rockwell International GmbH, Fraunhoferstr. 11, 8033 Martinsried, Tel. (0 89) 8 59 95 75
SGS-Ates	M 38, M 088, Hardware-Entwicklungs-system	SGS-Ates Deutschland GmbH Postfach 12 69, 8090 Wasserburg/Inn, Tel. (0 80 71) 7 21
Siemens	SAB 4004, SAB 4040, SAB 4080, SAB 8080, SAB 3002	Siemens AG, ZVW-104, Postfach 103, 8000 München 1
Valvo/Signetics	2650, 3000/3002, PDS 2000, TWIN, 8 x 300	Philips GmbH, UB Valvo, Postfach 10 63 23, 2000 Hamburg 1,
Texas Instruments Inc.	TMS 1000, TMS 8080, Serie 9900, SBP 0400, S 481/S 482, TI 990/4/4 AU/10 Hardware- und Software-Entwicklungssysteme, μP-Learning Module	Texas Instruments Deutschland GmbH, Haggertystr. 1, 8050 Freising, Tel. (0 81 61) 8 02 78
Thomson-CSF	SFC 92901, SFF 96800	Thomson-CSF GmbH, Fallstr. 42, 8000 München 70, Tel. (0 89) 76 75-1
Toshiba	TLCS 12, T 3444	Toshiba Europa, Emmastr. 24, 4000 Düsseldorf, Tel. (02 11) 72 30 91
Western Digital	MCP 1600	Spezial Electronic
Zilog	Z 80	Kontron

Diese Ihnen vorliegende Broschüre ist eine Sonderausgabe der Fachzeitschrift ELEKTRONIK. Sie kostet DM 14,50 (zuzüglich DM 1,20 Porto)

Bestellung dieser Broschüre:

Sie erhalten diese 116seitige Broschüre gegen Vorauszahlung direkt vom Franzis-Verlag (zuständige Sachbearbeiterin Frau Fragner).

Bitte, haben Sie Verständnis, daß wir aus organisatorischen Gründen nur gegen Vorauszahlung liefern können.

Wir bitten Sie, als Bestellung den Betrag von DM 15,70 auf unser Postscheckkonto München Nr. 5758-807 mit Hinweis ,,Mikroprozessoren" zu überweisen. Sofort nach Eingang der Zahlung senden wir Ihnen die Broschüre zu.

FRANZIS-VERLAG, KARLSTRASSE 37, 8000 MÜNCHEN 2, TELEFON 0 89/51 17-2 40.

Valvo Signetics Mikroprozessor-System 2650.



Valvo und Signetics stellen mit dem Mikroprozessor-System 2650 eine zukunftsweisende und attraktive Alternative für die bisherige Lösung des Schaltnetzentwurfes mit Standard-Logikreihen vor.
Das System zeichnet sich aus durch

- Niedrige Systemkosten:
  TTL-Kompatibilität
  Nur eine 5 V-Speisespannung
  Preisgünstige Interface-Schaltungen und Halbleiterspeicher-Systeme
- Einfachheit des Einsatzes:
  Problemloses Programmieren
  Vielseitigen Instruktionssatz
  Einfache Interface-Schaltungen
  Statischen Betrieb
- Weiten Anwendungsbereich:
  Leistungsfähige Organisation
  Komplexen Instruktionssatz
  Flexibles System
  Wachsende Zahl von Systemschaltungen

Um diese Eigenschaften zu erzielen, wurde eine optimale Technologie, N-Kanal Silizium-Gate mit Ionenimplantation, ausgewählt. Es stehen Anwenderhilfen wie Dokumentationen, Hardware- und Software-Unterstützung und Standardprogramme zur Verfügung.

Mit Interface auf dem Kristall.

Weitere Informationen
erhalten Sie
unter Bezug auf Nr. 1279 von

VALVO
Artikelgruppe
Integrierte Techniken
Burchardstraße 19 2000 Hamburg 1
Telefon (0 40) 32 96-536

